Міністерство освіти і науки України
Запорізький національний університет

Л. Л. Верьовкін
М. В. Світанько
Т. В. Критська

ЦИФРОВА СХЕМОТЕХНІКА

Методичні рекомендації
до лабораторних робіт
для здобувачів ступеня вищої освіти бакалавра
спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка»
освітньо-професійної програми «Мікро- та наносистемна техніка»

Затверджено
вченою радою ЗНУ
Протокол №5 від 25.11.2025 р.

Запоріжжя
2025

УДК 621.38 (076)
В377

Верьовкін Л. Л., Світанько М. В. Критська Т. В. Цифрова схемотехніка : методичні рекомендації до лабораторних робіт для здобувачів ступеня вищої освіти бакалавра спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка» освітньо-професійної програми «Мікро- та наносистемна техніка». Запоріжжя : Запорізький національний університет, 2025. 85 с.

У методичних рекомендаціях у відповідності до силабуса дисципліни «Цифрова схемотехніка» подано зміст лабораторних занять: теми та методичні рекомендації щодо їх опрацювання згідно з пунктами плану, питання для самоконтролю, практичні завдання, перелік основної, додаткової літератури, інформаційні ресурси. Запропоновані практичні завдання, призначенні для освоєння теоретичного матеріалу, опанування навичок вирішення задач цифрових пристроїв обробки інформації.

Для здобувачів ступеня вищої освіти бакалавра спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка», які навчаються за освітньо-професійною програмою «Мікро- та наносистемна техніка».

Рецензент
В. Л. Коваленко, доктор технічних наук, професор, завідувач кафедри електричної інженерії та кіберфізичних систем ІННІ ім. Ю.М. Потебні ЗНУ.

Відповідальний за випуск
Т. В. Критська, доктор технічних наук, професор, завідувачка кафедри мікроелектронних та електронних інформаційних систем ІННІ ім. Ю.М. Потебні ЗНУ.

Зміст

Вступ …….. 4
Інструкція з техніки безпеки……. 6
Лабораторна робота №1 Логічний синтез цифрових пристроїв комбінаційного типу ……. 8
Лабораторна робота №2 Дослідження статичних та динамічних параметрів цифрових інтегральних мікросхем ……... 17
Лабораторна робота №3 Дослідження та синтез арифметичних цифрових суматорів ……. 22
Лабораторна робота №4 Дослідження цифрових дешифраторів …….. 30
Лабораторна робота №5 Дослідження цифрових селекторів та мультиплексорів …… 34
Лабораторна робота №6 Дослідження цифрових шифраторів …….. 39
Лабораторна робота №7 Дослідження цифрових схем порівняння кодів 45
Лабораторна робота №8 Дослідження цифрових схем перетворювачів кодів ……. 50
Лабораторна робота №9 Дослідження схем послідовністних цифрових регістрів ……. 54
Лабораторна робота №10 Дослідження схем послідовністних цифрових лічильників ……... 58
Лабораторна робота №11 Дослідження схем цифрових запам’ятовуючих пристроїв ……. 64
Лабораторна робота №12 Цифрові автомати на логічних елементах і тригерах ……. 68
Додаток А…… 70
Додаток Б……. 79
Література, інформаційні джерела…… 83

Вступ

Метою викладання дисципліни «Цифрова схемотехніка» є надання студентам повної уяви про елементну базу, принципи функціонування, характеристики і схемотехніку сучасних нано- та мікроелектронних приладів і мікросхем.

Основними **завданнями** вивчення дисципліни «Цифрова схемотехніка» є: ознайомлення студентів з принципами використання алгебри логіки при побудові електронних схем, розрахунком та застосуванням приладів комбінаційного та послідовністного типів; знання особливостей застосування логічних цифрових програмних автоматів; вміння практично застосовувати елементи пам'яті різних функціональних ознак.

У результаті вивчення навчальної дисципліни студент повинен

знати:

- логічні та арифметичні основи цифрової схемотехніки;
- елементну базу статичних цифрових мікросхем;
- принципи побудови пристроїв комбінаційного типу;
- принципи побудови пристроїв послідовністного типу;
- організацію схемотехніки запам'ятовуючих пристроїв.

вміти:

- виконувати логічний синтез цифрових пристроїв;
- розраховувати схемотехніку пристроїв комбінаційного типу;
- розраховувати схемотехніку пристроїв послідовністного типу;
- виконувати аналіз схем з метою їх спрощення та удосконалення.

Згідно з вимогами освітньо-професійної програми студенти повинні досягти таких **компетентностей:**

– ЗК 1. Здатність застосовувати знання у практичних ситуаціях.

– ЗК 5. Навички використання інформаційних і комунікаційних технологій.

– ЗК 15. Здатність ухвалювати рішення та діяти, дотримуючись принципу неприпустимості корупції та будь-яких інших проявів недоброчесності.

– СК 3. Здатність використовувати математичні принципи і методи для проектування та застосування мікро- та наносистемної техніки.

– СК 4. Здатність застосовувати відповідні наукові та інженерні методи, сучасні інформаційні технології і комп'ютерне програмне забезпечення, комп'ютерні мережі, бази даних та Інтернет-ресурси для розв'язання професійних задач в галузі мікро- та наносистемної техніки.

– СК 5. Здатність ідентифікувати, класифікувати, оцінювати і описувати процеси у мікро- та наносистемній техніці за допомогою побудови і аналізу їх фізичних і математичних моделей.

– СК 8. Здатність визначати та оцінювати характеристики та параметри матеріалів мікро- та наносистемної техніки, аналогових та цифрових електронних пристроїв, мікропроцесорних систем.

– СК 9. Здатність застосовувати на практиці галузеві стандарти та стандарти якості щодо мікро- та наносистемної техніки.

– СК 13. Здатність застосовувати знання з моделювання функціональних вузлів мікроелектроніки та конструювання приладів на їх основі.

Методичні рекомендації містять лабораторні роботи з курсу «Цифрова схемотехніка», відповідно до кожної теми, які виконуються на стендовому обладнанні та за допомогою відповідного програмного застосування. Для підготовки до лекцій, лабораторних занять та самостійного засвоєння матеріалу студенти можуть використати теоретичні відомості з курсу.

Виконання кожної лабораторної роботи складається з двох етапів.

1. Підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання усіх розрахунків, складання плану досліджень.

2. Складання з розрахованих і підібраних елементів робочої схеми і дослідження її відповідності зі складеним планом, оформлення теоретичних і практичних результатів і їхній аналіз, оформлення звіту з лабораторної роботи.

У процесі підготовки до лабораторної роботи студент повинен чітко усвідомити собі кінцеву мету лабораторного дослідження, форму і характер зміни вхідних і вихідних параметрів досліджуваної схеми і виконати необхідні розрахунки.

Звіт, підготовлений до лабораторної роботи, повинний містити назву і мету роботи, розрахунки, досліджувані схеми і часові діаграми, що пояснюють їхню роботу, план досліджень.

Часові діаграми виконуються на масштабно-координатному креслярському паперу, розміченому на клітки (міліметрівці), обов'язково складаються таким чином, щоб вони знаходились синхронізовано одна під іншою і були ілюстрацією фізичних процесів, що протікають у схемі.

Оформлення протоколів виконується відповідно до вимог ЄСКД до текстових документів.

Порядок, виконання досліджень у лабораторії:

1. Студент допускається до виконання чергової лабораторної роботи при наявності підготовленого, відповідно до приведених вище вимог звіту.

2. Звіт попередньої роботи підписується викладачем по його пред'явленню на наступному лабораторному занятті після занесення в нього всіх матеріалів досліджень і їхнього аналізу.

3. Звіти усіх робіт зберігаються у студента до виконання останньої роботи у загальному журналі з відповідною кількістю сторінок.

4. Після дозволу виконувати дослідження студент збирає схему і самостійно настроює її. У випадку, якщо схема не працює або працює неправильно, він має знайти причину несправності й усунути її.

5. Настроївши схему і перевіривши відповідність її вихідних сигналів розрахунковим даним, студент запрошує викладача для огляду і перевірки.

6. Після цього виконуються намічені дослідження, по закінченню яких результати пред'являються викладачеві і за його дозволом схема розбирається і робоче місце прибирається.

7. До наступної лабораторної роботи остаточно оформлюється звіт і пред'являється викладачеві.

Інструкція з техніки безпеки

Кожна лабораторна робота виконується на окремому робочому місці. Виконання роботи передбачає складання схем, вимірювання, обробку отриманого дослідного матеріалу та складання звіту спостережень.

Перед початком лабораторних занять студенти повинні ознайомитися з правилами техніки безпеки і суворо дотримуватися їх при виконанні лабораторних завдань. Необхідно дотримуватись наступних правил безпеки:

1. Перед початком роботи слід перевірити відсутність напруги на затискачах джерела.
2. Увімкнути схему під напругу, переконавшись, що ніхто не дотикається до струмопровідних частин схеми.
3. Перед вмиканням кола під напругу попередити про це всіх членів бригади.
4. Вмикати схему в мережу без попередньої перевірки її викладачем або лаборантом категорично забороняється.
5. Після вмикання схеми забороняється торкатися руками проводів і частин приладів, що знаходяться під напругою.
6. Будь-які зміни в схемі кола виконувати тільки після вимкнення її з мережі. Вмикання в мережу після внесених змін проводити з дозволу викладача.
7. При виявленні відхилень у роботі елементів кола негайно відключити його від мережі і повідомити про це викладача або лаборанта.
8. Категорично забороняється залишати без нагляду електроустановку, що знаходиться під напругою.
9. Розбирати коло тільки після відключення його від джерел напруги на робочому місці.
10. Головні вимикачі вмикаються й вимикаються тільки викладачем або лаборантом.
11. При нещасному випадку негайно вимкнути напругу і надати першу допомогу тому, хто постраждав від електричного струму.

При роботі з комп’ютерами студенти зобов’язані:

1. Дотримуватись тиші і порядку.
2. Виконувати вимоги викладача та інженера/лаборанта.
3. Дотримуватись режиму роботи.
4. 4.Після закінчення роботи завершити всі активні програми і
5. коректно вимкнути комп’ютер.
6. Залишити робоче місце чистим.

Необхідно дотримуватись правил:

1. Відстань від екрану до очей – 70 - 80 см.
2. Вертикально пряма спина.
3. Плечі опущені і розслаблені.
4. Ноги на підлозі і не схрещені.

Алгоритм дій учасників освітнього процесу у разі оголошення сигналу «Увага! Повітряна тривога!» під час здійснення освітнього процесу (очний формат)

1. При оголошенні сигналу «Увага! Повітряна тривога!» викладач перериває заняття, оголошує маршрут руху та спрямовує всіх здобувачів до укриття в навчальному корпусі. Після виходу всіх здобувачів з аудиторії, закриває її і слідує в укриття.

2. Після надходження сигналу «Увага! Відбій повітряної тривоги!» навчальні заняття відновлюються згідно графіку (розкладу) у запланованому форматі.

Алгоритм дій учасників освітнього процесу у разі оголошення сигналу «Увага! Повітряна тривога!» під час здійснення освітнього процесу (дистанційний формат)

1. При оголошенні сигналу «Увага! Повітряна тривога!» викладач перериває заняття та оголошує, що заняття переходить в асинхронний режим дистанційної роботи.

2. Учасники освітнього процесу під час оголошення сигналу «Увага! Повітряна тривога!» прямують до найближчого укриття.

3. Після надходження сигналу «Увага! Відбій повітряної тривоги!» навчальні заняття які згідно графіку (розкладу) розпочинаються не раніше як через 30 хв після оголошення сигналу «Відбій повітряної тривоги» відновлюються у запланованому форматі.

При загрозі виникнення надзвичайних ситуацій дотримуватись норм та положень «Інструкції щодо дій в умовах надзвичайних ситуацій в Запорізькому національному університеті»

Лабораторна робота №1

Логічний синтез цифрових пристроїв комбінаційного типу

Метою виконання роботи є закріплення теоретичних знань і придбання практичних навиків логічного синтезу цифрових ІС, включаючи побудову схем за результатами логічного синтезу і аналізу їх характеристик.

Ключові терміни та поняття: арифметичні операції, логічні операції, логічна функція, мінімізація, мінтерм, макстерм, структурна формула, універсальний базис.

План теоретичного опрацювання теми.

1. Засвоїти методи представленя чисел у двійковій системі числення.
2. Засвоїти арифметичні та логічні операції булевої алгебри.
3. Засвоїти форми представлення логічних функцій.
4. Засвоїти основи синтезу цифрових пристроїв комбінаційного типу.

Методичні вказівки до вивчення питань та виконання завдань.

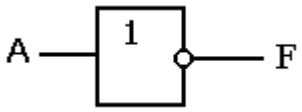
У основі алгебри логіки (булевої алгебри) лежать логічні величини, які позначаються A, B, C і так далі. Логічні величини характеризують два взаємовиключні поняття: так – ні, включено – вимкнено. Якщо одне із значень логічної величини позначене через A, те друге значення (протилежне) позначається $\overline{A}$ [1].

Основними логічними функціями є заперечення, логічне складання і логічне множення.

Інверсія (заперечення, функція НЕ) це проста логічна функція:

$$F = \overline{A}.$$

Схему, що забезпечує виконання такої функції, називають інвертором або схемою НЕ, позначення схеми:



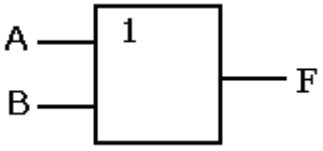
Логічне складання, диз'юнкція (∨, +) або функція АБО

$$F = A + B$$

визначається таким чином:

функція F = 1, якщо A = 1 або B = 1, або і A = 1 і B = 1;

Позначення схеми:



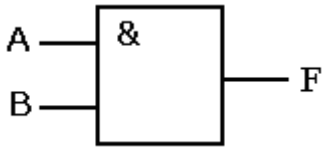
Логічне множення, кон'юнкція (∧, ×, ·) або функція І

$$F = A \cdot B,$$

визначається таким чином:

функція F = 1 лише якщо одночасно і A = 1 і B = 1;

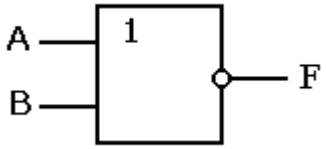
Позначення схеми:



Поєднання функції АБО з інверсією наводить до комбінованої функції АБО – НЕ:

$$F = \overline{A + B}$$

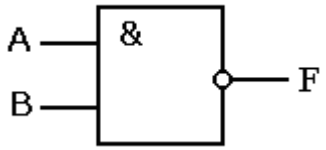
що позначається таким чином



Поєднання функції І з інверсією наводить до комбінованої функції І – НЕ:

$$F = \overline{A \cdot B}$$

що позначається таким чином:



Функції АБО – НЕ і І – НЕ найпоширеніші, оскільки на їх основі можна реалізувати будь-яку іншу логічну функцію. Зрозуміло, кількість аргументів функції і, отже, входів у відповідних схем може бути рівне трьом, чотирьом і більше [2].

У визначенні основних логічних функцій використані операції:

- складання – диз'юнкція, “+”;
- множення – кон'юнкція “×”;
- заперечення – інверсія “ – ”;

а так само відношення еквівалентності “=” (не рівність, а лише еквівалентність

Алгебра логіки базується на декількох аксіомах, з яких виводять основні закони для перетворень з логічними змінними.

$0+0=0$ (1.1) $0\cdot 0=0$ (1.5) $\bar{0}=1$ (1.9)

$1+0=1$ (1.2) $0\cdot 1=0$ (1.6) $\bar{1}=0$ (1.10)

$0+1=1$ (1.3) $1\cdot 0=0$ (1.7)

$1+1=1$ (1.4) $1\cdot 1=1$ (1.8)

Приведені аксіоми справедливі також для булевих змінних A, B і C. Важливі властивості цих логічних змінних ілюструються наступними попарно об’єднаними законами [1]:

1. Закон тавтології (ідемпотентності):

$$\begin{cases} A \cdot A = A & (1.11) \\ A + A = A & (1.12) \end{cases}$$

2. Закон нульової множини:

$$\begin{cases} A \cdot 0 = 0 & (1.13) \\ A + 0 = A & (1.14) \end{cases}$$

3. Закон універсальної множини:

$$\begin{cases} A \cdot 1 = A & (1.15) \\ A + 1 = 1 & (1.16) \end{cases}$$

4. Закон додатковості:

$$\begin{cases} A \cdot \overline{A} = 0 & (1.17) \\ A + \overline{A} = 1 & (1.18) \end{cases}$$

5. Закон подвійної інверсії (подвійного заперечення):

$$\overline{\overline{A}} = A \qquad (1.19)$$

6. Закон обертання:

якщо $A = B$, то $\overline{A} = \overline{B}$ (1.20)

7. Закон комутативності (переміщення):

$$\begin{cases} A \cdot B = B \cdot A & (1.21) \\ A + B = B + A & (1.22) \end{cases}$$

8. Закон асоціативності (сполучний):

$$\begin{cases} A \cdot B \cdot C = A \cdot (B \cdot C) & (1.23) \\ A + B + C = A + (B + C) & (1.24) \end{cases}$$

9. Закон дистрибутивності (розподільний):

$$\begin{cases} A \cdot (B + C) = (A \cdot B) + (A \cdot C) & (1.25) \\ A + (B \cdot C) = (A + B) \cdot (A + C) & (1.26) \end{cases}$$

10. Закон дуальності (теорема Де Моргана):

$$\begin{cases} \overline{A \cdot B} = \overline{A} + \overline{B} & (1.27) \\ \overline{A + B} = \overline{A} \cdot \overline{B} & (1.28) \end{cases}$$

11. Закон склеювання:

$$\begin{cases} (A + B) \cdot (A + \overline{B}) = A & (1.29) \\ (A \cdot B) + (A \cdot \overline{B}) = A & (1.30) \end{cases}$$

12. Закон поглинання:

$$\begin{cases} A \cdot (A + B) = A & (1.31) \\ A + (A \cdot B) = A & (1.32) \end{cases}$$

13. Закон тотожності:

$$A \equiv A \qquad (1.33)$$

У правильності затвердження того або іншого закону легко переконатися за допомогою ілюстрації у вигляді ключової схеми, приймаючи, що якщо розімкнений ключ має позначення $\overline{A}$, то А позначатиме замкнутий ключ, а також, що розімкнуте коло означає логічний 0, тоді як замкнуте коло – логічну 1.

Вживання тотожності і законів дозволяє здійснити спрощення логічних функцій.

Перемикаючою функцією називається двійкова змінна (F). При цьому виходить $2^4 = 16$ логічних функцій, що позначають операції над двома аргументами. Визначення цих функцій через операції кон'юнкції, диз'юнкції і інверсії, а також найменування функції представлене в таблиці 1.1 [1].

Таблиця 1.1 - Повний набір функцій двох аргументів

A 0 0 1 1 / B 0 1 0 1	Вираження через операції «І», «АБО», «НЕ»	Найменування функції
F_0 0 0 0 0	$F_0 = 0$	константа 0
F_1 0 0 0 1	$F_1 = AB$	кон'юнкція
F_2 0 0 1 0	$F_2 = A\overline{B}$	заборона
F_3 0 0 1 1	$F_3 = A$	тотожність
F_4 0 1 0 0	$F_4 = \overline{A}B$	заборона
F_5 0 1 0 1	$F_5 = B$	тотожність
F_6 0 1 1 0	$F_6 = A\overline{B} + \overline{A}B$	виключна диз’юнкція
F_7 0 1 1 1	$F_7 = A+B$	диз'юнкція
F_8 1 0 0 0	$F_8 = \overline{A + B}$	АБО–НІ, стрілка Пірсу
F_9 1 0 0 1	$F_9 = AB + \overline{A}\overline{B}$	еквівалентність
F_{10} 1 0 1 0	$F_{10} = \overline{B}$	інверсія
F_{11} 1 0 1 1	$F_{11} = A + \overline{B}$	імплікація від А до В
F_{12} 1 1 0 0	$F_{12} = \overline{A}$	інверсія
F_{13} 1 1 0 1	$F_{13} = \overline{A} + B$	імплікація від В до А
F_{14} 1 1 1 0	$F_{14} = \overline{AB}$	І-НІ, штрих Шеффера
F_{15} 1 1 1 1	$F_{15} = 1$	константа 1

На підставі таблиці можна скласти набір двійкових функцій, який забезпечує представлення будь-якій іншій функції за допомогою суперпозиції (заміни аргументів функції іншими функціями) функції цього набору. Такий набір простих функцій, за допомогою якого можна виразити будь-які інші скільки завгодно складні логічні функції, називається функціонально повним (ФПН). Набор функції АБО, І, НЕ є основний функціонально повний набір (ОФПН). На цих операціях будуються основні логічні елементи, які використовуються для проектування логічних пристроїв. Широко використовуються також елементи, що не входять в ОФПН: елемент Шеффера І - НЕ і стрілка Пірса АБО – НЕ [2].

Послідовність операцій синтезу цифрових пристроїв комбінаційного типу:

- складання таблиці відповідності комбінаційного цифрового пристрою згідно його визначення, призначення, словесного опису принципу роботи;
- складання логічної формули згідно таблиці відповідності;
- спрощення логічної формули;
- аналіз отриманої формули з метою побудови різних варіантів і знаходження найкращого з них по тих або інших критеріях;
- складання функціональної схеми комбінаційного цифрового пристрою з елементів І, АБО, НЕ.

Аналітичний запис логічної формули комбінаційного цифрового пристрою.

1.Запис у формі ДДНФ.

У ДДНФ логічна формула є логічною сумою декількох логічних добутків, в кожен з яких входять всі незалежні змінні із інверсією або без неї.

Формула здійснюється в два етапи.

а) записується логічна сума добутків, в кожен з яких входять всі незалежні змінні. Кількість доданків дорівнює числу наборів таблиці відповідності, на яких логічна функція дорівнює «1».

б) ставиться знак інверсії над тими незалежними змінними, які дорівнюють«0» в даному наборі.

2. Запис у формі ДКНФ.

У ДКНФ формула є логічним добутком декількох логічних сум, в кожну з яких входять всі незалежні змінні із інверсією або без неї.

Як і у попередньому випадку, формула здійснюється в два етапи.

а) записується логічний добуток всіх співмножників. Кількість співмножників дорівнює числу наборів таблиці відповідності, на яких логічна функція дорівнює «0».

б) ставиться знак інверсії над тими незалежними змінними, які дорівнюють «1» в даному наборі.

Структурні формули у вигляді ДДНФ і ДКНФ еквівалентні і, за допомогою законів алгебри, логіки можуть бути перетворені одна в іншу.

Залежність складності логічної формули і функціональної схеми логічного пристрою наводять до виводу про необхідність мінімізації структурної формули логічного пристрою. Мінімізація здійснюється з використанням основних співвідношень, законів і теорем алгебри логіки.

При відносно невеликому числі змінних ($k \le 6$) вельми зручним і наочним є графічне представлення логічних функцій у вигляді так званих карт мінтермів. Найбільш розповсюдженою їх формою є карти Карно. На рисунку 1.1 показані карти Карно для функцій k = 2, 3, 4, 5 і 6 змінних.

Карта Карно містить $n = 2^k$ клітинок, причому кожній клітинці відповідає один з n мінтермів. Для ілюстрації цього на рисунку 1.1, а, б у клітинках карт Карно записані відповідні їм мін терми [3].

Координати рядів і стовпців слідують не в природному порядку зростання двійкових кодів, а в порядку 00, 01, 11, 10. Це код Грея. Зміна

порядку дотримання наборів зроблена для того, щоб сусідні набори (що відрізняються між собою лише цифрою одного розряду) були сусідніми в геометричному сенсі.

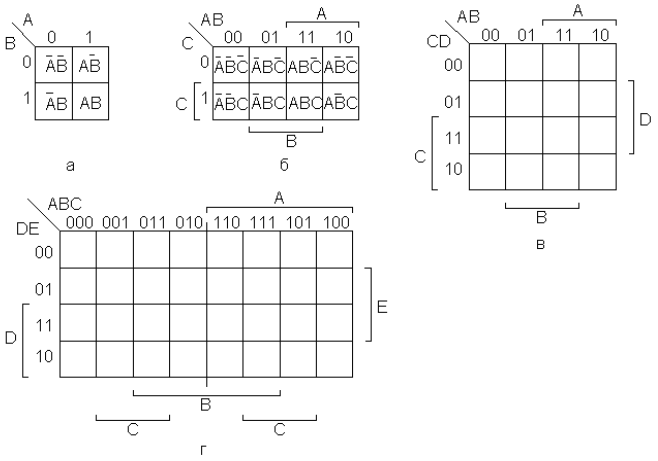


Рисунок 1.1 – Карти Карно для функцій двох (а), трьох (б), чотирьох (в) і п'яти (г) змінних

Правила групування мін термів [2].

1. Групуються дві клітки, що стоять поруч, в стовпці, або ряду. Кожна з групованих кліток відрізняється від будь-якої сусідньої лише одною змінною, яка при цьому і виключається; число групованих клітинок має бути парним; можна групувати крайні клітинки між собою, оскільки карта – по суті тор.

2. Групуються клітинки, що є повними квадратами з 4, 16 кліток.

3. Групуються клітинки, що є повними горизонтальними рядами, або вертикальними стовпцями.

4. Групуються клітинки, що представляють два поруч розташованих стовпця, або рядка.

5. Клітинка може входити в декілька об'єднань.

Послідовність і порядок проведення роботи.

Експериментальна схема для придбання практичних навиків логічного синтезу цифрових інтегральних схем розраховується студентами і збирається на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному застосуванні Electronics Workbench.

База даних включає комплект ІС, що містить логічні елементи основного ФПН (І, АБО, НЕ), а також елементи І-НЕ і АБО-НЕ. Стенди обладнані пристроями, які задають статичні і динамічні вхідні сигнали, напругу живлення, контролюють функціонування електронних схем.

Стендове обладнання дозволяє реалізувати будь-яку із заданих для лабораторного дослідження логічних функцій. Реалізація логічних функцій здійснюється подачею вхідних сигналів (аргументів) A, B, C, D на входи вибраних логічних елементів і подальшим з'єднанням виходів цих логічних елементів з іншими елементами відповідно до схеми, отриманої в результаті структурного синтезу.

1. Відповідно до номера підгрупи вибрати задану функцію F.

1) $F = \overline{A} \cdot B \cdot C + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} + B \cdot \overline{C} \cdot D + A \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{A} \cdot B \cdot \overline{D} + A \cdot \overline{B} \cdot C \cdot D + \overline{A} \cdot \overline{B} \cdot D$

2) $F = A \cdot \overline{B} \cdot \overline{C} \cdot D + A \cdot B \cdot \overline{C} \cdot \overline{D} + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} \cdot D$

3) $F = \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C} \cdot D + B \cdot \overline{C} \cdot D + \overline{A} \cdot \overline{B} \cdot C \cdot D + A \cdot \overline{B} \cdot \overline{D} + A \cdot \overline{B} \cdot C \cdot D + \overline{A} \cdot \overline{B} \cdot \overline{D}$

4) $F = A \cdot B \cdot C \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot C \cdot D + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{D} + \overline{A} \cdot B \cdot \overline{C} \cdot D + A \cdot \overline{B} \cdot C \cdot D$

5) $F = A \cdot B \cdot C \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot C \cdot D + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{D} + \overline{A} \cdot B \cdot \overline{C} \cdot D + A \cdot \overline{B} \cdot C \cdot D$

6) $F = A \cdot \overline{B} \cdot C \cdot D + A \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{B} \cdot C \cdot D + A \cdot B \cdot \overline{C} \cdot \overline{D} + \overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot \overline{C} \cdot \overline{D}$

2. Скласти таблицю функціонування пристрою для чотирьох змінних (ABCD).

3. Нанести функцію на карту Карно і спростити її, використовуючи відомі методи.

4. Привести структурну схему, що реалізує отриману в результаті мінімізації функцію до єдиного логічного базису І-НЕ.

5. Зібрати отриману схему на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А).

6. Для проведення аналізу функціонування підключити до схеми джерело вхідного сигналу - кнопки “Fix

7. Включити живлення і провести аналіз схеми на відповідність таблиці функціонування.

8. Для зняття динамічної характеристики необхідно перекомутувати стенд для підключення генератора до входів експериментальної схеми. Включити генератор прямокутних імпульсів. тривалим натисненням на кнопку “Select”

9. Провести аналіз функціонування розробленої схеми.

10. Зібрати отриману схему в програмному застосуванні Electronics Workbench.

11. Підключити до схеми наступні прилади для проведення аналізу функціонування (рис. 1.2): генератор двійкових слів (а), логічний аналізатор (б), проміжну індикацію в усіх логічних вузлах від входу до виходу схеми (в).

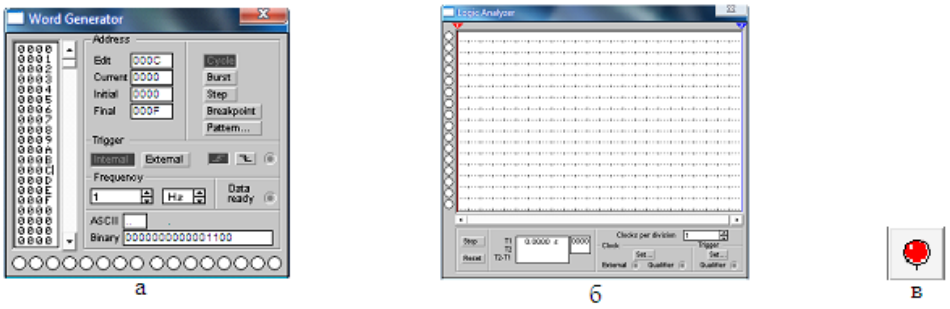


Рисунок 1.2 – Інструменти програмного застосування

12. Включити живлення і провести аналіз схеми на відповідність таблиці функціонування.

13. Провести заміну елементів елементарної логіки на реальні бібліотечні елементи програмного забезпечення Electronics Workbench (рис. 1.3). Підключити джерело живлення та елементи контролю функціонування.

14. Провести аналіз функціонування розробленої схеми.

10. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

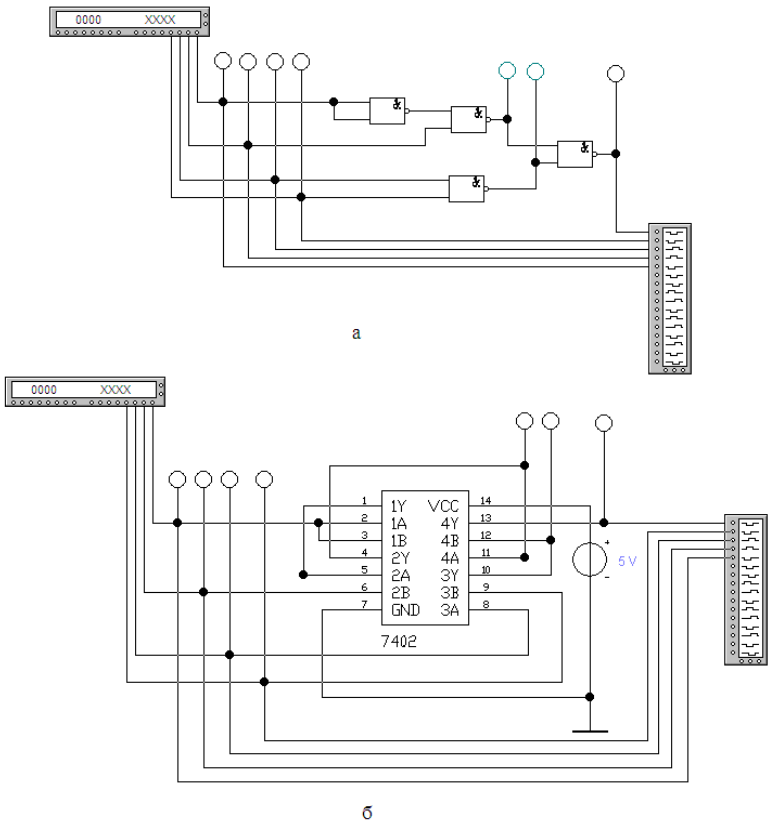


Рисунок 1.3 – Приклад заміни елементів елементарної логіки (а) на реальні бібліотечні елементи (б)

Контрольні питання.

1. Назвіть основні логічні функції.
2. Приведіть аксіоми булевої алгебри
3. Розкрийте сенс основних законів булевої алгебри.
4. Що таке перемикаюча функція?
5. Що таке нормальна форма представлення двійковій функції ?
6. Представлення булевих функцій у вигляді мінтермів і макстермів.
7. Мінімізація булевих функцій.
8. Приведіть типовий порядок логічного проектування.
9. Складіть структурну схему, що реалізовує задану логічну функцію.
10. Приведення логічних функцій до заданого елементного базису.

Лабораторна робота №2

Дослідження статичних та динамічних параметрів цифрових інтегральних мікросхем

Метою виконання роботи є вивчення основних параметрів і характеристик логічних елементів (ЛЕ), дослідження таблиць відповідності логічних функцій та їх реалізації за допомогою логічних елементів.

Ключові терміни та поняття: арифметичні операції, логічні операції, логічна функція, мінімізація, мінтерм, макстерм, структурна формула, універсальний базис.

План теоретичного опрацювання теми.

1. Засвоїти методи представленя чисел у двійковій системі числення.
2. Засвоїти арифметичні та логічні операції булевої алгебри.
3. Засвоїти форми представлення логічних функцій.
4. Засвоїти основи синтезу цифрових пристроїв комбінаційного типу.

Методичні вказівки до вивчення питань та виконання завдань.

Параметри цифрових елементів поділяють на експлуатаційні, економічні, технічні. Експлуатаційні параметри відображають такі якості елементів, як тривалість безвідмовної роботи, зручність встановлення та демонтажу, габарити, маса та ін.. Економічні параметри характеризують вартість елемента, енергоємність, вміст дорогих і рідкісних матеріалів. Економічні та експлуатаційні параметри використовуються для опису вже реалізованих виробів. На початковому етапі проектування розробник орієнтується загалом на технічні параметри серійних або елементів, які розробляються, оскільки саме технічні параметри визначають можливість реалізації спроектованого пристрою в обраному елементному базисі [4].

До параметрів, що характеризують логічні і схемотехнічні можливості логічних елементів мікросхем і великих інтегральних схем, відносяться: функціональні параметри, статичні параметри динамічні параметри та інтегральні параметри.

Функціональні параметри [1]:

- логічна функція, яка реалізується;
- здатність навантаження n, що характеризує можливість підключення певного числа ідентичних ЛЕ;
- коефіцієнт об'єднання по входу m (m_I – для реалізації логічної функції І; $m_{АБО}$ – для реалізації логічної функції АБО);
- середня затримка передачі сигналу $\tau_{сер}$ (напівсума часу затримок передачі сигналів 1 і 0 з входу ЛЕ на його вихід);
- гранична робоча частота f_p (частота перемикання тригера, складеного з ЛЕ, що розглядаються);
- споживана потужність.

Статичні параметри [1]:

- вхідні і вихідні напруги логічного 0 і 1 ($U^0_{вих}$, $U^1_{вих}$, $U^0_{вх}$, $U^1_{вх}$);

- вхідні і вихідна порогові напруги логічного 0 і 1($U^0_{вих.\ пор}$, $U^1_{вих.\ пор}$, $U^0_{вх.\ пор}$, $U^1_{вх.\ пор}$);

- вхідні і вихідні струми логічного 0 і 1 ($I^0_{вих}$, $I^1_{вих}$, $I^0_{вх}$, $I^1_{вх}$);

- струми споживання в стані логічного 0 і 1($I^0_{спож}$, $I^1_{спож}$);

- потужність, що споживається ЛЕ від джерел живлення

$$P_{\text{ñïîæ}} = \sum_{i=1}^{n} U_i I_i ,$$

де U_i – напруга і-го джерела живлення; I_i – струм у відповідному колі живлення.

Завадостійкість логічних елементів. Основною статичною характеристикою ЛЕ є передавальна характеристика $U_{вих} = f(U_{вх})$: залежність потенціалу на виході від потенціалу на одному з входів, при постійних значеннях потенціалу (U^0 або U^1) на останніх входах. За типом передавальної характеристики елементи діляться на: 1) які інвертують - на виході яких утворюється інверсія вхідних сигналів; 2) які не інвертують.

Передавальна характеристика (рис. 2.1) має три явно виражені ділянки .

I – стан $U_{вих} = U^0$;

II – стан $U_{вих} = U^1$;

III – проміжний стан.

Значення потенціалу $U_{вх}$, яке відповідає кордонам ділянок, називають порогами перемикань $U_п^0$ и $U_п^1$. Область між порогами – зоною невизначеності. При послідовному з'єднанні декількох логічних елементів їх загальна передавальна характеристика матиме різкіше розділення ділянок I і II.

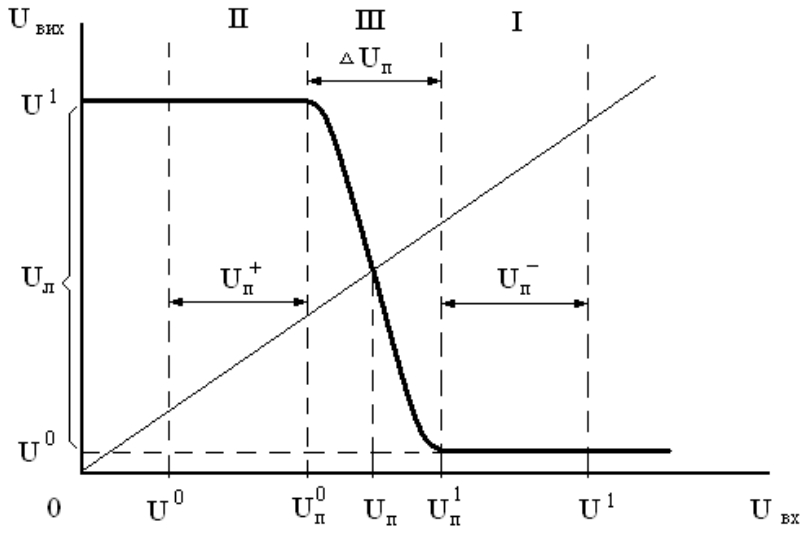


Рисунок 2.1 - Передавальна характеристика інвертуючого логічного елемента

Якщо на входах елементів послідовного кола встановлені логічні рівні U^0 і U^1, то під час вступу позитивної перешкоди величиною $U_п^+ > U_п^0 - U^0$ і негативної перешкоди $U_п^- > U^1 - U_п^1$ відбувається перемикання, яке не передбачене нормальним логічним функціонуванням.

Окрім корисних (управляючих) сигналів на логічні елементи завжди впливають сигнали паразитні, зумовлені зовнішніми електромагнітними

перешкодами (наведеннями), або внутрішніми процесами (зв'язками через загальне джерело живлення). Тому, робочі сигнали повинні перевищувати рівень перешкод, а до малих паразитних сигналів логічні елементи мають бути по можливості нечутливі. Здатність логічних елементів протистояти паразитним сигналам називають завадостійкістю. Максимально допустима величина потенційної перешкоди, що не викликає збоїв в цифровій схемі визначається виразом [1]:

$$U_п^+ = U_п^0 - U^0; \quad U_п^- = U^1 - U_п^1$$

$$U_п^+ + U_п^- = (U_п^0 - U^0) + (U^1 - U_п^1) =$$

$$= U_п^0 - U^0 + U^1 - U_п^1 =$$

$$= (U^1 - U^0) - (U_п^1 - U_п^0) =$$

$$= U_л - \Delta U_п ,$$

де $U_л = U^1 - U^0$ – логічний перепад; $\Delta U_п = U_п^1 - U_п^0$ – ширина зони невизначеності.

Таким чином, для підвищення завадостійкості слід збільшувати $U_л$ і зменшувати $\Delta U_п$.

Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження.

Динамічні параметри [1].

До основних динамічних параметрів логічного елементу відносяться: $t^{01}_ф$ – фронт формування рівня логічної 1; $t^{10}_ф$ – фронт формування рівня логічного 0; $t^{10}_{затр}$ – затримка перемикання із стану 1 в стан 0; $t^{01}_{затр}$ – затримка перемикання із стану 0 в стан 1; t_i – тривалість імпульсу; динамічна завадостійкість; динамічна потужність; імпульсна завадостійкість; $f_р$ – робоча частота. Визначення цих параметрів забезпечується при порівнянні сигналів на вході і виході ЛЕ, тобто при розгляді процесу передачі інформації через ЛЕ. На рисунку 2.2 приведені характеристики сигналів на вході і виході інвертора і показані рівні відліку (0,1 і 0,9 від логічного перепаду $U_л$), відносно яких визначаються динамічні параметри ЛЕ.

Рівнями відліку динамічних параметрів ЛЕ є (розглядається позитивна логіка) максимальні рівень логічного 0 ($U_{вх}{}^{Н}{}_{пор}$, $U_{вих}{}^{Н}{}_{пор}$) і мінімальний рівень логічної 1 ($U_{вх}{}^{В}{}_{пор}$, $U_{вих}{}^{В}{}_{пор}$). Затримка переключення $t^{10}_{затр}$ визначається як часовий інтервал між рівнем 1 фронту наростання вхідного імпульсу (позитивний імпульс) і рівнем 0 фронту спаду вихідного імпульсу (негативний імпульс). Затримка переключення $t^{01}_{затр}$ визначається як часовий інтервал між рівнем 0 фронту спаду вхідного імпульсу і рівнем 1 фронту наростання вихідного імпульсу. Фронти імпульсу, що визначаються між рівнями 1 і 0 спаду імпульсу, позначаються $t^{10}_ф$, між рівнями 0 і 1 наростання імпульсу – $t^{01}_ф$.

Затримки розповсюдження ($t^{10}_{затр\ р}$, $t^{01}_{затр\ р}$) вимірюються, як правило, по рівню $0{,}5(U_{вих}{}^{В}{}_{пор} - U_{вих}{}^{Н}{}_{пор})$.

Середній час затримки перемикання визначає максимальну тактову частоту цифрової мікросхеми. Динамічна завадостійкість залежить від тривалості амплітуди та форми сигналу завади, а також від статичної завадостійкості та частоти перемикання мікросхеми. Оцінювання динамічної завадостійкості здійснюється по амплітудо-часовій характеристиці [2].

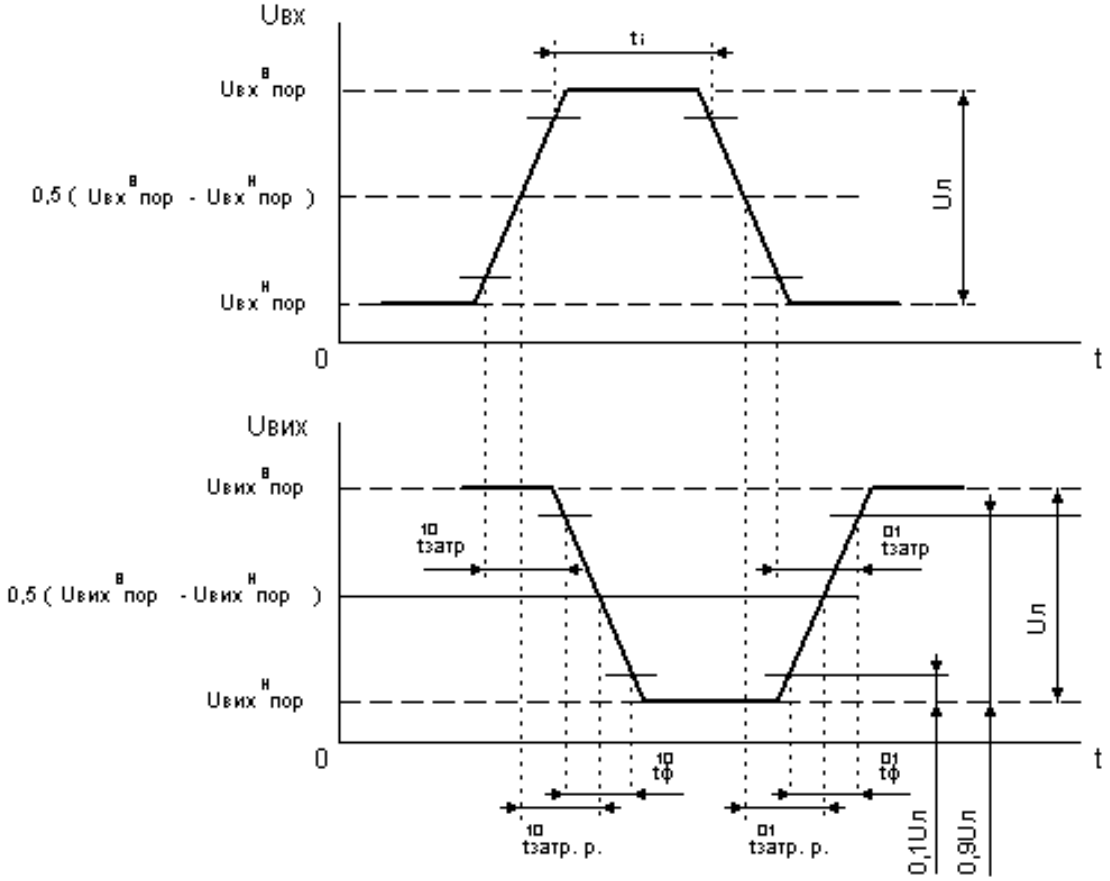


Рисунок 2.2 – Динамічні параметри логічного елемента

Середня затримка $t_{затр.\ р.\ сер}$ логічного елементу визначається як напівсума затримок $t^{10}_{затр\ р}$ і $t^{01}_{затр\ р}$ та служить усередненим параметром швидкодії, що використовується при розрахунку часових характеристик багатоелементних послідовно включених логічних мікросхем.

$$t_{затр.\ р.\ сер.} = (t^{10}_{затр\ р} + t^{01}_{затр\ р}) / 2$$

Параметр $t_{затр.\ р.\ сер.}$ наводиться в технічних умовах або в інструкції по використанню інтегральних мікросхем. Для спрощення процесу розрахунку часових характеристик складних логічних кіл часто вважають сигнали прямокутними, тобто $t^{10}_{ф} = t^{01}_{ф} = 0$.

Важливим параметром, який об’єднує динамічні та статичні параметри цифрової мікросхеми, є робота перемикання.

Інтегральні параметри[1].

Вони відображають рівень розвитку технології, схемотехніки і якості цифрових ІС. Основними інтегральними параметрами ІС є енергія перемикання P_t і рівень інтеграції N.

Енергія перемикання: $P_t = P_{спож.\ сер.} \times t_{затр.\ р.\ сер.}$

По цьому параметру в даний час здійснюють оцінку рівня розвитку цифрової мікроелектроніки і порівняння різних типів ІС.

Міра інтеграції N логічних ІС визначається числом простих еквівалентних ЛЕ (зазвичай двохвходових вентилів) на кристалі. Функціонально складність ІС пристроїв, які є запам'ятовуючими і мають розмірну структуру, можна оцінювати числом біт пам'яті на кристалі [2].

Послідовність і порядок проведення роботи.

Вивчити принцип роботи, параметри, характеристики, схеми включення і можливості застосування інтегральних мікросхем (ІМС) ЛЕ. Вивчити таблиці відповідності для логічних функцій.

Дослідження статичних характеристик логічних елементів.

1. За допомогою джемперів підключити входи логічних елементів різних серій до внутрішнього потенціометра лабораторного макету.
2. Підключити вихід першого логічного елементу до внутрішнього вольтметра.
3. Обертанням ротора потенціометра, змінювати вхідну напругу логічного елементу з кроком 0,1 В. Контроль здійснювати за допомогою вольтметра. Записати у таблицю значення вихідної напруги. Побудувати перехідну характеристику логічного елементу, визначити статичні параметри.
4. Повторити п.п.2-3 для логічних елементів інших серій.

Дослідження динамічних параметрів логічних елементів.

1. За допомогою зовнішніх роз'ємів, подати на вхід першого логічного елементу сигнал прямокутної форми з генератора сигналів низької частоти, а також подати цей сигнал на перший канал осцилографа. Вихід логічного елементу підключити до другого каналу осцилографа.
2. Плавно змінюючи частоту вхідного сигналу, знайти частоту при якій на виході логічного елементу на буде спостерігатись сигналів.
3. На частоті нижчій за знайдену на 10 %, виміряти основні динамічні характеристики логічного елементу. Зарисувати відповідні часові діаграми.
4. Повторити п.п.1-3 для інших логічних елементів.

Дослідження таблиць відповідності логічних елементів.

1. Визначити розташування усіх логічних елементів 2І-НЕ, 2АБО-НЕ та 2І, 2АБО.
2. Дослідити та записати у таблиці для кожного логічного елемента таблиці відповідності.

Контрольні питання.

1. Чим відрізняються між собою статичні і динамічні параметри логічних елементів?
2. Які логічні функції ви знаєте?
3. Що таке таблиця відповідності?
4. Запишіть таблицю відповідності для функції 3І-НЕ та 3АБО-НЕ.
5. Як ви розумієте поняття функціональної повноти?

Лабораторна робота №3

Дослідження та синтез арифметичних цифрових суматорів

Метою виконання роботи є засвоєння принципів побудови арифметичних суматорів, вивчення основних принципами функціонального контролю суматорів та напівсуматорів на логічних елементах різних типів.

Ключові терміни та поняття: арифметичні операції, логічні операції, напівсуматор, перенесення, сума, доданки, складання по модулю два.

План теоретичного опрацювання теми.

1. Засвоїти арифметичні операції з двійковим кодом чисел.
2. Засвоїти особливості арифметичних пристроїв.
3. Засвоїти схемні рішення напівсуматорів та однорозрядних суматорів.
4. Засвоїти принципи побудови багаторозрядних арифметичних суматорів комбінаційного типу.

Методичні вказівки до вивчення питань та виконання завдань.

Дискретна техніка оперує класом пристроїв, призначення яких полягає у виконанні арифметичних дій з двійковими числами. Особливість арифметичних пристроїв полягає в тому, що сигналам приписуються не логічні, а арифметичні значення 1 і 0 і дії над ними підкоряються законам двійкової арифметики. Для опису їх роботи також зручно користуватися таблицями відповідності. Найважливіша з арифметичних операцій – складання (підсумовування). Окрім прямого призначення вона використовується і при інших операціях: віднімання – це складання, в якому від'ємник перетвориться в зворотний, а потім в додатковий код, а множення і ділення – це послідовне складання і віднімання. До арифметичних пристроїв відносять також вузли, які виконують спеціальні операції: порівняння двох чисел і виявлення парності заданих чисел (визначення паритету) [5].

Суматори за принципом дії підрозділяються на комбінаційні і з накопиченням інформації. Розрізняють суматори паралельної дії і послідовної дії.

Проаналізуємо таблицю відповідності однорозрядного суматора (таблиця. 3.1) і запишемо логічні вирази для вихідних величин [1].

$$S = A\overline{B}\overline{P_i} + \overline{A}B\overline{P_i} + \overline{A}\overline{B}P_i + ABP_i;$$

$$P_{i+1} = AB\overline{P_i} + A\overline{B}P_i + \overline{A}BP_i + ABP_i.$$

Суматори призначені для арифметичного складання двох чисел. З принципу складання багаторозрядних двійкових чисел виходить, що в кожному і-розряді знаходиться сума S_i трьох чисел по модулю два: доданків A_i, B_i і перенесення яке поступило з молодшого розряду P_i і формується сигнал перенесення в старший розряд P_{i+1}.

У цифровій обчислювальній техніці використовуються однорозрядні схеми підсумовування з двома і трьома входами. Причому, перші називаються напівсуматорами, а другі – повними однорозрядними суматорами.

Напівсуматори можуть використовуватися лише для підсумовування молодших розрядів чисел.

Таблиця 3.1 – Таблиця функціонування однорозрядного суматора

Вхід			Вихід	
Доданки		Перенесення	Сума	Перенесення
A_i	B_i	P_i	S_i	P_{i+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Повні однорозрядні суматори мають додатковий третій вхід, на який подається перенесення з попереднього розряду при підсумовуванні багаторозрядних чисел. У таблиці 3.2 приведена таблиця відповідності напівсуматора, на підставі якої складена його структурна формула у вигляді ДДНФ.

Таблиця 3.2 – Таблиця відповідності напівсуматора

A	B	S	P_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \overline{A}B + A\overline{B}$$

$$P_{i+1} = AB$$

Функціональна схема, складена на елементах основного базису, відповідно до цієї структурної формули, приведена на рисунку 3.1.

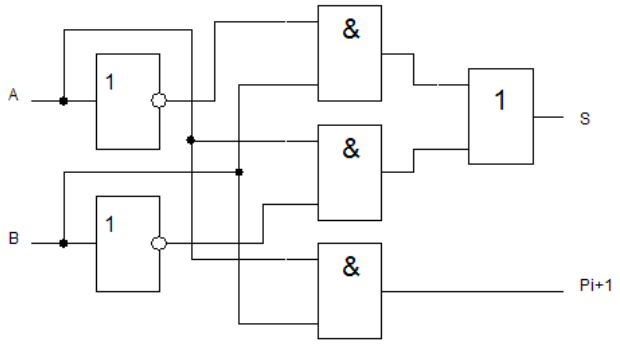


Рисунок 3.1 – Функціональна схема напівсуматора на елементах основного базису

Приведена вище схема містить 6 елементів і має 10 входів (число по Квайну дорівнює 10).

Недоліком схеми (рис. 3.1) є те, що на її входи необхідно подавати і прямі, і інверсні значення операндів. Застосовуючи закони алгебри логіки, схему можна перетворити, виключивши інверсії над окремими операндами (рис. 3.2):

$$S = \overline{A}B + A\overline{B} = \overline{\overline{A}B + A\overline{B}} = \overline{\overline{A}B} \cdot \overline{A\overline{B}} = \overline{(A + \overline{B})(\overline{A} + B)} = \overline{A\overline{A} + AB + \overline{B}\overline{A} + \overline{B}B} =$$

$$= \overline{0 + AB + \overline{A}\overline{B} + 0} = \overline{AB + \overline{A}\overline{B}} = \overline{AB} \cdot \overline{\overline{A}\overline{B}} = \overline{AB} \cdot (A + B);$$

$$P_{i+1} = AB.$$

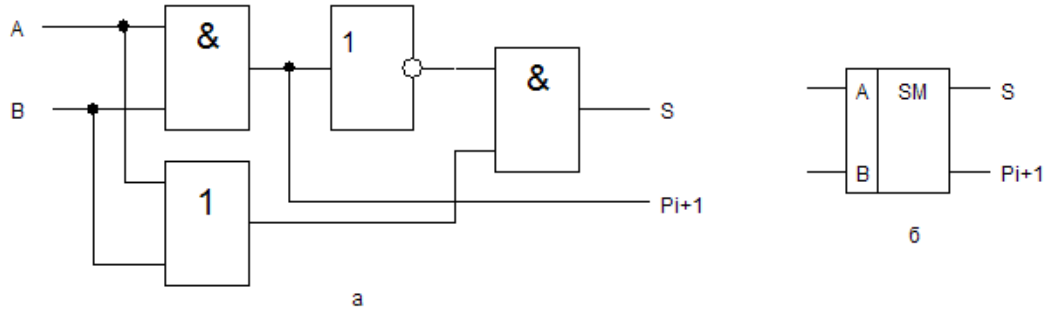


Рисунок 3.2 – Мінімізована схема (а) і умовне графічне позначення (б) напівсуматора на елементах основного базису

Мінімізована схема є більш швидкодіючою, оскільки замість 6, містить 4 елементи, а число по Квайну зменшилося з 10 до 7.

Логічний елемент “Виключне АБО” застосовується як суматор за модулем 2 [2]. На рисунку 3.3 приведений символ елементу без інверсії і його таблиця відповідності. Вихідний сигнал елементу відповідає логічному рівнянню:

$$F = A \oplus B = A\overline{B} + \overline{A}B$$

Тут “$\oplus$” – символ складання по модулю 2. Нижній і верхній рядки таблиці відображають еквівалентність вхідних рівнів, тобто A = B = 0 (у верхньому рядку) і A = B = 1 (у нижньому). У випадку A = B = 0 вихідний сигнал F = 0 (це природний) тривіальний нуль. Коли A = B = 1 вихідний сигнал F також дорівнює нулю, хоча на двох входах A і B присутні одиниці.

Вхід		Вихід	Вихід
A	B	F	$\overline{F}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

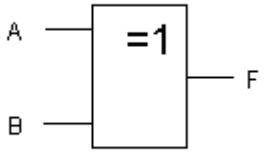


Рисунок 3.3 – Елемент “ Виключна диз’юнкція ” і його таблиця функціонування

Якщо до елементу “Виключне АБО” додати елемент, який є формувачем одиниці старшого розряду (генератор перенесення, який створює вихід P), то отримаємо однорозрядний напівсуматор (рис. 3.4)

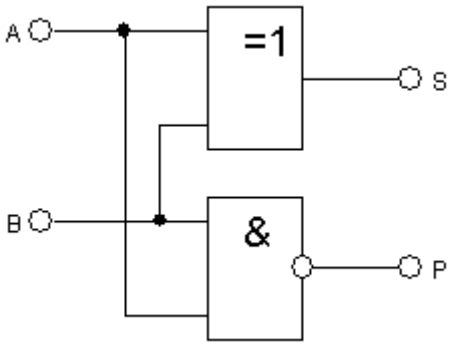


Рисунок 3.4 – Схема напівсуматора на елементі “Виключне АБО”

Схему повного однорозрядного суматора можна отримати на основі двох схем напівсуматорів і схеми «АБО», як показано на рисунку 3.5.

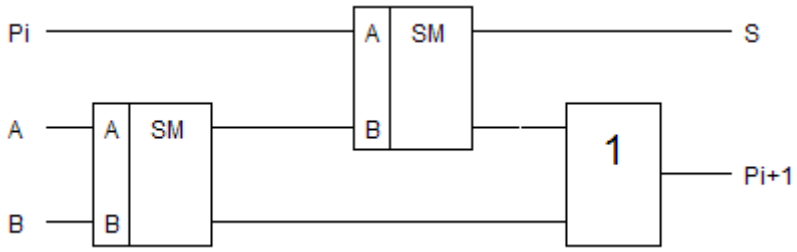


Рисунок 3.5 – Схема повного однорозрядного суматора

Арифметичні суматори являються складовою частиною арифметичних логічних пристроїв (АЛП) мікропроцесорів (МП). Вони використовуються також для формування фізичної адреси елементів пам'яті в МП з сегментною організацією пам'яті [3].

Методи підсумовування багаторозрядних чисел:

- послідовне підсумовування;
- паралельне підсумовування з послідовним перенесенням;
- паралельне підсумовування з паралельним перенесенням.

При послідовному підсумовуванні використовується один суматор, загальний для всіх розрядів (рис. 3.6).

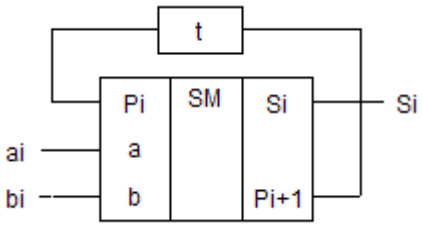


Рисунок 3.6 – Послідовне підсумовування багаторозрядних чисел

Операнди повинні вводитися в суматор через входи a_i і b_i синхронно, починаючи з молодших розрядів. Коло затримки забезпечує зберігання імпульсу перенесення P_{i+1} на час одного такту, тобто до приходу пари доданків наступного розряду, з якими він буде підсумований. Результати підсумовування також прочитуються послідовно, починаючи з молодших розрядів.

Схема паралельного суматора з послідовним перенесенням приведена на рисунку 3.7.

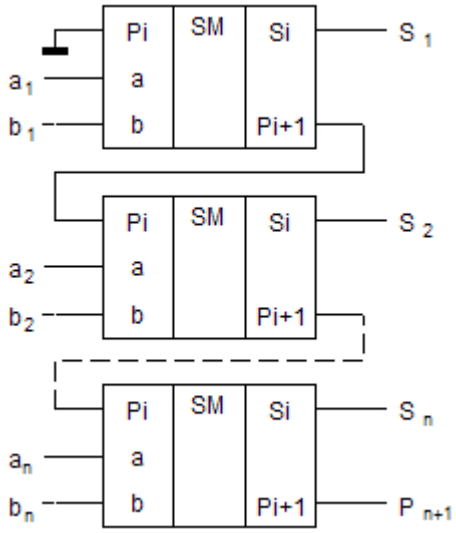


Рисунок 3.7 – Паралельне підсумовування багаторозрядних чисел з послідовним перенесенням

Кількість суматорів дорівнює числу розрядів чисел.

При побудові паралельних суматорів з паралельним перенесенням застосовуються спеціальні вузли – блоки прискореного перенесення, які випускаються в інтегральному виконанні у вигляді окремих мікросхем, або безпосередньо з схемою суматора, або арифметичного логічного пристрою в одній мікросхемі.

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання LOGIC дозволяє реалізувати схему двохрозрядного суматора і провести аналіз його функціонування у статичному режимі.

Сумуються два двохрозрядних числа A2A1 і B2B1. Перенос із молодшого розряду відсутній. Формується сума S2S1 і перенесення до старшого розряду P. Схема складається із трьох напівсуматорів (рис. 3.2) і схеми АБО (рис. 3.8).

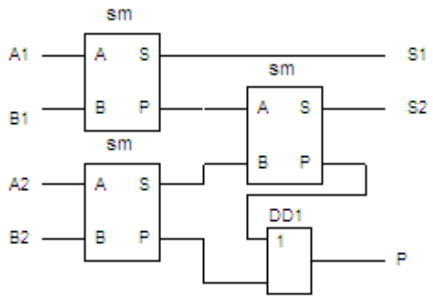


Рисунок 3.8 – Структурна схема двохрозрядного суматора

2. Комутаційна схема на лабораторному стенді LOGIC потребує деяких схемних рішень (рис. 3.9).

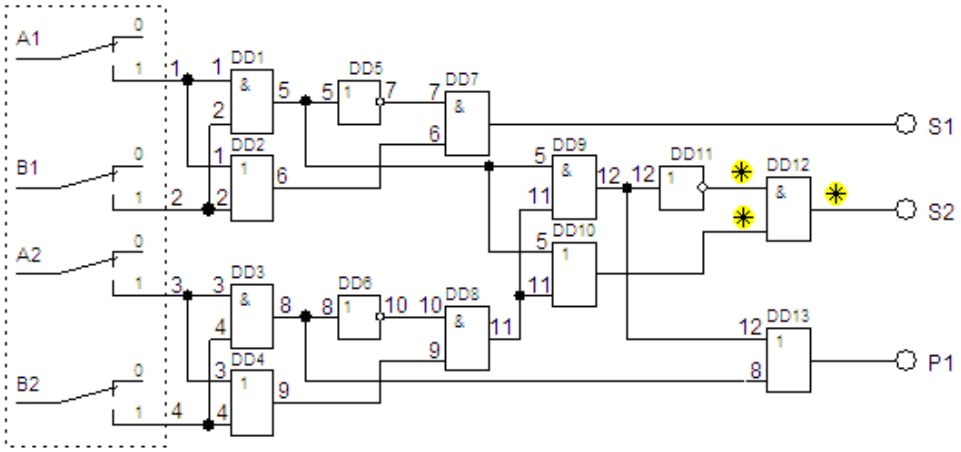


Рисунок 3.9 - Комутаційна схема двохрозрядного суматора

3. Зовнішній вигляд експериментальної схеми на лабораторному стенді LOGIC представлено на рисунку 3.10.

4. Провести дослідження функціонування схеми двохрозрядного суматора у статичному режимі згідно з таблицею відповідності (табл. 3.3).

Таблиця 3.3 – Таблиця функціонування двохрозрядного суматора

B2	B1	A2	A1	S2	S1	P
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	1	0	0
0	0	1	1	1	1	0
0	1	0	0	0	1	0
0	1	0	1	1	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	1	0
1	0	1	0	0	0	1
1	0	1	1	0	1	1
1	1	0	0	1	1	0
1	1	0	1	0	0	1
1	1	1	0	0	1	1
1	1	1	1	1	0	1

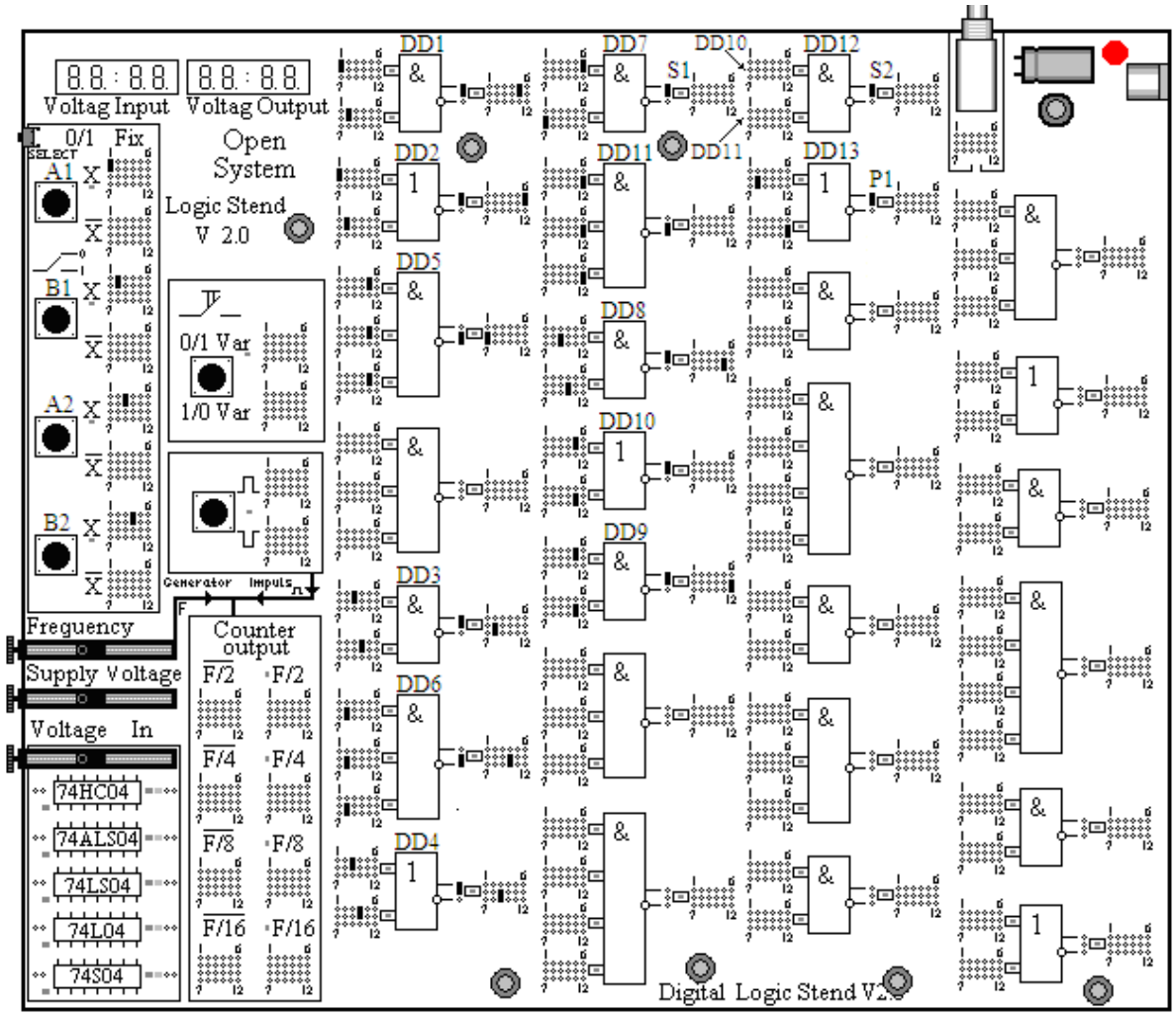


Рисунок 3.10 - Експериментальна схема двохрозрядного суматора на лабораторному стенді LOGIC

5. На терміналі програмного забезпечення Electronics Workbench формується схема електрична чотирьох розрядного паралельного суматора.

Суматор має 8 тумблерів, для складання двох чотирьохрозрядних (у двійковому коді) чисел (рис. 3.11). Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування чисел, які додаються, за допомогою Word Generator.

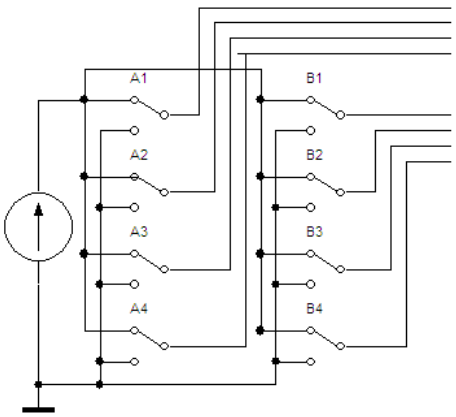


Рисунок 3.11 – Клавіатура введення інформації в суматор

6. Для забезпечення дослідження функціонування суматора необхідні:
- джерело живлення постійного струму;
- напівсуматор на елементах елементарної логіки (рис. 3.2);
- чотирьохрозрядний паралельний суматор (рис. 3.12);
- панель відображення інформації;
- прилади контролю функціонування.

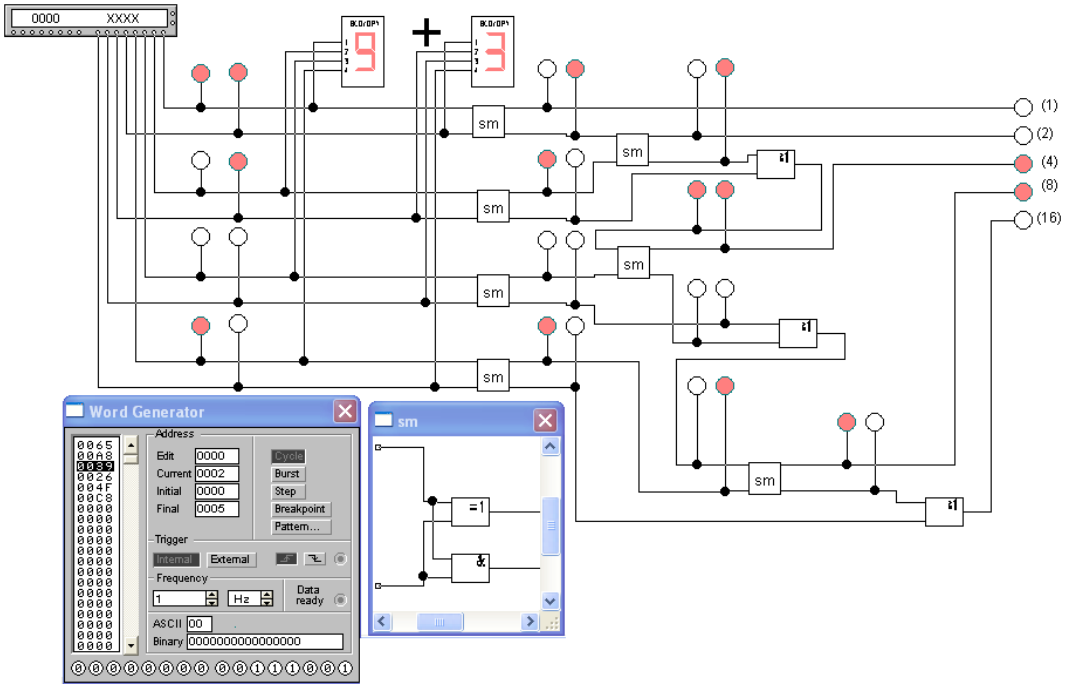


Рисунок 3.12 - Синтезована схема чотирьох розрядного паралельного суматора

7. Послідовно з’єднати запрограмований Word Generator з суматором.

8. Скласти таблицю відповідності чотирьохрозрядного паралельного суматора.

9. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

10. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

Контрольні питання

1. Арифметичні операції з двійковим кодом чисел.
2. Принцип роботи n-розрядного суматора.
3. Основні характеристики суматорів.
4. Напівсуматори: принцип роботи, основні характеристики.
5. Принципи побудови багаторозрядних суматорів.

Лабораторна робота №4

Дослідження цифрових дешифраторів

Метою виконання роботи є ознайомлення з принципами побудови схем дешифраторів комбінаційного типу.

Ключові терміни та поняття: дешифратор, інвертор, декодер, адресний вхід, однопозиційний код, лінійний дешифратор, каскад, координатний дешифратор.

План теоретичного опрацювання теми.

1. Засвоїти принцип функціонування лінійного дешифратора.
2. Засвоїти принцип функціонування пірамідальний дешифратор.
3. Засвоїти принцип побудови дешифратора на багато виходів з мікросхем дешифраторів з меншим числом виходів.
4. Засвоїти принцип побудови матричного дешифратора.

Методичні вказівки до вивчення питань та виконання завдань.

Дешифратор (ДШ) – пристрій комбінаційного типу, який дозволяє визначити код вхідного числа по одиночному сигналу на одному з виходів [1].

Дешифратори широко застосовуються в пристроях управління, в системах цифрової індикації, для побудови розподільників імпульсів по різних колах і т. д. Дешифратор, в якого число виходів 2^n, де n - число входів, називається повним.

Інтегральні мікросхеми дешифраторів виготовляються з додатковими входами, наприклад, з входом дозволу (стробування). Стробування дозволяє виключити появу на входах дешифратора помилкових сигналів, забороняючи його роботу в інтервалі часу перехідного процесу при зміні цифрового коду на вході.

Лінійна структура дешифратора

З таблиці станів (табл. 4.1) випливає, що на кожному вході дешифратора повинен стояти інвертор. Рівняння функціонування дешифратора по кожному виходу визначається певною комбінацією вхідних сигналів. Наприклад: на F3 логічна 1, якщо на вході комбінація $AB\overline{C}$.[1].

Відповідно до рівнянь функціонування будується схема лінійного дешифратора (рис. 4.1).

Таблиця 4.1 – Таблиця станів лінійного дешифратора

Входи			Виходи							
A	B	C	F0	F1	F2	F3	F4	F5	F6	F7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

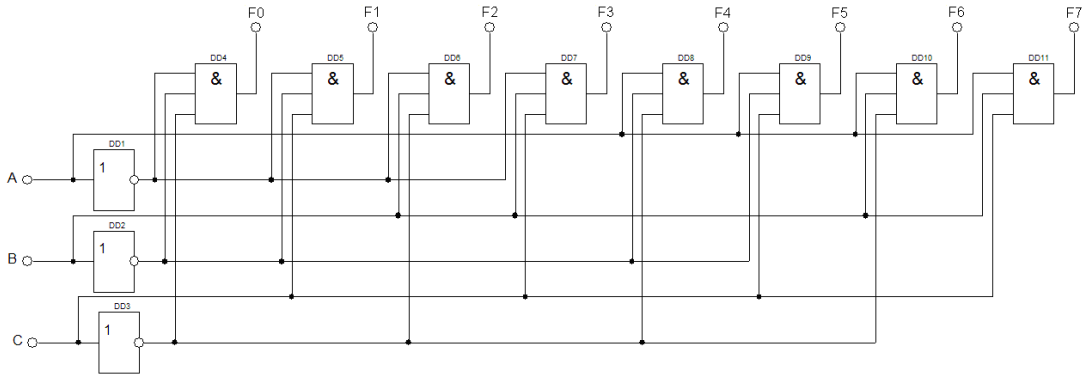


Рисунок 4.1 – Схема лінійного дешифратора

Кожному вхідному двійковому коду відповідає низький рівень лише на одному виході, а на всіх інших зберігається високий рівень.

У ТТЛ дешифратори більш ніж на 4 … 5 входів по здатності навантаження побудувати не можливо.

Пірамідальна структура дешифратора.

Число рівнів пірамідального дешифратора n-1, де n - число входів. Число виходів рівня 2^n, де n-номер рівня [4].

Пірамідальна структура дешифратора (рис. 4.2) компактніше лінійної.

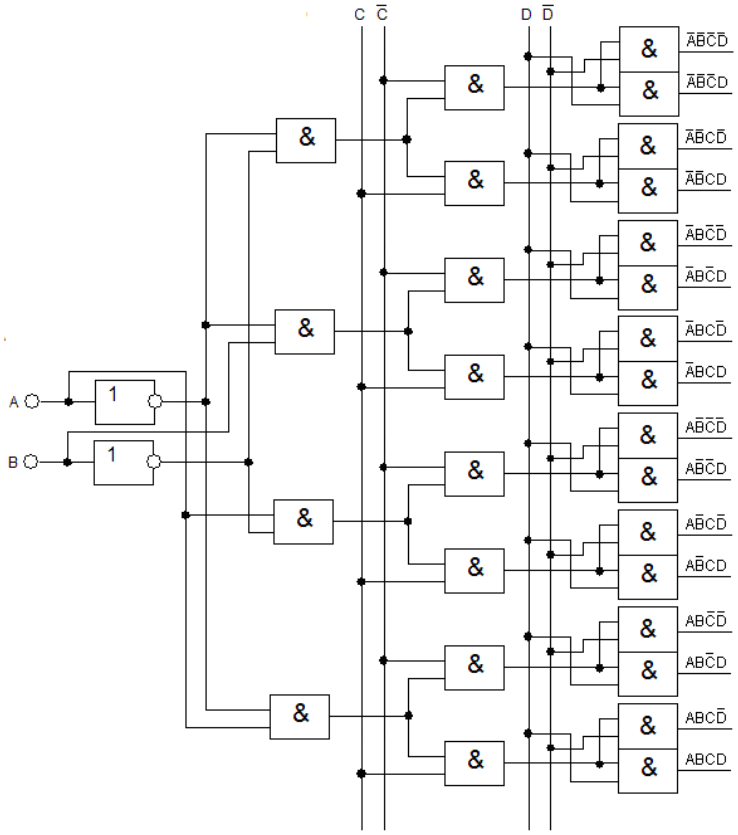


Рисунок 4.2 – Пірамідальна структура дешифратора

Матрична структура дешифратора.

На рисунку 4.3 показаний двохкаскадний дешифратор «4 в 16», другий каскад якого зібраний за схемою координатного або матричного дешифратора. Розряди адреси розбиті на дві групи, кожна з яких незалежно від іншої

розшифровується своїм дешифратором першого каскаду DD1 і DD2. При будь-якій комбінації значень вхідних змінних виявляються вибраними один рядок і один стовпець сітки, у вузлах якої розташовані елементи 2І другого рівня. В результаті кожен адресний набір збуджує вихід єдиного відповідного йому елемента 2І. При використанні в другому рівні елементів 2І-НЕ виходи дешифратора будуть інверсними. Їх можна зробити прямими, побудувавши координатну сітку на елементах 2АБО-НЕ; тоді інверсними мають бути виходи дешифраторів першого каскаду. Розглянемо ДШ з n = 2 і m = 4, що називається також дешифратором "2 в 4" і доповнимо його входом дозволу виходів OE (Output Enable) .

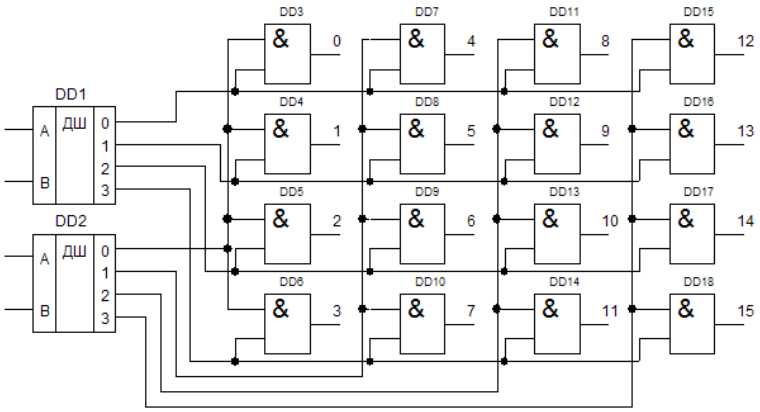


Рисунок 4.3 – Матрична структура дешифратора

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання LOGIC дозволяє реалізувати схему дешифратора і провести аналіз його функціонування у статичному режимі.

Будується схема дешифратора «3 в 8» на елементах елементарної логіки.

2. Провести дослідження функціонування схеми дешифратора «3 в 8» у статичному режимі згідно з таблицею відповідності (табл. 4.1).

3. На терміналі програмного забезпечення Electronics Workbench формується схема електрична дешифратора «4 в 16». Дешифратор має 4 тумблера, для введення чотирьох двохрозрядних (у двійковому коді) чисел (рис. 4.4). Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування введення коду за допомогою Word Generator.

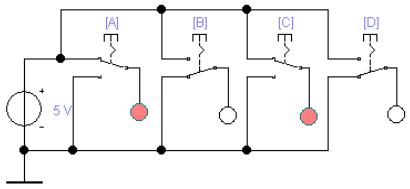


Рисунок 4.4 – Клавіатура Введення інформації в дешифратор

4. Для забезпечення дослідження функціонування дешифратора «4 в 16» необхідні:

- джерело живлення постійного струму;
- дешифратора «4 в 16» на елементах елементарної логіки;
- панель відображення інформації;
- прилади контролю функціонування.

5. Послідовно з’єднати запрограмований Word Generator з дешифратором.

6. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

7. Провести аналіз побудови дешифратора на багато виходів з мікросхем дешифраторів з меншим числом виходів. На мікросхемах 74138 (дешифратор «3 в 8») побудувати дешифратор «4 в 16» (рис. 4.5).

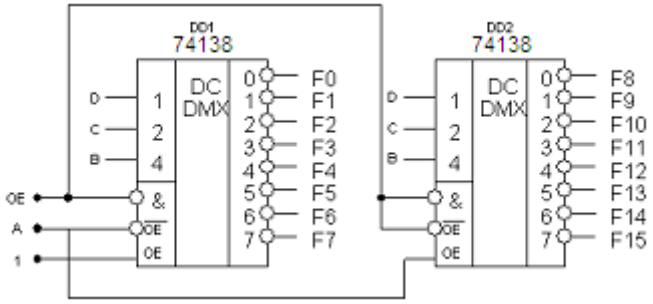


Рисунок 4.5 – Дешифратор «4 в 16»

При пасивному значенні OE=1 на всіх виходах Fi буде "1", незалежно від значень вхідних сигналів. Якщо OE=0 (активний рівень), то який з дешифраторів працює, залежить лише від сигналу A. Комбінації сигналів A і BCD утворюють послідовність двійкового коду 0000...0111 (0...7) для дешифратора (DD1) і послідовність 1000...1111 (8...15) для дешифратора (DD2). Тому нумерація виходів Fi, дешифратора "4 в 16" крізна від 0 до 15.

8. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

Контрольні питання

1. Призначення дешифратора.
2. Використання дешифратора.
3. Таблиця відповідності та рівняння функціонування заданого дешифратора.
4. Алгоритм роботи і схема дешифратора на багато виходів з мікросхем дешифраторів з меншим числом виходів.

Лабораторна робота №5

Дослідження цифрових схем селекторів та мультиплексорів

Метою виконання роботи є ознайомлення з принципами побудови пристроїв комбінаційного типу призначених для комутації цифрових сигналів.

Ключові терміни та поняття: демультиплексор, адреса, інформаційний сигнал, комутація, виключна диз'юнкція, перемикальна функція.

План теоретичного опрацювання теми.

1. Засвоїти принцип функціонування демультиплексора.
2. Засвоїти принцип збільшення розрядності демультиплексора.
3. Засвоїти принципи функціонування мультиплексора.
4. Засвоїти принцип збільшення числа інформаційних входів мультиплексора.

Методичні вказівки до вивчення питань та виконання завдань.

Однобітовим селектором (демультиплексором) в цифровій техніці називають комбінаційний вузол з адресною передачею даних з одного входу в один з багатьох виходів. Для селектора, який виконується як логічний вузол, адреса задається двійковим кодом [1].

Як демультиплексор може використовуватися дешифратор, у якого замість сигналу дозволу виходів подається інформаційний сигнал D.

У схемі стробуємого дешифратора «2 в 4» з активним нулем виходу інформаційний сигнал D подається на стробуємий вхід, двохрозрядна адреса AB одного з чотирьох вихідних напрямів комутує входи дешифратора, а виходи дешифратора є виходами селектора, причому індекс активного або вибраного виходу збігається з номером набору адреси. На невибраних виходах формуватимуться рівні 1 (у дешифраторах з активною одиницею виходу - відповідно рівні 0). Функціонування демультиплексора здійснюється відповідно до таблиці відповідності (табл. 5.1) [2].

Таблиця 5.1 – Таблиця відповідності демультиплексора "1 в 4"

Інформаційний сигнал	Адреса		Виходи			
	A	B	F0	F1	F2	F3
D	0	0	D	1	1	1
D	0	1	1	D	1	1
D	1	0	1	1	D	1
D	1	1	1	1	1	D

Із таблиці відповідності записуємо характеристичні рівняння демультиплексора:

$$F0 = D\overline{A}\,\overline{B};\quad F1 = D\overline{A}B;\quad F2 = DA\overline{B};\quad F3 = DAB.$$

Функціональна схема демультиплексора, яка відповідає цим рівнянням, приведена на рисунку 5.1. Вона має в своєму складі два інвертори і чотири елемента «І».

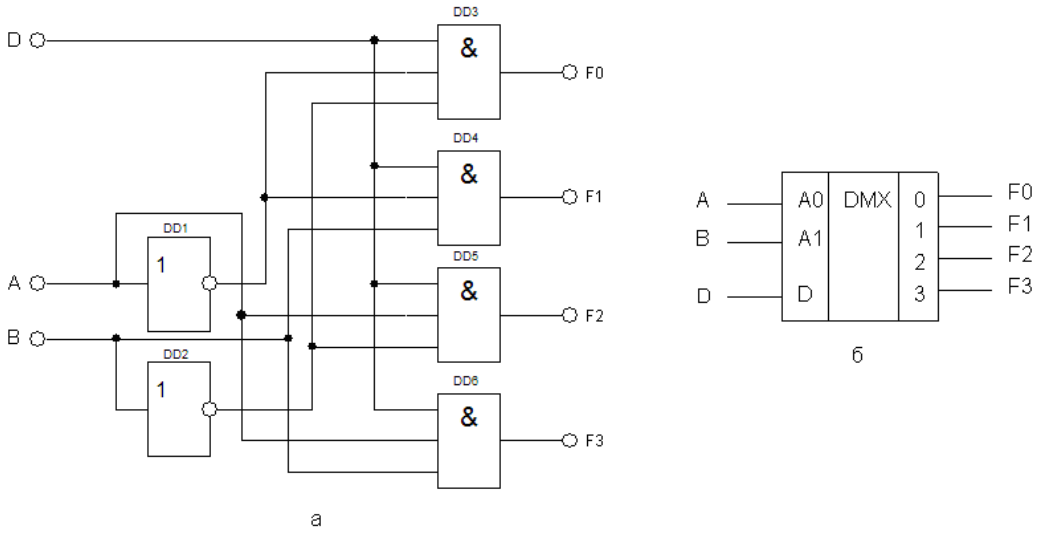


Рисунок 5.1 – Функціональна схема демультиплексора “1 в 4” (а) та його схемний аналог (б)

Якщо інформація D = 1 постійна, то демультиплексор виконує функції дешифратора. З іншого боку, якщо в дешифраторі замість сигналу OE подається інформаційний сигнал D, то він виконує функції демультиплексора.

Враховуючи схожість функцій, які виконують мікросхеми дешифраторів і демультиплексорів, вони мають однакове умовне позначення і називаються «Дешифратор – демультиплексор» [3].

Мультиплексор – пристрій комбінаційного типу, який має n-адресних входів, $N = 2^n$ інформаційних входів, один вихід і здійснює керовану комутацію інформації, яка поступає по N вхідним лініям, на одну вихідну лінію. Комутація певної вхідної лінії відбувається відповідно до двійкового адресного коду. Якщо адресний код має n – розрядів, то можна здійснити $N = 2^n$ комбінацій адресних сигналів, кожна з яких забезпечить підключення однієї з N вхідних ліній до вихідної лінії. Такий мультиплексор називають «N в один». За наявності надлишкових комбінацій адресних сигналів можна спроектувати мультиплексор з будь-яким числом вхідних ліній $N \le 2^n$ [1].

Розглянемо мультиплексор "4 в 1", який має 4 інформаційних входа і $\log_2 4 = 2$ адресних входа. Якщо є вхід дозволу виходу OE, то "0" на цьому вході повинен перевести вихід в пасивний стан. Алгоритм функціонування такого мультиплексора приведений в таблиці 5.2. Величина × може набувати будь-яких значень.

Таблиця 5.2 – Таблиця відповідності мультиплексора “4 в 1”

DEC число	Входи								Вихід	Логічна функція
	A	B	OE	$\overline{OE}$	D0	D1	D2	D3		
0	0	0	1	0	D0	0	0	0	D0	$Q = D0\overline{A}\,\overline{B}$
1	0	1			0	D1	0	0	D1	$Q = D1\overline{A}B$
2	1	0			0	0	D2	0	D2	$Q = D2A\overline{B}$
3	1	1			0	0	0	D3	D3	$Q = D3AB$
×	×	×			×	×	×	×	0	Q=0

Загальне рівняння матиме вигляд:

$$Q = OE \cdot (D0 \cdot \overline{A} \cdot \overline{B} + D1 \cdot \overline{A} \cdot B + D2 \cdot A \cdot \overline{B} + D3 \cdot A \cdot B)$$

Застосовуючи аксіоми подвійного заперечення і подвійності до правої частини рівняння, отримаємо:

$$Q = \overline{\overline{(OE \cdot D0 \cdot \overline{A} \cdot \overline{B})} \cdot \overline{(\hat{I}\mathring{A} \cdot D1 \cdot \overline{A} \cdot B)} \cdot \overline{(\hat{I}\mathring{A} \cdot D2 \cdot A \cdot \overline{B})} \cdot \overline{(\hat{I}\mathring{A} \cdot D3 \cdot A \cdot B)}}$$

Рівнянню відповідає схема, приведена на рисунку 5.2.

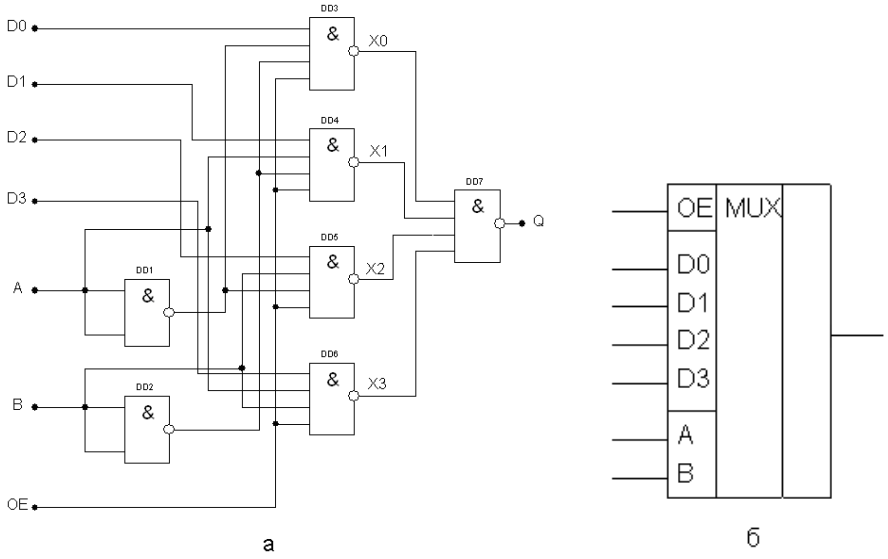


Рисунок 5.2 – Функціональна схема мультиплексора “4 в 1” (а) та його схемний аналог (б)

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання LOGIC дозволяє реалізувати схеми демультиплексорів і мультиплексорів та провести аналіз їх функціонування у статичному режимі.

2. Будується схема демультиплексора «1 в 8» на елементах елементарної логіки.

Провести дослідження функціонування схеми демультиплексора «1 в 8» у статичному режимі.

3. Будується схема мультиплексора «8 в 1» на елементах елементарної логіки.

Провести дослідження функціонування схеми мультиплексора «8 в 1» у статичному режимі.

4. На терміналі програмного забезпечення Electronics Workbench формується схема електрична демультиплексора «1 в 16». Демультиплексор має 4 тумблера, для введення адресних входів (рис. 5.3) і тумблер введення інформаційного сигналу. Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування введення коду за допомогою Word Generator.

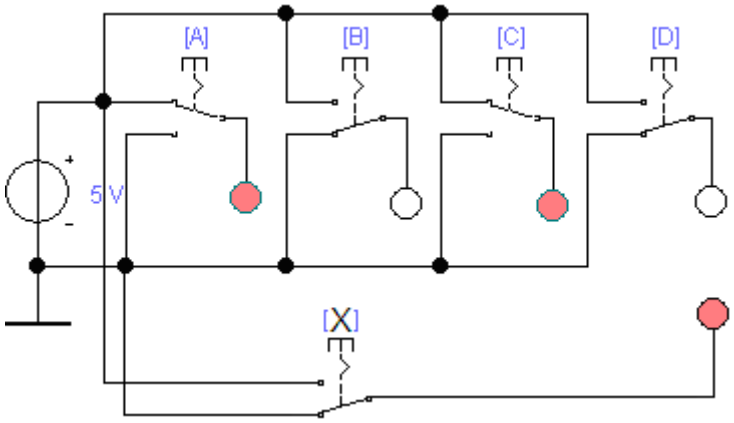


Рисунок 5.3 – Клавіатура введення адресних та інформаційного кодів

5. Для забезпечення дослідження функціонування демультиплексора «1 в 16» необхідні:

- джерело живлення постійного струму;
- демультиплексор «1 в 16» на елементах елементарної логіки;
- панель відображення інформації;
- прилади контролю функціонування.

6. Послідовно з’єднати запрограмований Word Generator з демультиплексором.

7. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

8. На терміналі програмного забезпечення Electronics Workbench формується схема електрична мультиплексора «16 в 1». Мультиплексор має 4 тумблера, для введення адресних входів і 4 тумблера введення інформаційних сигналів (рис. 5.4). Включене положення тумблерів відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування введення коду за допомогою Word Generator.

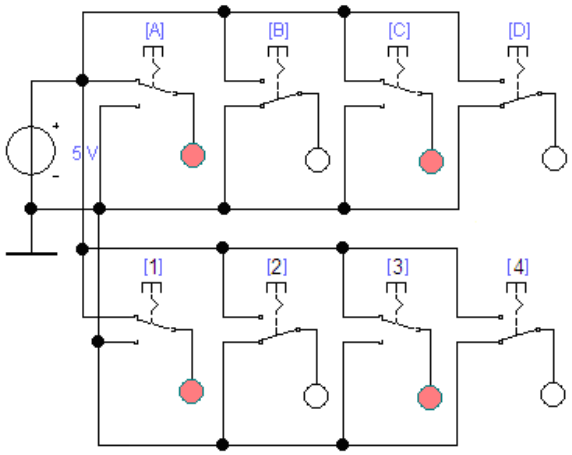


Рисунок 5.4 – Клавіатура введення адресних та інформаційних кодів

9. Для забезпечення дослідження функціонування мультиплексора «16 в 1» необхідні:

- джерело живлення постійного струму;

- мультиплексор «16 в 1» на елементах елементарної логіки;
- панель відображення інформації;
- прилади контролю функціонування.

10. Послідовно з'єднати запрограмований Word Generator з мультиплексором.

11. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

12. Провести дослідження схеми збільшення розрядності демультиплексора. На мікросхемах 74138 (дешифратор-демультиплексор «3 в 8») побудувати демультиплексор «1 в 16» (рис. 5.5).

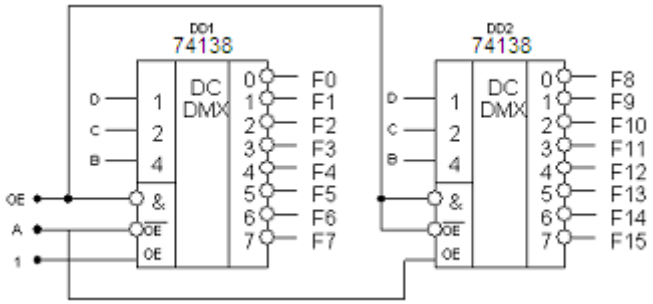


Рисунок 5.5 – Демультиплексор «1 в 16»

При пасивному значенні OE=1 на всіх виходах F_i буде "1", незалежно від значень вхідних сигналів. Якщо OE=0 (активний рівень), то який з дешифраторів працює, залежить лише від сигналу A. Комбінації сигналів A і BCD утворюють послідовність двійкового коду 0000...0111 (0...7) для дешифратора (DD1) і послідовність 1000...1111 (8...15) для дешифратора (DD2). Тому нумерація виходів Fi демультиплексора "1 в 16" крізна від 0 до 15.

8. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

Контрольні питання

1. Призначення демультиплексорів.
2. Використання дешифраторів для збільшення розрядності демультиплексорів.
3. Призначення мультиплексорів.
4. Алгоритм роботи і схема мультиплексорів на багато входів з мікросхем мультиплексорів з меншим числом входів.

Лабораторна робота №6

Дослідження цифрових шифраторів

Метою виконання роботи є ознайомлення з принципами побудови схем шифраторів комбінаційного типу.

Ключові терміни та поняття: непріоритетний шифратор, кнопковий пульт, комбінація сигналів, пріоритетний шифратор, активний сигнал.

План теоретичного опрацювання теми.

1. Засвоїти принцип функціонування непріоритетного шифратора.
2. Засвоїти принцип побудови схеми виділення старшого сигналу.
3. Засвоїти принцип функціонування пріоритетного шифратора.
4. Засвоїти принцип нарощування розрядності пріоритетного шифратора.

Методичні вказівки до вивчення питань та виконання завдань.

Шифратор (кодер) – пристрій комбінаційного типу, призначений для перетворення управляючих сигналів (команд), які поступають на його входи, в n – розрядний двійковий код. Зокрема, такими сигналами або командами можуть бути десяткові числа, наприклад, номер команди, який за допомогою шифратора перетвориться в двійковий код. Якщо кількість входів настільки велика, що в шифраторі використовуються усі можливі комбінації сигналів на виході, то такий шифратор називається повним, якщо не всі, то неповним. Число входів і виходів в повному шифраторі зв'язане співвідношенням $n = 2^m$, де n – число входів, m – число виходів. Для перетворення коду кнопкового пульта в чотирьохрозрядне двійкове число досить використовувати лише 10 входів, тоді як повне число можливих входів дорівнює 16 ($n = 2^4 = 16$), тому шифратор "10 в 4" буде неповним [1].

Шифратор може бути непріоритетним, якщо допускається подача лише одного активного сигналу і може бути пріоритетним, якщо допускається подача одночасно декількох активних сигналів на входи. Непріоритетний шифратор здійснює перетворення десяткового номера активного входу в двійковий еквівалент цього номера. Для непріоритетного шифратора клавіатури "10 в 4" алгоритм функціонування представлений в таблиці 6.1.

Рівняння функціонування шифратора на елементах АБО та І-НЕ:

$$F1 = X1 + X3 + X5 + X7 + X9 = \overline{\overline{X1 + X3 + X5 + X7 + X9}} = \overline{\overline{X1} \cdot \overline{X3} \cdot \overline{X5} \cdot \overline{X7} \cdot \overline{X9}}$$

$$F2 = X2 + X3 + X6 + X7 = \overline{\overline{X2 + X3 + X6 + X7}} = \overline{\overline{X2} \cdot \overline{X3} \cdot \overline{X6} \cdot \overline{X7}};$$

$$F3 = X4 + X5 + X6 + X7 = \overline{\overline{X4 + X5 + X6 + X7}} = \overline{\overline{X4} \cdot \overline{X5} \cdot \overline{X6} \cdot \overline{X7}};$$

$$F4 = X8 + X9 = \overline{\overline{X8 + X9}} = \overline{\overline{X8} \cdot \overline{X9}}.$$

Схема (рис. 6.1) реалізована на елементах АБО.

У розглянутій схемі вихідний код «0000» присутній на виході при подачі сигналу на вхід X0, а також в разі, якщо вхідний сигнал взагалі не подається ні на один з входів. Для однозначної ідентифікації сигналу X0 в інтегральних схемах формується ще один вихідний сигнал – ознака подачі вхідного сигналу, який використовується і для інших цілей.

Таблиця 6.1 – Таблиця відповідності чотирьохрозрядного шифратора

Входи	Виходи			
x_i	F4	F3	F2	F1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

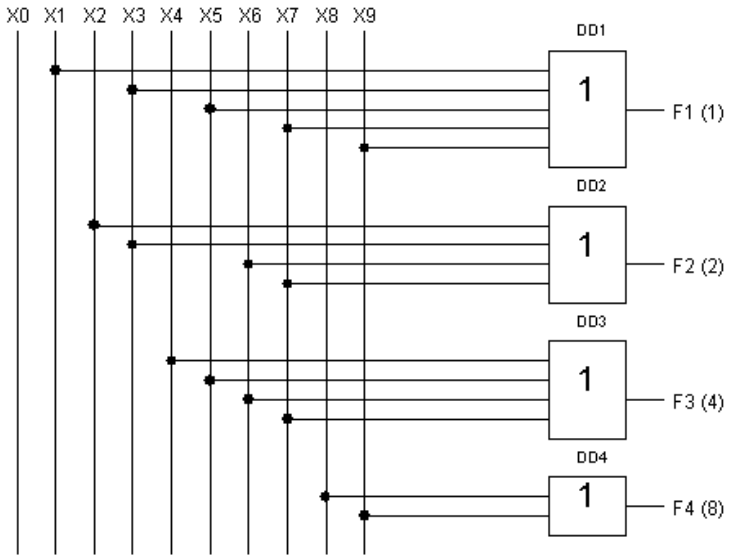


Рисунок 6.1 – Функціональна схема чотирьохрозрядного шифратора

У пріоритетному шифраторі здійснюється перетворення максимального десяткового номера активного входу в двійковий еквівалент цього номера. У таких шифраторах код двійкового числа відповідає найвищому номеру входу, на який поданий активний сигнал. Тобто, на пріоритетний шифратор допускається подавати сигнали на декілька входів, а він формує на виході код числа, відповідного старшому входу. Для такого шифратора вхідні сигнали, які знаходяться знизу від одиничної діагоналі, за визначенням, не відомі ("×" може бути 0 або 1). Комбінація – усі нулі на входах не визначена [5].

Розглянемо пріоритетний шифратор, який має 9 інверсних входів $\overline{X1}..\overline{X9}$, та чотири інверсних виходи $\overline{F1}..\overline{F4}$. Цифри біля виходів визначають значення активного рівня (нуля) у відповідному розряді двійкового числа. Якщо на всіх входах – логічна одиниця, то на всіх виходах також логічна одиниця, що відповідає числу 0_{10} в інверсному коді $(1111)_2$. Якщо хоч би на одному вході є логічний нуль, то стан вихідних сигналів визначається найбільшим номером

входу, на якому є логічний нуль, і не залежить від сигналів на входах, що мають менший номер. Згідно з таблицею (6.2) функціонування пріоритетного шифратора для виходів $\overline{F1}$, $\overline{F2}$, $\overline{F3}$, $\overline{F4}$:

$$\overline{F1} = \overline{X9} + \overline{X7}X8X9 + \overline{X5}X6X7X8X9 + \overline{X3}X4X5X6X7X8X9 +$$
$$+ \overline{X1}X2X3X4X5X6X7X8X9;$$
$$\overline{F2} = \overline{X7}X8X9 + \overline{X6}X7X8X9 + \overline{X3}X4X5X6X7X8X9 + \overline{X2}X3X4X5X6X7X8X9;$$
$$\overline{F3} = \overline{X7}X8X9 + \overline{X6}X7X8X9 + \overline{X5}X6X7X8X9 + \overline{X4}X5X6X7X8X9;$$
$$\overline{F4} = \overline{X9} + \overline{X8}X9.$$

Таблиця 6.2 - Таблиця відповідності пріоритетного шифратора «10 в 4»

Входи									Виходи			
$\overline{X1}$	$\overline{X2}$	$\overline{X3}$	$\overline{X4}$	$\overline{X5}$	$\overline{X6}$	$\overline{X7}$	$\overline{X8}$	$\overline{X9}$	$\overline{F4}$	$\overline{F3}$	$\overline{F2}$	$\overline{F1}$
1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
×	0	1	1	1	1	1	1	1	1	1	0	1
×	×	0	1	1	1	1	1	1	1	1	0	0
×	×	×	0	1	1	1	1	1	1	0	1	1
×	×	×	×	0	1	1	1	1	1	0	1	0
×	×	×	×	×	0	1	1	1	1	0	0	1
×	×	×	×	×	×	0	1	1	1	0	0	0
×	×	×	×	×	×	×	0	1	0	1	1	1
×	×	×	×	×	×	×	×	0	0	1	1	0

Повторним застосуванням до кожної функції F_i співвідношення алгебри логіки: $A + F\overline{A} = (A + F)(A + \overline{A}) = (A + F) \cdot 1 = A + F$, можна спростити їх і отримати вирази, які визначають внутрішню структуру пріоритетного шифратора в його основній частині:

$$\overline{F1} = \overline{X9} + \overline{X7}X8 + \overline{X5}X6X8 + \overline{X3}X4X6X8 + \overline{X1}X2X4X6X8;$$
$$\overline{F2} = \overline{X7}X8X9 + \overline{X6}X8X9 + \overline{X3}X4X5X8X9 + \overline{X2}X4X5X8X9;$$
$$\overline{F3} = \overline{X7}X8X9 + \overline{X6}X8X9 + \overline{X5}X8X9 + \overline{X4}X8X9;$$
$$\overline{F4} = \overline{X9} + \overline{X8}.$$

Схема пріоритетного шифратора «10 в 4» представлена на рисунку 6.2.

Для конструювання шифраторів з більшим числом входів, тобто нарощування розрядності шифратора, об'єднують мікросхеми шифраторів з додатковими виводами.

Якщо на вході $\overline{X1}$ – логічний нуль, а на всіх останніх входах – логічна одиниця, то на виходах присутні наступні сигнали: $\overline{F1}$ = 0, $\overline{F2}$ = 1, $\overline{F3}$ = 1, $\overline{F4}$ = 1, що відповідає числу 1_{10} в інверсному коді $(1110)_2$. Якщо на вході X9 логічний нуль, то незалежно від інших вхідних сигналів на виходах присутні наступні сигнали: $\overline{F1}$ = 0, $\overline{F2}$ = 1, $\overline{F3}$ = 1, $\overline{F4}$ = 0, що відповідає числу 9_{10} в інверсному коді $(0110)_2$.

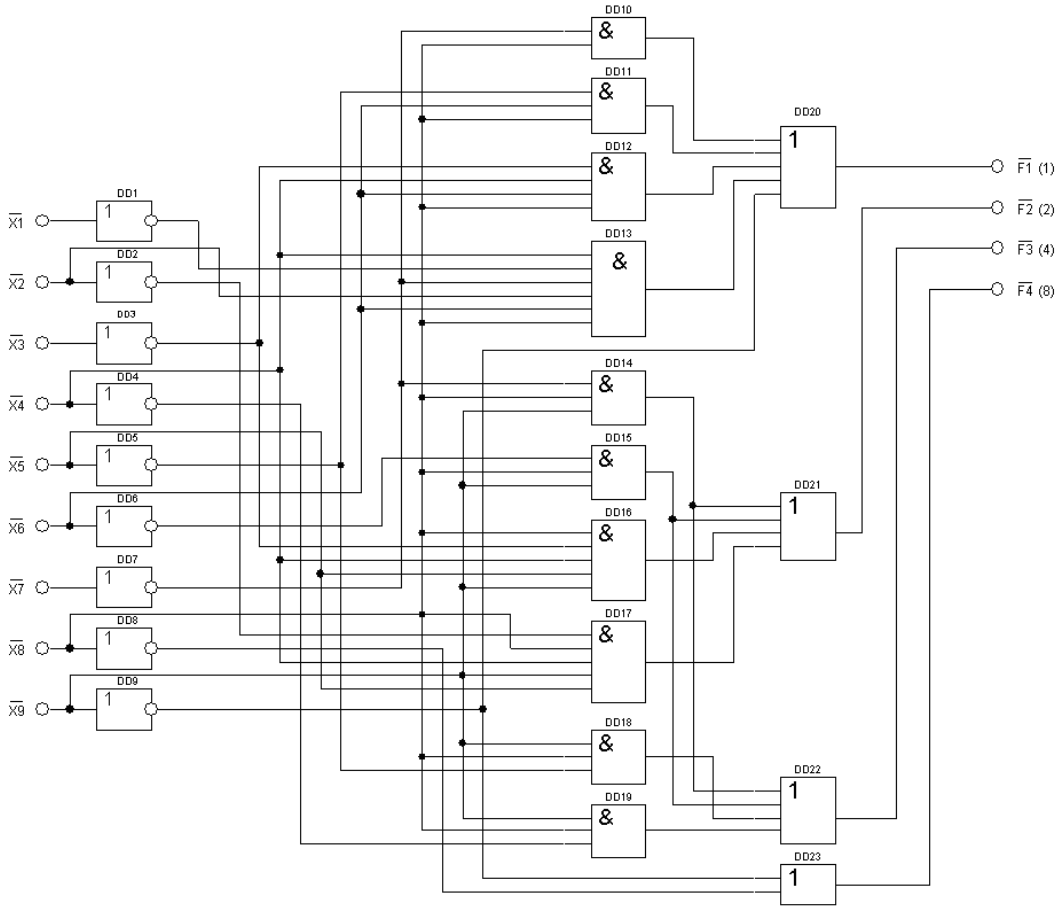


Рисунок 6.2 – Схема пріоритетного шифратора «10 в 4» (К555ИВ3)

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання LOGIC дозволяє реалізувати схему непріоритетного шифратора і провести аналіз його функціонування у статичному режимі.

Будується схема шифратора «4 в 2» на елементах елементарної логіки.

2. Провести дослідження функціонування схеми шифратора «4 в 2» у статичному режимі згідно з таблицею відповідності.

3. На терміналі програмного забезпечення Electronics Workbench формується схема електрична пріоритетного шифратора «3 в 8» з додатковими виводами, де активним рівнем на входах і виходах, є логічна “1” (рис. 6.3). Схема має 8 прямих входів і 3 прямих виходи. Вона має вхід дозволу E1, вихід перенесення E0 і вихід CS, який визначає ознаку вхідного інформаційного сигналу. Якщо на всіх інформаційних входах логічний “0”, то при подачі на вхід E1 логічної “1”, на виходах F0 ... F3 і G будуть логічні “0”, а на виході перенесення E0 – логічна “1”. Якщо активізувати один з інформаційних входів (подати на нього логічну “1”), то на виходах з'явиться код, який відповідає номеру активізованого входу, на вході CS – логічна “1”, яка є ознакою подачі вхідного сигналу, а на виході E0 – логічний “0”. Якщо ж схема не активізована, тобто на вхід дозволу E1 поданий логічний “0”, то на всіх виходах схеми також

буде логічний “0” незалежно від того, що буде подане на інформаційні входи (табл. 6.3).

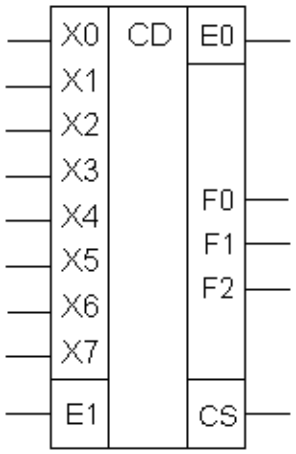


Рисунок 6.3 – Експериментальна схема пріоритетного шифратора "8 в 3" з додатковими виводами

Таблиця 6.3 – Таблиця функціонування пріоритетного шифратора "8 в 3" з додатковими виводами

Входи									Виходи				
E1	X0	X1	X2	X3	X4	X5	X6	X7	F2	F1	F0	CS	E0
1	1	0	0	0	0	0	0	0	0	0	0	1	0
1	×	1	0	0	0	0	0	0	0	0	1	1	0
1	×	×	1	0	0	0	0	0	0	1	0	1	0
1	×	×	×	1	0	0	0	0	0	1	1	1	0
1	×	×	×	×	1	0	0	0	1	0	0	1	0
1	×	×	×	×	×	1	0	0	1	0	1	1	0
1	×	×	×	×	×	×	1	0	1	1	0	1	0
1	×	×	×	×	×	×	×	1	1	1	1	1	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	×	×	×	×	×	×	×	×	0	0	0	0	0

Згідно таблиці функціонування пріоритетного шифратора для виходів F2, F1, F0, CS, E0:

$$F2 = (X7 + X6\overline{X7} + X5\overline{X6}\,\overline{X7} + X4\overline{X5}\,\overline{X6}\,\overline{X7})E1;$$

$$F1 = (X7 + X6\overline{X7} + X3\overline{X4}\,\overline{X5}\,\overline{X6}\,\overline{X7} + X2\overline{X3}\,\overline{X4}\,\overline{X5}\,\overline{X6}\,\overline{X7})E1;$$

$$F0 = (X7 + X5\overline{X6}\,\overline{X7} + X3\overline{X4}\,\overline{X5}\,\overline{X6}\,\overline{X7} + X1\overline{X2}\,\overline{X3}\,\overline{X4}\,\overline{X5}\,\overline{X6}\,\overline{X7})E1;$$

$$CS = (X7 + X6 + X5 + X4 + X3 + X2 + X1 + X0)E1;$$

$$E0 = \overline{X7 \cdot X6 \cdot X5 \cdot X4 \cdot X3 \cdot X2 \cdot X1 \cdot X0} \cdot E1.$$

Спростимо функції повторним застосуванням співвідношень алгебри логіки і отримаємо вирази, які визначають внутрішню структуру пріоритетного шифратора "8 в 3" з додатковими виводами в його основній частині:

$$F2 = (X7 + X6 + X5 + X4)E1;$$

$$F1 = (X7 + X6 + X3\overline{X4}\,\overline{X5} + X2\overline{X4}\,\overline{X5})E1;$$

$$F0 = (X7 + X5\overline{X6} + X3\overline{X4}\,\overline{X6} + X1\overline{X2}\,\overline{X4}\,\overline{X6})E1.$$

Схема пріоритетного шифратора "8 в 3" з додатковими виводами згідно рівнянням функціонування представлена на рисунку 6.4.

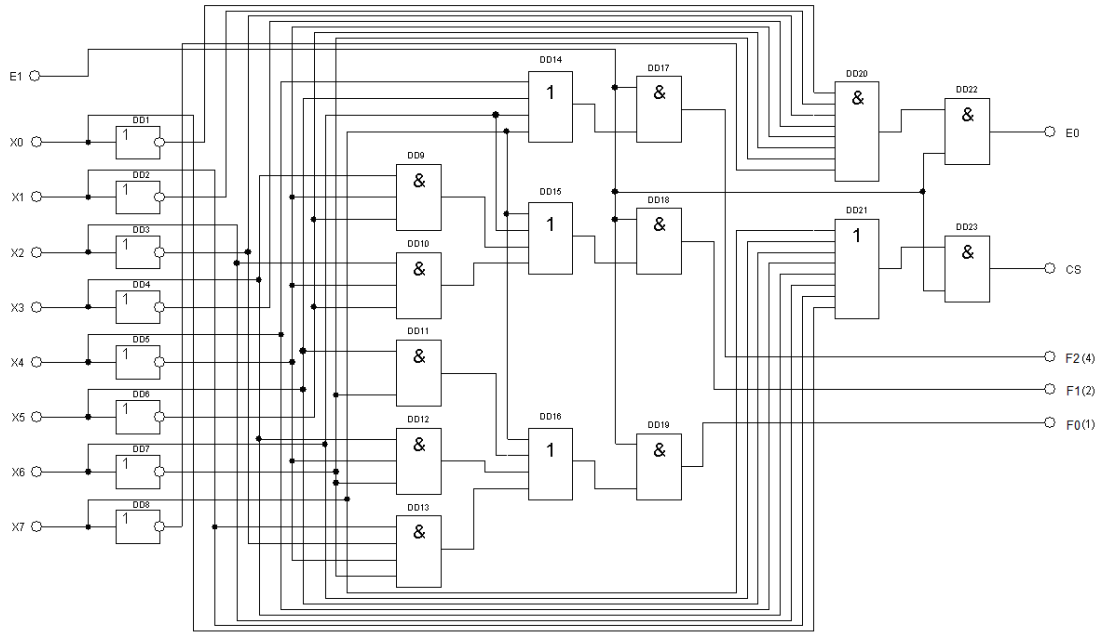


Рисунок 6.4 - Схема пріоритетного шифратора "8 в 3" з додатковими виводами

4. Для забезпечення дослідження функціонування дешифратора «4 в 16» необхідні:

- джерело живлення постійного струму;
- пріоритетного шифратора "8 в 3" з додатковими виводами на елементах елементарної логіки;
- панель відображення інформації;
- прилади контролю функціонування.
- клавіатура введення унітарного коду X0…X8.

6. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

7. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

Контрольні питання

1. Призначення шифратора.
2. Функціонування пріоритетного шифратора К555ИВ3.
3. Функціонування пріоритетного шифратора К555ИВ1.
4. Нарощування розрядності пріоритетного шифратора.

Лабораторна робота №7

Дослідження цифрових схем порівняння кодів

Метою виконання роботи є ознайомлення з принципами побудови різних схем порівняння кодів комбінаційного типу.

Ключові терміни та поняття: компаратор, порівняння, еквівалентність, багаторозрядні числа, виключна диз'юнкція, перемикальна функція.

План теоретичного опрацювання теми.

1. Засвоїти принцип функціонування однорозрядного компаратора.
2. Засвоїти принцип функціонування багаторозрядного компаратора.
3. Засвоїти принципи збільшення розрядності кодів, які порівнюються.
4. Засвоїти можливість використання мікросхем компараторів.

Методичні вказівки до вивчення питань та виконання завдань.

Цифровими пристроями комбінаційного типа або цифровими автоматами без пам'яті називаються цифрові пристрої, логічні значення на виході яких однозначно визначаються сукупністю або комбінацією сигналів на входах в даний момент часу [3].

Схеми порівняння кодів призначені для організації роботи цифрових компараторів. Цифрові компаратори (від англійського compare – порівнювати) виконують порівняння двох чисел A, B однакової розрядності, заданих в двійковому або двійково-десятковому коді. Залежно від схемного виконання компаратори можуть визначати рівність A=B або нерівності A<B, A>B. Результат порівняння відображується у вигляді логічного сигналу на однойменних виходах [1].

Функціонування компаратора описується наступними рівняннями:

$$F_1(A,B)=\begin{cases}1 \text{ при } A=B\\0 \text{ при } A\neq B\end{cases}$$

$$F_2(A,B)=\begin{cases}1 \text{ при } A>B\\0 \text{ при } A\leq B\end{cases}$$

$$F_3(A,B)=\begin{cases}1 \text{ при } A<B\\0 \text{ при } A\geq B\end{cases}$$

Згідно з рівняннями і таблицею відповідності (табл. 7.1) отримаємо функції F1, F2, F3.

Таблиця 7.1- Таблиця відповідності схеми компаратора

A	B	F_1(A=B)	F_2(A>B)	F_3(A<B)
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

$$F1 = \overline{A} \cdot \overline{B} + A \cdot B;$$
$$F2 = A \cdot \overline{B};$$
$$F3 = \overline{A} \cdot B.$$

Функція F1 носить назву «функція еквівалентність» (рівнозначність). Функції F2 і F3 носять назву «функція заборона».

Побудуємо схему однорозрядного компаратора на логічних елементах (рис. 7.1).

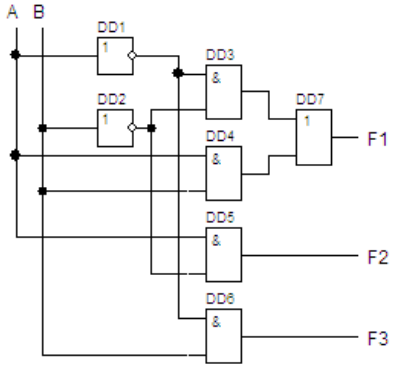


Рисунок 7.1 – Логічна схема однорозрядного компаратора

Найчастіше завдання полягає у визначенні рівнозначності двох багаторозрядних кодів. Два кода X і Y вважаються рівними, якщо попарно рівні їх однойменні розряди. Функція F(X=Y) дорівнює 1, якщо $x_i = y_i$ для всіх i, інакше її значення дорівнює нулю. Як приклад візьмемо два двохбітових числа X(AB) і Y(CD). Практичні схеми доповнюються функціями F(X>Y) і F(X<Y) (табл. 7.2).

Таблиця 7.2 – Таблиця функціонування схеми порівняння кодів

Число X		Число Y		F(X=Y)	F(X>Y)	F(X<Y)
A	B	C	D			
0	0	0	0	1	0	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	0	1	0
0	1	0	1	1	0	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	0	1	1	0	0	1
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	0	1	0
1	1	1	1	1	0	0

Складемо карти Карно схеми порівняння кодів (рис. 7.2).

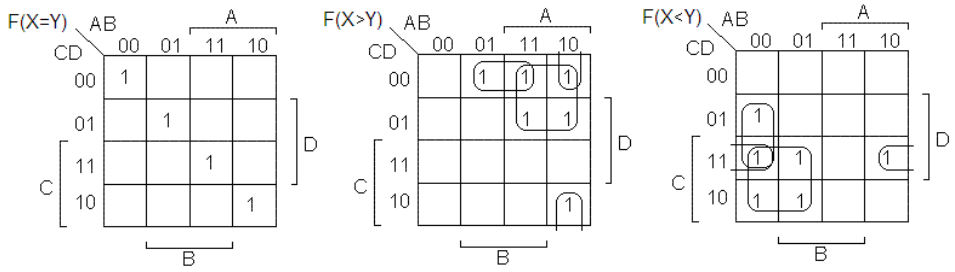


Рисунок 7.2 - Карти Карно схеми порівняння кодів

Рівняння функціонування пристрою порівняння кодів:

$$F(X=Y)=\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}+\overline{A}B\overline{C}D+A\overline{B}\,\overline{C}D+ABCD=\overline{B}\,\overline{D}(\overline{A}\,\overline{C}+AC)+BD(\overline{A}\,\overline{C}+AC)=$$

$$=(\overline{A}\,\overline{C}+AC)\cdot(\overline{B}\,\overline{D}+BD)=\overline{(A\oplus C)}\cdot\overline{(B\oplus D)}=\overline{(A\oplus C)+(B\oplus D)};$$

$$F(X>Y)=\overline{A}B\overline{C}\,\overline{D}+A\overline{B}\,\overline{C}\,\overline{D}+A\overline{B}C\overline{D}+AB\overline{C}\,\overline{D}+AB\overline{C}D+ABC\overline{D}=A\overline{C}+B\overline{C}\,\overline{D}+A\overline{B}\,\overline{D};$$

$$F(X<Y)=\overline{A}B\overline{C}D+\overline{A}BC\overline{D}+\overline{A}BCD+A\overline{B}C\overline{D}+A\overline{B}CD+AB\overline{C}D=\overline{A}C+\overline{B}CD+A\overline{B}D.$$

Схема порівняння двохрозрядних кодів представлена на рисунку 7.3.

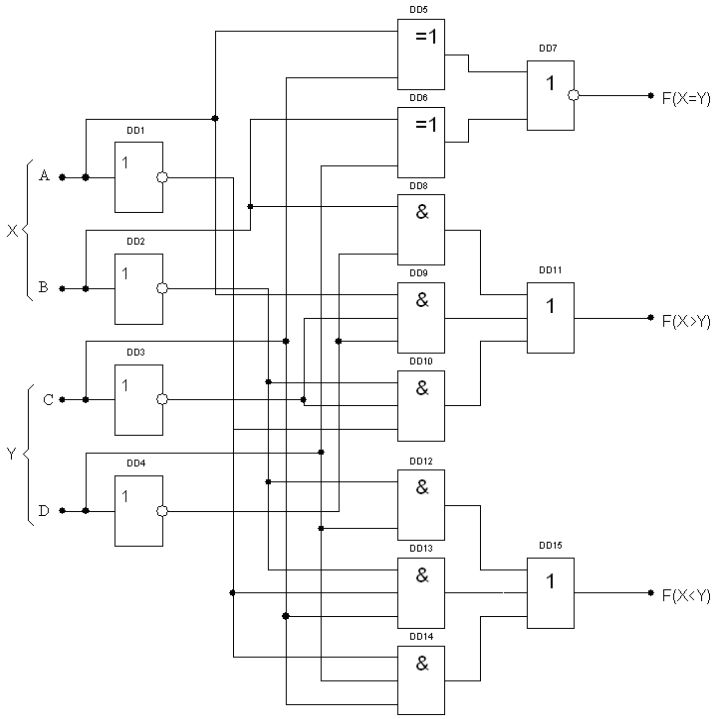


Рисунок 7.3 – Схема пристрою порівняння двохрозрядних кодів

При порівнянні багаторозрядних чисел алгоритм такий – спочатку порівнюють значення старших розрядів; якщо вони різні, то ці розряди і визначають результат порівняння. Якщо ж вони рівні, то необхідно порівнювати наступні за ними більш молодші розряди і так далі [2].

Цифрові компаратори застосовуються для виявлення потрібного числа (коду) в цифрових послідовностях, для відмітки часу в годинних приладах, для виконання умовних переходів в обчислювальних пристроях, в АЛП мікропроцесорів, а також в адресних селекторах [3].

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання LOGIC дозволяє реалізувати схему двохрозрядного компаратора і провести аналіз його функціонування у статичному режимі.

Порівнюються два двохрозрядних числа X(AB) і Y(CD). Формуються три виходи F(X=Y), F(X>Y) і F(X<Y) (рис. 6.3).

2. Схема функції рівнозначність на лабораторному стенді LOGIC потребує деяких схемних рішень.

3. Провести дослідження функціонування схеми двохрозрядного компаратора у статичному режимі згідно з таблицею відповідності (табл. 6.2).

4. На терміналі програмного забезпечення Electronics Workbench формується схема електрична двохрозрядного компаратора.

Компаратор має 4 тумблера, для введення двох двохрозрядних (у двійковому коді) чисел (рис. 7.4). Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування чисел, які сумуються, за допомогою Word Generator.

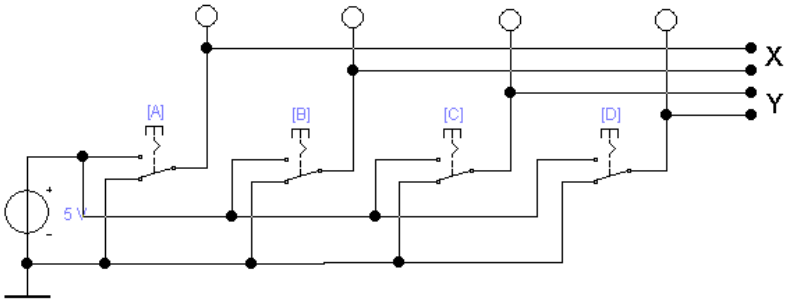


Рисунок 7.4 – Клавіатура введення інформації у двохрозрядний компаратор

5. Для забезпечення дослідження функціонування двохрозрядного компаратора необхідні:

- джерело живлення постійного струму;
- двохрозрядний компаратор на елементах елементарної логіки;
- панель відображення інформації;
- прилади контролю функціонування.

6. Послідовно з’єднати запрограмований Word Generator з компаратором.

7. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

8. Розрахувати та побудувати схему порівняння двох чотирьохрозрядних чисел на елементах виключна диз’юнкція (рис. 7.5) відповідно до таблиці функціонування та розрахунку, згідно наступного алгоритму.

$$F(A=B)=(\overline{A1}\,\overline{B1}+A1B1)\cdot(\overline{A2}\,\overline{B2}+A2B2)\cdot(\overline{A3}\,\overline{B3}+A3B3)\cdot(\overline{A4}\,\overline{B4}+A4B4)$$

Виконаємо перетворення в рівнянні з урахуванням того, що $\overline{F9(x,y)}=F6(x,y)$, і навпаки (табл. 1.1).

$$\overline{F(A=B)=(\overline{A1}B1+A1\overline{B1})+(\overline{A2}B2+A2\overline{B2})+(\overline{A3}B3+A3\overline{B3})+(\overline{A4}B4+A4\overline{B4})}$$

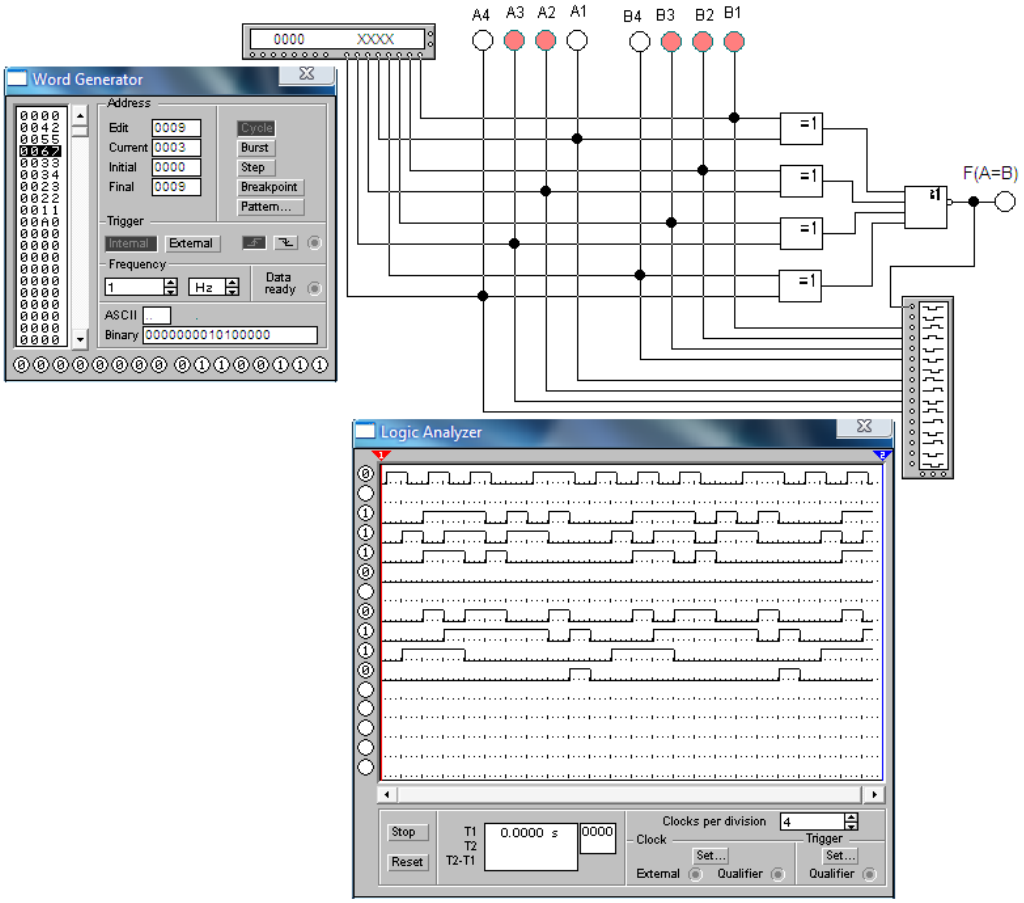


Рисунок 7.5 - Схема порівняння двох чотирьохрозрядних чисел

8. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

Контрольні питання

1. Призначення компаратора.
2. Використання компаратора.
3. Таблиця відповідності однорозрядного компаратора.
4. Алгоритм роботи і схема, яка реалізує функцію рівності двох багаторозрядних чисел.

Лабораторна робота №8

Дослідження цифрових схем перетворювачів кодів

Метою виконання роботи є ознайомлення з принципами побудови різних схем перетворювачів кодів комбінаційного типу.

Ключові терміни та поняття: вагові перетворювачі, невагові перетворювачі, система числення, коди чисел, операції зміни коду чисел, відображення.

План теоретичного опрацювання теми.

1. Засвоїти принцип побудови і функціонування вагових перетворювачів коду.
2. Засвоїти принцип побудови і функціонування невагових перетворювачів коду.
3. Засвоїти принципи збільшення розрядності кодів, які порівнюються.
4. Засвоїти можливість використання мікросхем компараторів.

Методичні вказівки до вивчення питань та виконання завдань.

Операція зміни коду числа називається його перекодуванням. Інтегральні мікросхеми, що виконують ці операції, називаються перетворювачами коду. Перетворювачі коду бувають прості і складні. До простих відносяться перетворювачі, які виконують стандартні операції зміни коду чисел, наприклад, перетворень двійкового коду в десятковий або зворотну операцію. Складні перетворювачі коду виконують нестандартні перетворення коду і їх схеми доводиться розробляти кожен раз за допомогою алгебри логіки [1].

По своїй структурі перетворювачі коду являються дешифраторами, тільки вони перетворюють двійковий код в сигнали не лише на одному, але і на декількох виходах. Перетворювачі коду мають n входів і m виходів. Співвідношення між n і m можуть бути будь-якими: n = m, n < m і n > m. При перетворенні кодів чисел з ними можуть виконуватися різні додаткові операції, наприклад, множення на вагові коефіцієнти.

Перетворювачі коду можуть бути ваговими і неваговими. Вагові перетворювачі коду перетворюють інформацію з однієї системи числення в іншу. Основне призначення невагових – перетворення інформації для її подальшого відображення. Розглянемо ваговий перетворювач двійкового коду в циклічний код Грея [4]. Необхідно побудувати таблицю функціонування перетворювача (табл. 8.1). Складемо рівняння функціонування пристрою і спростимо їх за допомогою карт Карно.

$$A1 = \overline{Y4}\,\overline{Y3}\,\overline{Y2}Y1 + \overline{Y4}\,\overline{Y3}Y2\,\overline{Y1} + \overline{Y4}Y3\,\overline{Y2}Y1 + \overline{Y4}Y3Y2\,\overline{Y1} + Y4\,\overline{Y3}\,\overline{Y2}Y1 +$$
$$+ Y4\,\overline{Y3}Y2\,\overline{Y1} + Y4Y3\,\overline{Y2}Y1 + Y4Y3Y2\,\overline{Y1} = Y1\overline{Y2} + \overline{Y1}Y2 = Y2 \oplus Y1;$$

$$A2 = \overline{Y4}Y3Y2\,\overline{Y1} + \overline{Y4}\,\overline{Y3}Y2Y1 + \overline{Y4}Y3\,\overline{Y2}\,\overline{Y1} + \overline{Y4}Y3\,\overline{Y2}Y1 + Y4\,\overline{Y3}Y2\,\overline{Y1} +$$
$$+ Y4\,\overline{Y3}Y2Y1 + Y4Y3\,\overline{Y2}\,\overline{Y1} + Y4Y3\,\overline{Y2}Y1 = \overline{Y3}Y2 + Y3\overline{Y2}Y = Y3 \oplus Y2;$$

$$A3 = \overline{Y4}Y3\,\overline{Y2}\,\overline{Y1} + \overline{Y4}Y3\,\overline{Y2}Y1 + \overline{Y4}Y3Y2\,\overline{Y1} + \overline{Y4}Y3Y2Y1 + Y4\,\overline{Y3}\,\overline{Y2}\,\overline{Y1} +$$
$$+ Y4\,\overline{Y3}\,\overline{Y2}Y1 + Y4\,\overline{Y3}Y2\,\overline{Y1} + Y4\,\overline{Y3}Y3Y1 = \overline{Y4}Y3 + Y4\,\overline{Y3} = Y4 \oplus Y3;$$

$$A4 = Y4\,\overline{Y3}\,\overline{Y2}\,\overline{Y1} + Y4\,\overline{Y3}\,\overline{Y2}Y1 + Y4\,\overline{Y3}Y2\,\overline{Y1} + Y4\,\overline{Y3}Y2Y1 + Y4Y3\,\overline{Y2}\,\overline{Y1} +$$

$+ Y4Y3\overline{Y2}Y1 + Y4Y3Y2\overline{Y1} + Y4Y3Y3Y1 = Y4$.

Таблиця 8.1 - Таблиця функціонування перетворювача двійкового коду в циклічний код Грея

Двійковий код				Циклічний код Грея			
Y4	Y3	Y2	Y1	A4	A3	A2	A1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

Згідно з отриманими рівняннями функціональна схема перетворювача двійкового коду в циклічний код Грея представлена на рисунку 8.1.

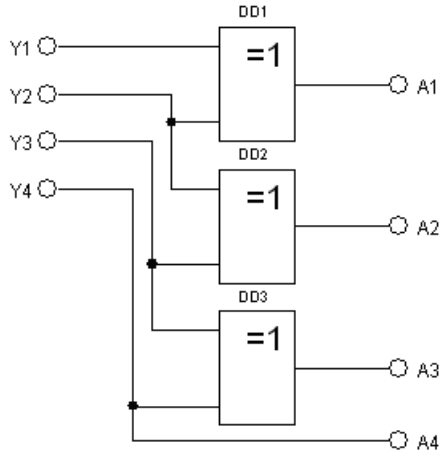


Рисунок 8.1 - Функціональна схема перетворювача двійкового коду в циклічний код Грея

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду LOGIC (Додаток А) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання LOGIC дозволяє реалізувати схему вагового перетворювача двійкового коду в двійково-десятковий код і провести аналіз його функціонування у статичному режимі.

Побудувати схему вагового перетворювача на елементах елементарної логіки згідно з таблицею відповідності (табл. 8.2).

Таблиця 8.2 – Алгоритм функціонування перетворювача двійкового коду в двійково-десятковий код

Dec	A4	A3	A2	A1	F8	F7	F6	F5	F4	F3	F2	F1
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	1	0
3	0	0	1	1	0	0	0	0	0	0	1	1
4	0	1	0	0	0	0	0	0	0	1	0	0
5	0	1	0	1	0	0	0	0	0	1	0	1
6	0	1	1	0	0	0	0	0	0	1	1	0
7	0	1	1	1	0	0	0	0	0	1	1	1
8	1	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0	1
10	1	0	1	0	0	0	0	1	0	0	0	0
11	1	0	1	1	0	0	0	1	0	0	0	1
12	1	1	0	0	0	0	0	1	0	0	1	0
13	1	1	0	1	0	0	0	1	0	0	1	1
14	1	1	1	0	0	0	0	1	0	1	0	0
15	1	1	1	1	0	0	0	1	0	1	0	1

2. Провести дослідження функціонування схеми вагового перетворювача у статичному режимі.

3. На терміналі програмного забезпечення Electronics Workbench формується схема невагового перетворювача двійкового коду в код семисегментного індикатора. Перетворювач має 4 тумблера, для введення чотирьохрозрядного коду чисел, оскільки для кодування десяткових цифр від 0 до 9 вистачає чотири двійкових розряди, і сім виходів, поодинці на кожен сегмент (рис. 8.2). Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування введення коду за допомогою Word Generator.

З алгоритму функціонування перетворювача коду зрозуміло що в цифрі 0 повинні світитися всі сегменти за винятком сегменту g, в цифрі 1 світяться лише два сегменти b і c і т. д. У зв’язку з тим що індикатор може відобразити лише цифри від 0 до 9, в логічному наборі для чотирьох змінних - для цифр від 10 до 15 - стани вихідних сигналів є неактивованими. Тому, при мінімізації функцій виходів, їх можна довизначити (вважати що позначка × – логічна “1”), що спрощує схему перетворювача коду.

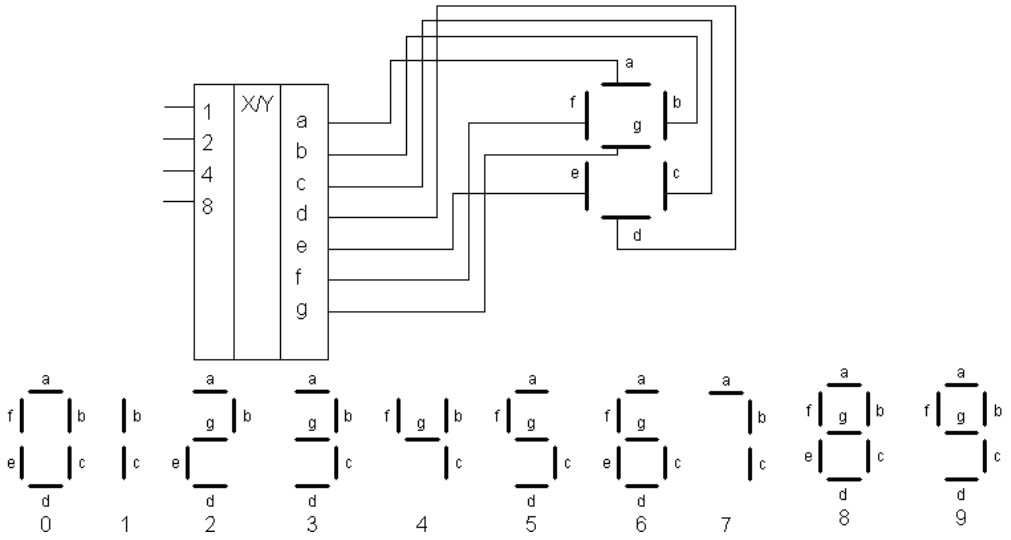


Рисунок 8.2 - Перетворювач двійкового коду в код семисегментного індикатора

4. Для забезпечення дослідження функціонування перетворювача двійкового коду в код семисегментного індикатора необхідні:

- джерело живлення постійного струму;
- перетворювача двійкового коду в код семисегментного індикатора на елементах елементарної логіки;
- семисегментний індикатор відображення інформації;
- прилади контролю функціонування.

5. Послідовно з’єднати запрограмований Word Generator з не ваговим перетворювачем.

6. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

7. У звіті привести: таблиці функціонування, розрахунки, робочі та експериментальні схеми, діаграми функціонування; зробити розгорнутий висновок.

Контрольні питання

1. Призначення перетворювачів кодів.
2. Принципи побудови перетворювачів кодів.
3. Перетворювач двійкового коду в код з надлишком 3.
4. Перетворювач двійкового коду в додатковий код.
5. Перетворювач двійкового коду в код з надлишком 4.

Лабораторна робота №9

Дослідження схем послідовністних цифрових регістрів

Метою виконання роботи є ознайомлення з принципами побудови різних схем збереження і перетворення багаторозрядних двійкових чисел.

Ключові терміни та поняття: тригер, регістр, паралельна інформація, послідовна інформація, пам'ять, тактовий імпульс.

План теоретичного опрацювання теми.

1. Засвоїти принцип побудови цифрових тригерів RS, RST, JK, T, D типів.
2. Засвоїти принцип побудови паралельних регістрів.
3. Засвоїти принципи побудови послідовних регістрів.
4. Засвоїти принципи побудови паралельно-послідовних регістрів.

Методичні вказівки до вивчення питань та виконання завдань.

Цифрові регістри – це пристрої, призначені для зберігання і перетворення багаторозрядних двійкових чисел. Тригери – запам’ятовувальні елементи регістрів. Їх кількість дорівнює розрядності чисел, які зберігаються. Окрім тригерів регістри містять також комбінаційні схеми, призначені для введення і виведення чисел, які зберігаються, перетворення їх кодів, зсування кодів на те або інше число розрядів. Інформація в регістрах зберігається, як правило, протягом деякої кількості тактів [1].

Залежно від способу прийому і видачі інформації регістри діляться на групи: з паралельним прийомом і видачею інформації (регістри пам’яті); з послідовним прийомом і видачею інформації; з послідовним прийомом і паралельною видачею інформації; з паралельним прийомом і послідовною видачею інформації і комбіновані (регістри зсуву).

Паралельні регістри - це пристрої, призначені для запису, зберігання і надання інформації, представленої у вигляді двійкового коду. Для зберігання кожного двійкового розряду в регістрі використовується одна тригерна комірка. Для запам'ятовування багаторозрядних слів необхідне число тригерів об'єднують разом і розглядають як єдиний функціональний вузол – регістр. При подачі управляючого сигналу C = 1, інформація по входах D1 – D4 записується одночасно (паралельним кодом) у відповідні розряди чотирьох D-тригерів (рис. 9.1). При C = R = 0 інформація зберігається в регістрі пам'яті, а при R = 1 відбувається паралельне зчитування інформації [1].

У регістрі з послідовним введенням виконується послідовний зсув інформації, що надходить на вхід, на один розряд вправо в кожному такті синхросигналів. Після проходження m синхроімпульсів весь регістр виявляється заповненим розрядами числа D, і перший розряд числа (D_0) з'являється на виході Q_0 регістра. Протягом подальших m синхроімпульсів виконується послідовний порозрядний вивід з регістра записаного числа, після чого регістр виявляється повністю очищеним. Схема чотирьохрозрядного регістра зсуву приведена на рисунку 9.2. Завдяки тому, що вихід попереднього розряду сполучений з входом «D» подальшого, кожен тактовий імпульс

встановлює подальший тригер в стан, в якому до цього знаходився попередній [1].

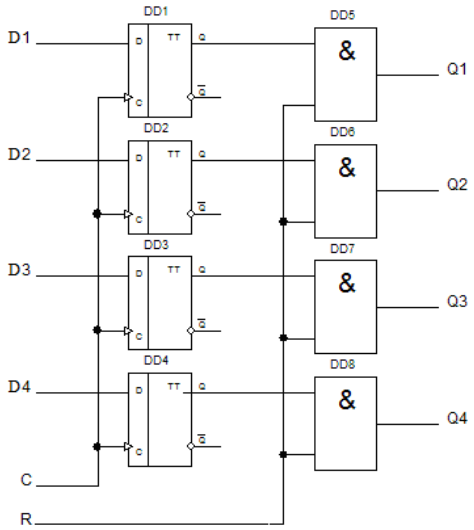


Рисунок 9.1 – Паралельний регістр на тактованих D-тригерах

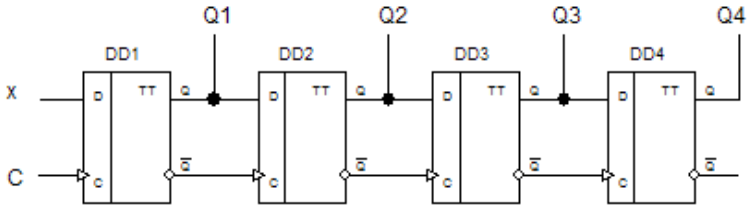


Рисунок 9.2 – Чотирьохрозрядний регістр зсуву

Кожним тактовим імпульсом в регістрі відбувається зсув числа на один розряд вправо. Чотирьохрозрядне число буде повністю записано в регістр після четвертого тактового імпульсу. До приходу наступного тактового імпульсу це число зберігається в регістрі у вигляді паралельного коду на виводах Q1 ... Q4. Якщо необхідно отримати інформацію в послідовному коді, то її знімають з виходу Q4 в моменти приходу наступних трьох тактових імпульсів. Такий режим називається режимом послідовного зчитування.

У паралельно-послідовному регістрі запис інформації відбувається в паралельному коді, а зчитування в послідовному. На рисунку 9.3 показаний приклад побудови такого регістра на JK-тригерах.

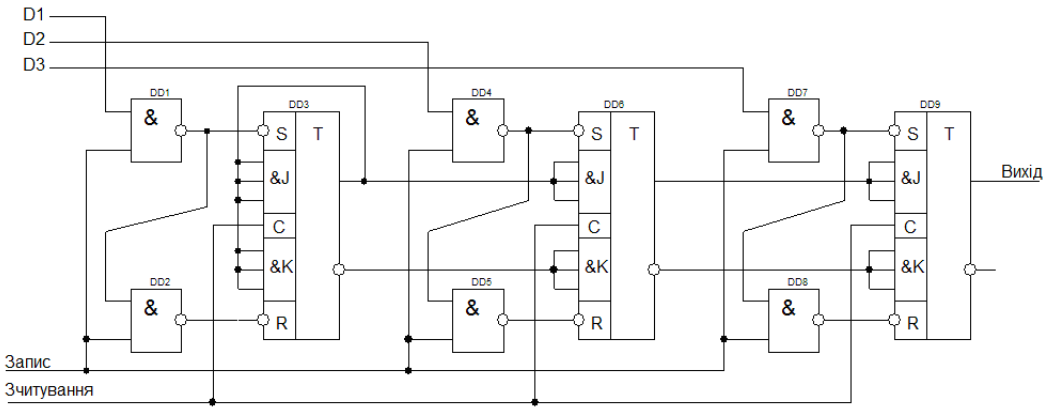


Рисунок 9.3 – Паралельно-послідовний регістр

Запис числа в регістр в паралельному коді відбувається при подачі числа на входи D1, D2, D3 і сигналу «1» на вхід «Запис».

Для побудови послідовно – паралельного регістра достатньо в послідовному регістрі організувати паралельне зчитування, використовуючи додаткові елементи І – НЕ, як це показано на рисунку 9.4 [2].

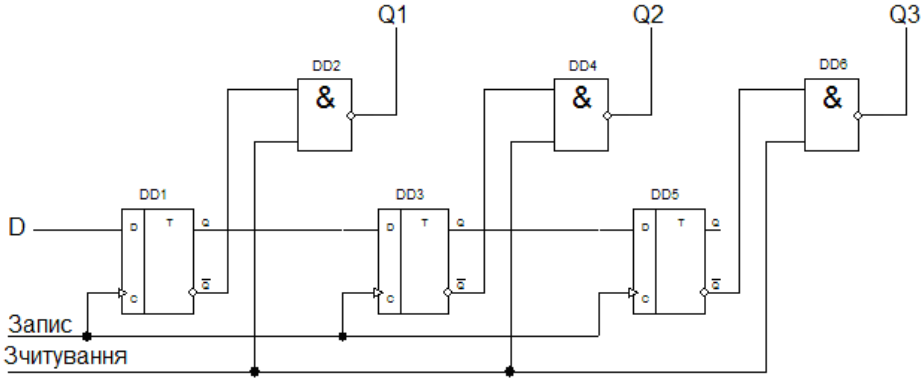


Рисунок 9.4 – Послідовно-паралельний регістр

При подачі сигналу «1» на вхід «Зчитування» значення розрядів числа D з інверсних виходів тригерів поступають на виходи Q1, Q2, Q3 через елементи І – НЕ.

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду TRIGGER (Додаток Б) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання TRIGGER дозволяє реалізувати схеми регістрів та провести аналіз їх функціонування у статичному та динамічному режимах.

2. Побудувати схему паралельного регістра на D-тригерах (рис. 9.1).

Провести дослідження функціонування схеми регістра пам’яті у статичному та динамічному режимах.

3. Побудувати схему послідовного регістра на D-тригерах (рис. 9.2).

Провести дослідження функціонування схеми регістра зсуву у статичному та динамічному режимах.

4. На терміналі програмного забезпечення Electronics Workbench формується схема електрична паралельно–послідовного регістра на JK-тригерах (рис. 9.3). У приведеній схемі JK-тригери двічі перетворені в D-тригери. Одне перетворення здійснене для організації запису з використанням допоміжних інверсних входів S і R і, додаванням двох елементів І-НЕ (рис. 9.5).

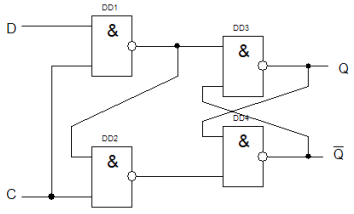


Рисунок 9.5 – D-тригер на основі RS–тригера

5. Для забезпечення дослідження функціонування паралельно-послідовного регістра необхідні:

- джерело живлення постійного струму;
- паралельно-послідовний регістр на елементах елементарної логіки та JK–тригерах;
- панель відображення інформації;
- прилади контролю функціонування.

6. Послідовно з’єднати запрограмований Word Generator з регістром.

7. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

8. На терміналі програмного забезпечення Electronics Workbench формується схема електрична послідовно – паралельного регістра (рис. 9.4). Послідовна інформація вводиться за допомогою Word Generator.

9. Для забезпечення дослідження функціонування послідовно–паралельного регістра необхідні:

- джерело живлення постійного струму;
- послідовно-паралельний регістр на елементах елементарної логіки та D-тригерах;
- панель відображення інформації;
- прилади контролю функціонування.

10. Послідовно з’єднати запрограмований Word Generator з регістром.

11. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

Контрольні питання

1. Цифрові тригери.
2. Послідовністні пристрої цифрової схемотехніки.
3. Регістри пам’яті.
4. Послідовні регістри.
5. Паралельно-послідовний регістр.
6. Послідовно-паралельний регістр.

Лабораторна робота №10

Дослідження схем послідовністних цифрових лічильників

Метою виконання роботи є ознайомлення з принципами побудови різних схем цифрових лічильників.

Ключові терміни та поняття: тригер, лічильник, розряд, вхід скидання, модуль рахункку, тактовий імпульс.

План теоретичного опрацювання теми.

1. Засвоїти принцип побудови двійкових підсумовуючих лічильників з послідовним перенесенням.
2. Засвоїти принципи побудови двійкових лічильників з паралельним перенесенням.
3. Засвоїти принципи побудови недвійкових лічильників з паралельним перенесенням.
4. Засвоїти принципи побудови двійково-десяткових лічильників.
5. Засвоїти принципи побудови кільцевих лічильників.

Методичні вказівки до вивчення питань та виконання завдань.

Лічильником називається пристрій послідовністного типу, призначений для підрахунку числа імпульсів, що поступають на його вхід, і фіксації цього числа у вигляді коду, що зберігається в тригерах [1].

За призначенням лічильники можуть бути підсумовуючими, віднімаючими і реверсивними. За способом організації внутрішніх зв'язків лічильники можуть бути: з послідовним перенесенням, з паралельним перенесенням, з комбінованим перенесенням, кільцеві. Лічильники бувають синхронними, тобто, коли рахункові імпульси подаються на рахункові входи всіх тригерів, і асинхронними - коли сигнал на рахунковий вхід якого-небудь тригера подається з виходу одного з тригерів молодших розрядів [2].

Основна характеристика лічильника – модуль рахунку, або ємність лічильника $К_{рах.}$. Це кількість вхідних сигналів, які повертають лічильник у вихідний стан. Лічильник, що не має додаткових зв'язків, має модуль рахунку $К_{рах.} = 2^n$. Лічильники, що мають модуль рахунку 2^n, називаються двійковими. Якщо $К_{рах.} \neq 2^n$, то лічильник називається недвійковим.

Двійковий асинхронний підсумовуючий лічильник з послідовним перенесенням будується на $m = \log_2 8$ тригерах, що відповідає кількості розрядів двійкового числа. Частота перемикання кожного наступного тригера зменшується вдвічі. Лічильник з послідовним перенесенням можна побудувати як коло послідовно включених рахункових тригерів (рис. 10.1) [1].

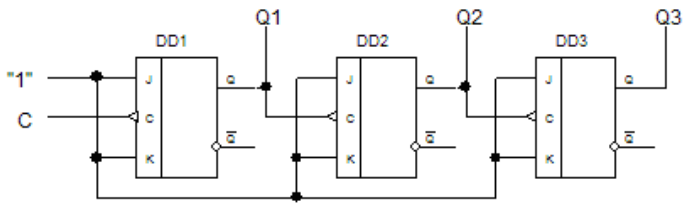


Рисунок 10.1 – Схема двійкового підсумовуючого лічильника

Для підвищення швидкодії лічильники виконуються синхронними з паралельним перенесенням (або паралельні). Їх особливість полягає в тому, що виходи всіх попередніх розрядів з'єднуються з входами тригера подальшого розряду, тому тривалість перехідного процесу визначається лише тривалістю перехідного процесу одного розряду і не залежить від кількості тригерів. Схема електрична лічильника реалізується відповідно до функцій входів (рис. 10.2) .

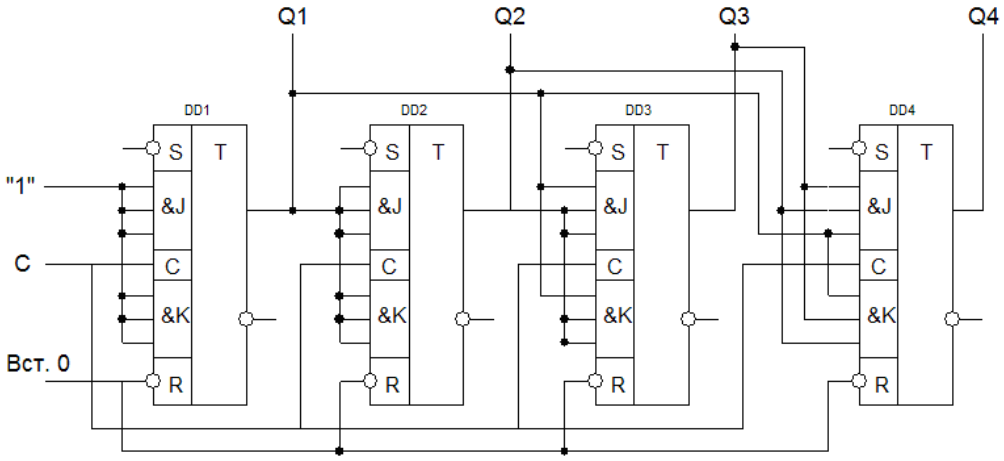


Рисунок 10.2 – Підсумовуючий двійковий лічильник з паралельним перенесенням

На практиці потрібні лічильники з коефіцієнтом рахунку не рівним 2^n, наприклад, 3, 6, 10, 12, 24 та ін. Вони виконуються на основі двійкових лічильників шляхом виключення в лічильники з $K_{рах.} = 2^n$ відповідного числа «надлишкових» станів N: $N = 2^n - K_{рах}$. Стани $(2^n - K_{рах.})$ виключаються усередині лічильника за допомогою зворотних зв'язків. Завдання синтезу таких лічильників зводиться до визначення вигляду необхідних зворотних зв'язків і мінімізації їх числа [5].

Двійково-десяткові лічильники мають $K_{рах.} = 10$. Їх синтезують на основі чотирьохрозрядного лічильника, виключаючи $N = 2^m - K_{рах.} = 16 - 10 = 6$ надлишкових станів. Виключити можна будь-які 6 з 16 станів. У різних варіантах схем одному і тому ж десятковому числу можуть відповідати різні кодові комбінації, тобто різні варіанти лічильників працюють в різних двійково-десяткових кодах.

Поширеним різновидом паралельних лічильників є кільцеві лічильники, виконані на базі регістрів зсуву [4].

За призначенням лічильники можуть бути підсумовуючими, віднімаючими і реверсивними. Підсумовуючі лічильники виконують складання числа імпульсів, які поступають на вхід, з тим числом, яке зберігалося в ньому. Віднімаючі лічильники виконують віднімання числа імпульсів, які поступають, з початкового числа, записаного в ньому заздалегідь. Реверсивні лічильники можуть виконувати як додавання, так і віднімання імпульсів, які поступають на вхід, залежно від управляючих сигналів, що змінюють режим роботи лічильника. Такі лічильники можуть бути реалізовані за схемою лічильника з дешифратором [3].

Схема лічильника з дешифратором містить лічильник DD1, дешифратор DD2, допоміжні схеми DD3, DD4 (рис. 10.3).

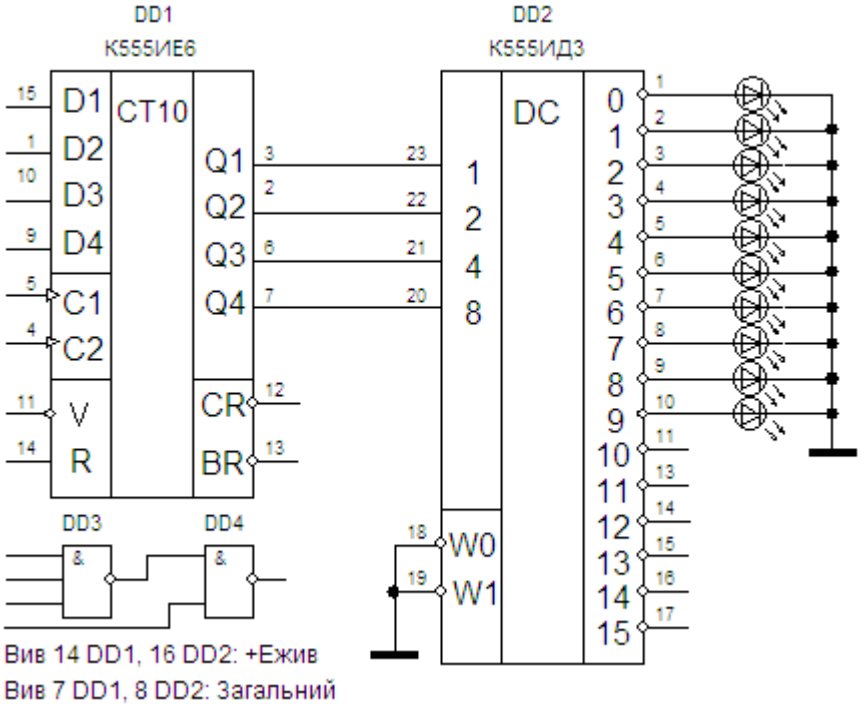


Рисунок 10.3 – Принципова схема лічильника з дешифратором

Лічильник DD1 (К555ИЕ6 або 74192) – синхронний реверсивний чотирьохрозрядний двійково-десятковий лічильник. Лічильник працює в коді 1-2-4-8. До вихідного нульового стану лічильник наводиться при подачі на асинхронний вхід R рівня логічної 1, при цьому одночасно забороняється рахунок імпульсів.

Входи C1, C2 – рахункові входи для виконання операцій підсумовування або віднімання відповідно. Причому за відсутності якого-небудь з управляючих сигналів на вхід має бути поданий високий рівень напруги. При подачі на вхід C1 тактових імпульсів на виходах лічильника Q1, Q2, Q3, Q4 утворюється двійковий код 1-2-4-8. За 10 тактових імпульсів лічильник приходить в стан від 0 – 0000 до 9 – 1001. Коли всі тригери знаходяться в одиничному стані, то черговий десятий тактовий імпульс (низький рівень сигналу) проходить на вихід перенесення CR.

Якщо лічильник працює на віднімання (вхід C2), то при переході із стану 0000 в стан 1001 виникає позика із старшого розряду. Це відображується появою сигналу низького рівня на виході BR.

Входи D1, D2, D4, D8 призначені для запису в лічильник управляючого паралельного чотирьохрозрядного коду. Запис коду ведеться під час подавання на вхід синхронізації C сигналу низького рівня. У лічильнику реалізується мікрооперація привласнення.

При виконанні мікрооперації установки, на входах C1, C2 мають бути встановлені високі рівні сигналів.

Дешифратор DD2 (К555ИД3 або 74154) – це комбінаційна схема для перетворення чотирьохрозрядного двійкового коду (подається на входи 1-2-4-8) в шістнадцятирічний унітарний двійковий код (знімається з виходів 0 – 15).

Для включення дешифратора в роботу необхідно, аби на управляючих входах W0, W1 були встановлені сигнали низького рівня. Кожній кодовій комбінації на входах 1-2-4-8 відповідає свій активний вихід Y_i, причому збуджений вихід набуває низького значення рівня сигналу.

Лічильник DD1, окрім рахунку, виконує ще одну функцію – дільника вхідної частоти, коли як вихідний використовується сигнал перенесення (позики) або вихідний сигнал четвертого тригера. По відношенню до вхідної частоти $F_{вх}$ (на входах C1 або C2) частота на виході Q1 має значення Fвх/2, на виході Q2 – Fвх/4 і так далі Лічильник може бути використаний для побудови дільників частоти з коефіцієнтами ділення, відмінними від вище перелічених.

Будувати дільників частоти можна різними способами [1].

1. Якщо вихідним сигналом «CR» записати в лічильник яке-небудь двійкове число N < 9 (по входах D1, D2, D3, D4) і подати тактові імпульси з генератора на вхід C1, то до переповнювання лічильника необхідно подати «9 – N» імпульсів. Якщо при виробленні кожного імпульсу переповнювання (вихід «CR») в лічильник знов записувати це число, то лічильник завжди вестиме рахунок від N до 9. Таким чином, коефіцієнт ділення лічильника виявиться рівним «9 – N».

Якщо лічильник завантажувати по паралельних входах сигналом позики «BR» (при роботі лічильника в режимі віднімання), то коефіцієнт ділення буде рівний N.

2. Необхідний коефіцієнт ділення лічильника можна отримати, якщо при досягненні лічильником заданого числа N його скидати в нульовий стан. Коефіцієнт ділення виявиться рівним N. Виділення двійкової комбінації N виробляється за допомогою допоміжної схеми «І-НЕ» (DD3 на рисунку 10.3).

3. Третій спосіб зміни коефіцієнта ділення заснований на використанні дешифратора, вихідний сигнал якого необхідно подати на вхід R лічильника через додатковий інвертор (DD4 на рисунку 10.3).

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду TRIGGER (Додаток Б) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання TRIGGER дозволяє реалізувати схеми лічильників та провести аналіз їх функціонування у статичному та динамічному режимах.

2. Побудувати схему двійкового лічильника з паралельним перенесенням.

Провести синтез двійкового підсумовуючого лічильника з паралельним перенесенням $K_{рах.} = 16$ (визначити необхідну кількість розрядів, побудувати таблицю станів лічильника, скласти карти Карно для функцій переходів тригерів кожного розряду, вибирати тип тригера, провести мінімізацію

логічних функцій входів, отримати функції входів тригерів лічильника. У результаті отримати схему лічильника (рис. 10.4).

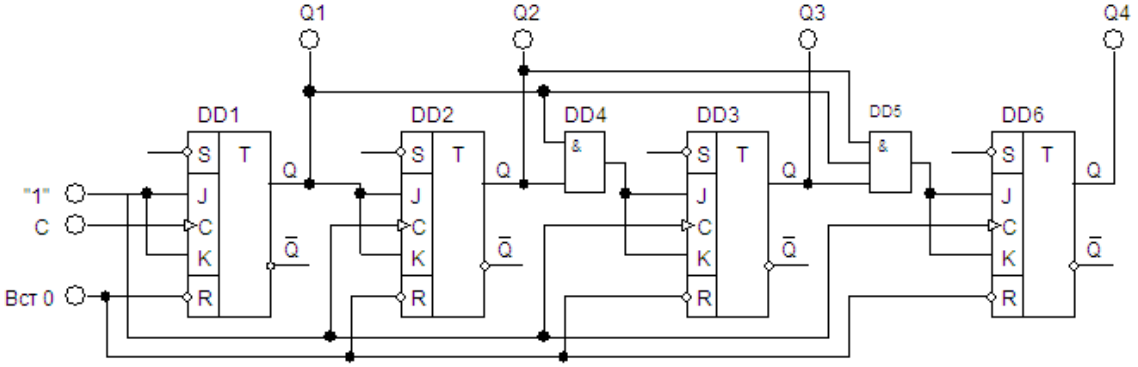


Рисунок 10.4 - Підсумовуючий двійковий лічильник з паралельним перенесенням

3. На терміналі програмного забезпечення Electronics Workbench формується схема електрична лічильника з дешифратором. Принципова схема досліджуваного пристрою приведена на рисунку 10.3.

4. Для забезпечення дослідження функціонування лічильника з дешифратором необхідні:

- джерело живлення постійного струму;
- схема лічильника з дешифратором на мікросхемах 74192 і 74154 та елементах елементарної логіки;
- панель відображення інформації;
- прилади контролю функціонування.

5. З’єднати запрограмований Word Generator з інформаційними входами лічильника і дешифратора.

6. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

7. Зібрати схему підсумовуючого лічильника з дешифратором (рис. 10.4). Отримати осцилограми напруги на управляючих входах лічильника, на всіх його виходах і на будь-яких трьох сусідніх виводах дешифратора від 0 до 9.

8. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

9. На терміналі програмного забезпечення Electronics Workbench формується схема лічильника, який працюють у двійковому коді з заданою вагою розрядів. Провести синтез синхронного лічильника з вагою розрядів 5-2-1-1 (визначити необхідну кількість розрядів, побудувати таблицю станів лічильника, скласти карти Карно для функцій переходів тригерів кожного розряду, вибирати тип тригера, провести мінімізацію логічних функцій входів, отримати функції входів тригерів лічильника. У результаті отримати схему лічильника.

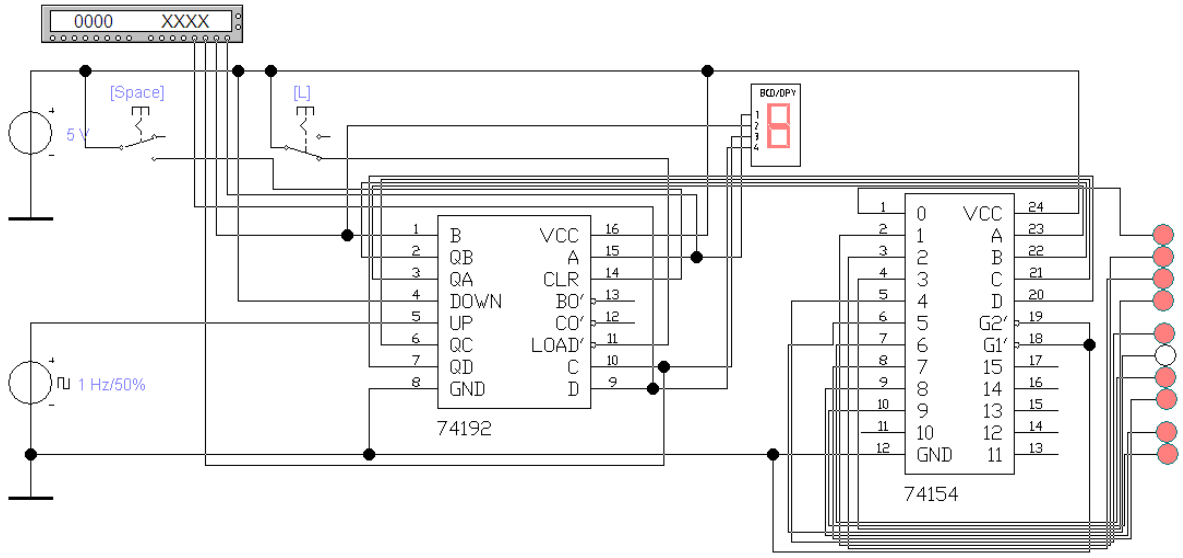


Рисунок 10.4 - Схема підсумовуючого лічильника

10. Для забезпечення дослідження функціонування синхронного лічильника з вагою розрядів 5-2-1-1 необхідні:

- джерело живлення постійного струму;
- схема синхронного лічильника з вагою розрядів 5-2-1-1 на JK-тригерах;
- панель відображення інформації;
- прилади контролю функціонування.

11. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

Контрольні питання

1. Цифрові тригери.
2. Цифрові лічильники.
3. Двійкові підсумовуючі лічильники з послідовним перенесенням.
4. Двійкові підсумовуючі лічильники з паралельним перенесенням.
5. Недвійкові лічильники з паралельним перенесенням.
6. Двійково-десяткові лічильники.
7. Кільцеві лічильники.

Лабораторна робота №11

Дослідження схем цифрових запам’ятовувальних пристроїв

Метою виконання роботи є ознайомлення з принципами побудови різних схем цифрових запам’ятовувальних пристроїв.

Ключові терміни та поняття: зчитування інформації, запис інформації, пам’ять, регістр, матриця, статичний елемент, динамічний елемент.

План теоретичного опрацювання теми.

1. Засвоїти принцип побудови і функціонування постійних запам'ятовувальних пристроїв.
2. Засвоїти принцип побудови і функціонування оперативних запам'ятовальних пристроїв.
3. Засвоїти принципи побудови і функціонування перепрограмуємих постійних запам'ятовувальних пристроїв та Flash- пам’яті.
4. Засвоїти схемотехніку комірок пам’яті ОЗП.

Методичні вказівки до вивчення питань та виконання завдань.

Запам’ятовувальні пристрої (ЗП) цифрової схемотехніки можна розрізнити по функціональних ознаках [2].

Надоперативні запам'ятовувальні пристрої (НОЗП) – здійснюють зчитування і запис інформації (регістрова пам'ять).

Оперативні запам'ятовувальні пристрої (ОЗП) – здійснюють зчитування і запис інформації.

Постійні запам'ятовувальні пристрої (ПЗП) – здійснюють лише зчитування інформації.

Перепрограмуємі постійні запам’ятовувальні пристрої (ППЗП) – здійснюють лише зчитування інформації постійно і запис рідко.

Найважливіші параметри запам’ятовувальних пристроїв [4].

1) Інформаційна ємність – максимально можливий об'єм інформації, що зберігається. Параметр, що характеризує міру інтеграції елементів на кристалі. Виражається в бітах або словах в байтах. Біт зберігається запам'ятовувальним елементом (ЗЕ), а слово – запам’ятовувальна комірка (ЗК), тобто групою ЗЕ, до якої можливо лише одночасне звернення.

2) Питома потужність – загальна потужність, яка споживається в режимі зберігання, віднесена до одного біта інформації.

3) Швидкодія – час запису, зчитування і тривалості циклів запису/зчитування.

4) питома вартість одного біта інформації – загальна вартість кристала, поділена на інформаційну ємність.

Запис інформації в постійні запам’ятовувальні пристрої виконується або один раз і назавжди, або є спеціальною, рідко використовуваною операцією. Тому ПЗП допускають лише прочитування занесеної до них інформації. У постійному запам'ятовувальному пристрої, за кожною n-розрядною адресою записано одне заздалегідь встановлене m-розрядне слово. Таким чином, ПЗП є комбінаційною схемою, яке перетворює код адреси в код слова.

Запам'ятовувальна матриця ПЗП представляє собою систему взаємно перпендикулярних шин, в пересіченнях яких або стоїть (логічна «1»), або відсутній (логічний «0») елемент, який зв'язує між собою відповідні горизонтальну і вертикальну шини. Вибірка слів виконується за допомогою дешифратора [3].

При створенні ОЗП малої ємності (наприклад НОЗП), застосовується організація пам'яті у вигляді окремих регістрів. Типовий приклад тригерного ОЗП – регістр з паралельним прийомом і паралельною видачею інформації.

При збільшенні ємності ОЗП виникає проблема доступу до кожного елемента пам'яті при обмеженому числі виводів корпусу. Це завдання вирішується за допомогою адресної організації ЗП з використанням дешифратора коду адреси. Тому ОЗП складається з двох основних частин – накопичувача і схем управління. Накопичувач – це основна частина ОЗП, де зберігаються дані. Схеми управління призначені для введення і виведення цих даних. У них входять дешифратори, підсилювачі, регістри, різного роду ключі, комутатори і інші схеми загального призначення [3].

Послідовність і порядок проведення роботи.

Робота виконується на наборному комутаційному полі лабораторного стенду TRIGGER (Додаток Б) та віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Стендове обладнання TRIGGER дозволяє реалізувати схеми ОЗП малої ємності та провести аналіз їх функціонування у статичному та динамічному режимах.

2. Побудувати схему оперативного запам’ятовувального пристрою на 4 біта інформації (рис. 11.1) на основі 4-розрядного паралельного регістра, побудованого на D-тригерах DD5…DD8.

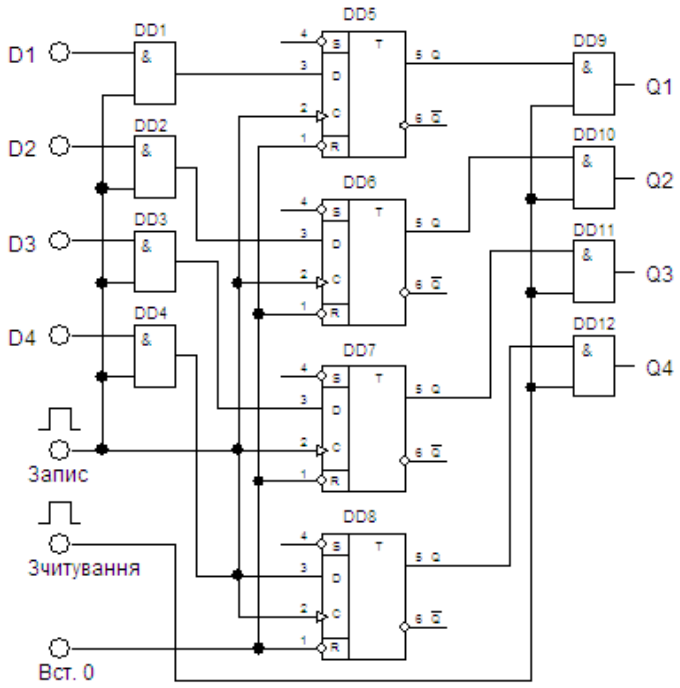


Рисунок 11.1 – Функціональна схема НОЗУ на 4 біта інформації

Елементи DD1…DD4 утворюють коло управління записом, а елементи DD9…DD12 – коло управління зчитуванням. Перед записом інформації всі тригери регістра встановлюють в стан «0» шляхом подачі імпульсу «1» на їх R – входи. Записувана інформація подається на входи DD1…DD4. Для запису інформації подається імпульс «Запис», що відкриває вхідні елементи «І». Код вхідного числа записується в регістр.

Після закінчення імпульсу «Запис» елементи DD1…DD4 закриваються, а інформація, записана в регістр, зберігається, не дивлячись на те, що вхідна інформація може змінюватися. Для прочитування інформації подають сигнал «1» на вхід «Зчитування». По цьому сигналу на вихідні шини регістра на час дії сигналу передається код числа, записаний в регістр. По закінченню операції зчитування вихідні ключі закриваються, а інформація, записана в регістр, зберігається. Тобто, можливе багатократне зчитування інформації.

3. На терміналі програмного забезпечення Electronics Workbench формується схема постійного запам’ятовувального пристрою на 16 біт інформації (рис. 11.2). Інформаційну прошивку виконати згідно з завданням викладача.

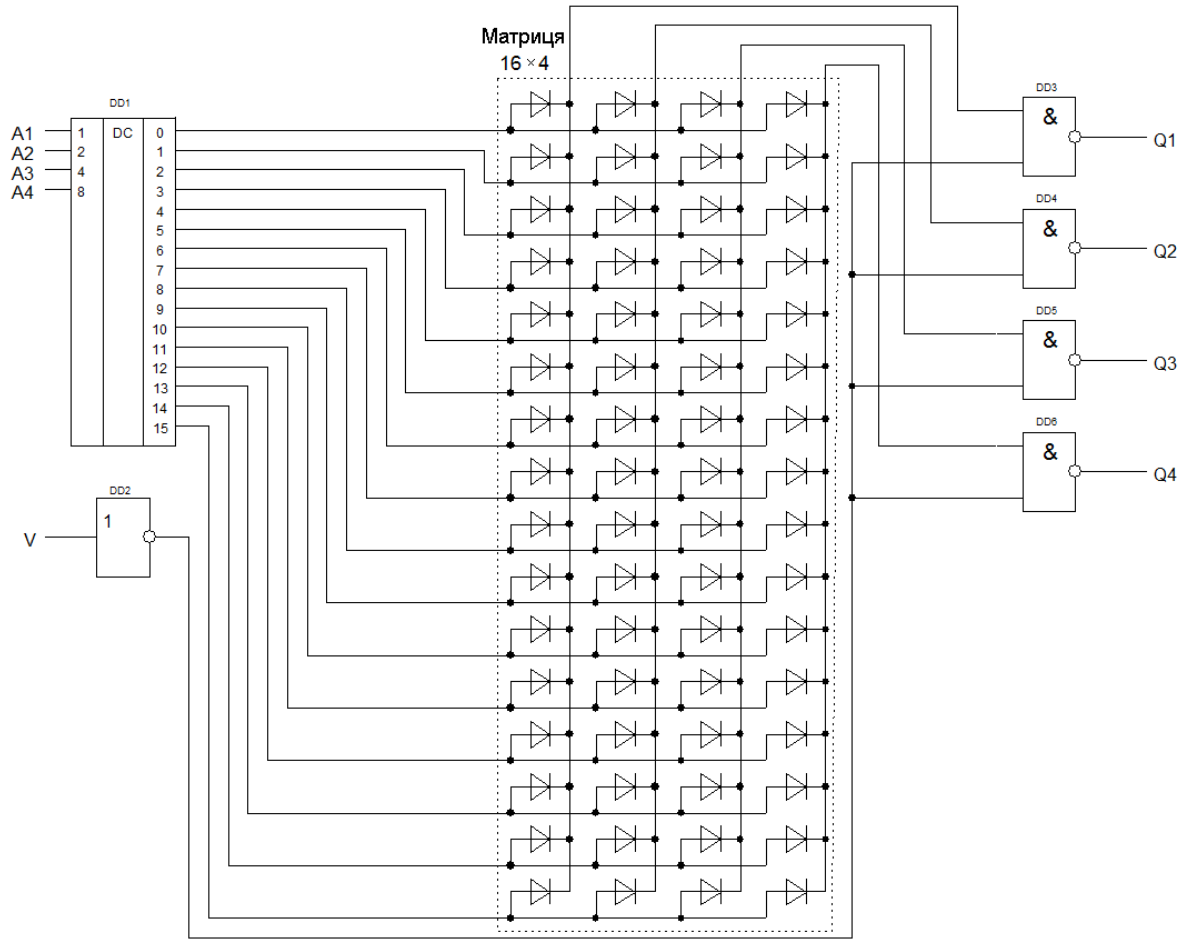


Рисунок 11.2 - Функціональна схема ПЗП на 16 біт інформації

4. Для забезпечення дослідження функціонування ПЗП на 16 біт інформації необхідні:

- джерело живлення постійного струму;
- схема ПЗП на 16 біт інформації;
- панель відображення інформації;
- прилади контролю функціонування.

5. На терміналі програмного забезпечення Electronics Workbench формується схема ОЗП на 16 біт інформації (рис. 11.3).

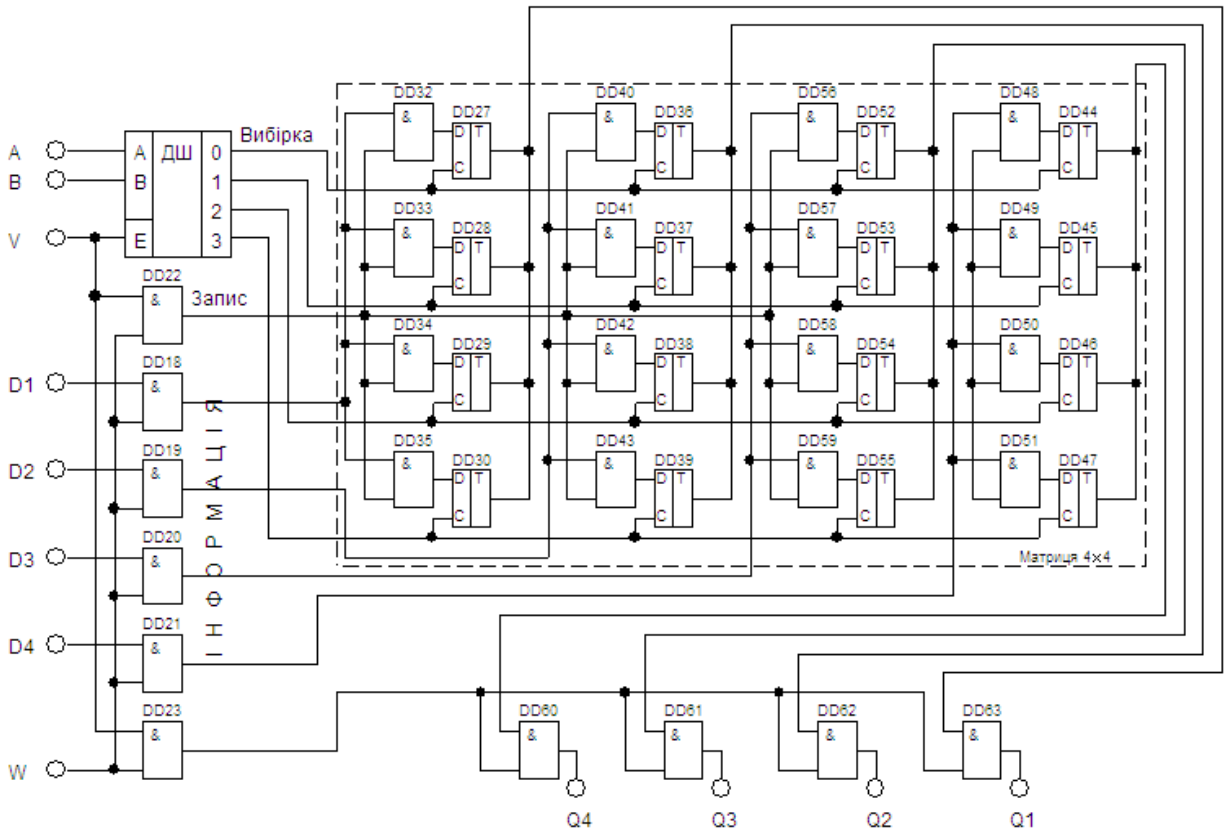


Рисунок 11.3 - Схема ОЗП на 16 біт інформації

4. Для забезпечення дослідження функціонування ОЗП на 16 біт інформації необхідні:

- джерело живлення постійного струму;
- схема ОЗП на 16 біт інформації;
- панель відображення інформації;
- прилади контролю функціонування.

Контрольні питання

1. Пояснити принцип функціонування ПЗП.
2.Пояснити принцип функціонування ОЗП.
3. Пояснити функціонування статичних елементів пам'яті.
4.Пояснити функціонування динамічних елементів пам'яті.

Лабораторна робота №12

Цифрові автомати на логічних елементах і тригерах

Метою виконання роботи є ознайомлення з принципами побудови різних схем цифрових автоматів.

Ключові терміни та поняття: комбінаційний автомат, програма, пам'ять, граф автомата, команда, алгоритм, тригер.

План теоретичного опрацювання теми.

1. Засвоїти принцип побудови і функціонування комбінаційних цифрових автоматів.

2. Засвоїти принцип побудови і функціонування однопрограмних цифрових автоматів.

3. Засвоїти принципи складання алгоритмів функціонування автоматів.

Методичні вказівки до вивчення питань та виконання завдань.

Цифровий автомат – пристрій, який характеризується набором внутрішніх станів в які він попаде під впливом команд, закладеної в нього програми. Перехід автомата з одного стану в інший здійснюється в певний момент часу [3].

В деяких випадках при завданні автомата не визначені всі можливі переходи з окремих станів для конкретних вхідних сигналів. У таких випадках автомат називається частково визначеним. Ознакою часткової визначеності автомата є наявність незаповнених кліток в таблиці переходів і виходів. На графі автомата в цьому випадку з деяких вершин виходять не всі дуги, відповідні повному набору комбінацій вхідних сигналів.

Однопрограмні автомати на логічних елементах, призначені для аналізу відповідності або помилковості різних висловів [3]. Алгоритм синтезу таких автоматів можна сформулювати наступним чином:

- задається словесний опис роботи автомата;
- автомат представляється у вигляді структурної схеми і вказуються всі його входи і виходи;
- складається таблиця відповідності;
- записуються структурні рівняння для кожного виходу;
- рівняння по можливості спрощуються;
- складається функціональна схема автомата.

Послідовність і порядок проведення роботи.

Робота виконується на віртуальному на стенді в програмному забезпеченні Electronics Workbench.

1. Автомат працює по алгоритму: перевізнику необхідно перевезти з одного берега річки на другий козу, вовка та капусту. Умови:

- с перевізником у човні може знаходитися лише щось одне або коза або вовк або капуста;
- заборонені ситуації знаходження наодинці: коза-вовк, коза-капуста.

2. Визначити варіанти правильного спрацювання однопрограмного автомата.

3. Представити автомат у вигляді структурної схеми (рис. 12.1).

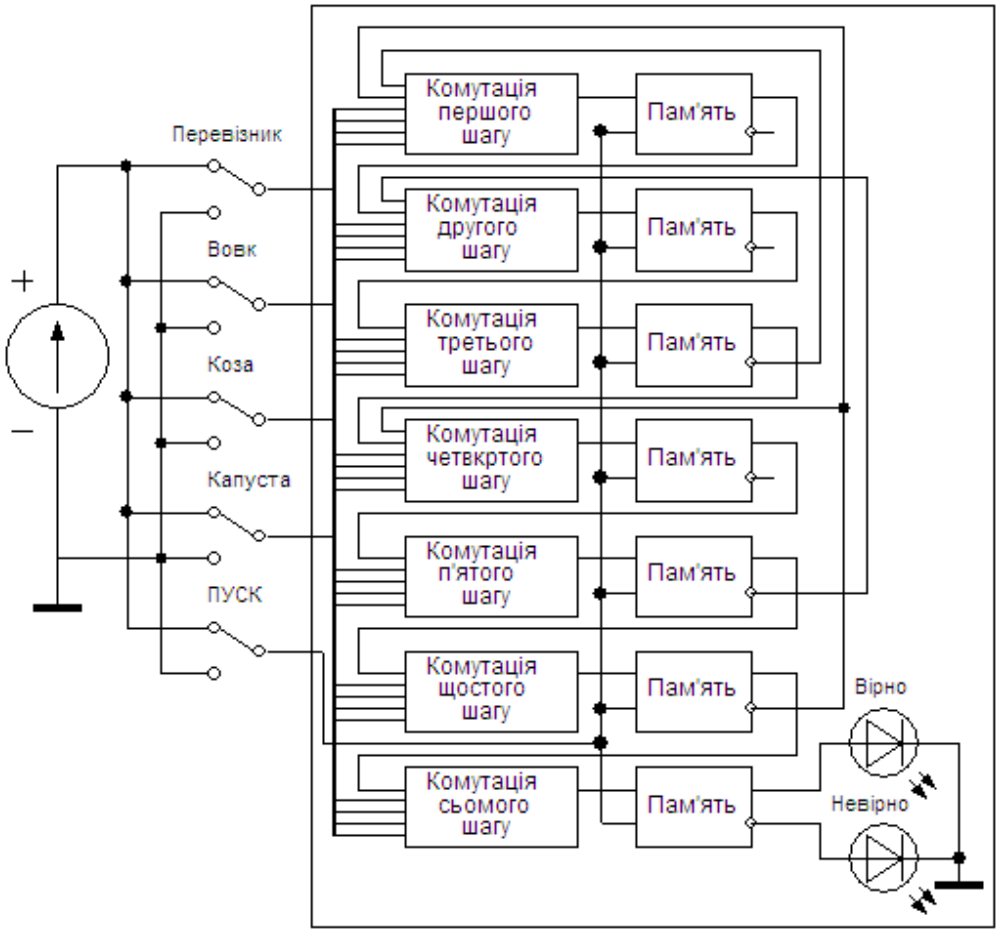


Рисунок 12.1 – Структурна схема автомата згідно з визначеним алгоритмом

4. Скласти таблицю істинності, записи структурні рівняння для кожного виходу комутаторів шагів програми. Рівняння по можливості спростити.

5. Скласти функціональну схему автомата на елементах елементарної логіки та тригерах.

6. Для забезпечення дослідження функціонування однопрограмного автомата необхідні:

- джерело живлення постійного струму;
- функціональна схема однопрограмного автомата;
- панель відображення інформації;
- прилади контролю функціонування.

Контрольні питання

1. Пояснити принцип функціонування ПЗП.
2. Пояснити принцип функціонування ОЗП.
3. Пояснити функціонування статичних елементів пам'яті.
4.Пояснити функціонування динамічних елементів пам'яті.

Додаток А

Методичні вказівки до використання лабораторного стенда “LOGIC”

Навчально-лабораторний стенд “LOGIC”- програмно-апаратний комплекс, орієнтований для використання у лабораторному практикумі по курсу цифрова схемотехніка. Стенд дозволяє на практиці закріпити теоретичні знання студентів по даному курсу, а також дає повне представлення про принцип роботи логічних елементів і комбінаційних схем на основі цих логічних елементів.

Навчальний стенд по курсу цифрова схемотехніка “Digital Logic Stand” виконаний у вигляді набірного поля (рис.1).

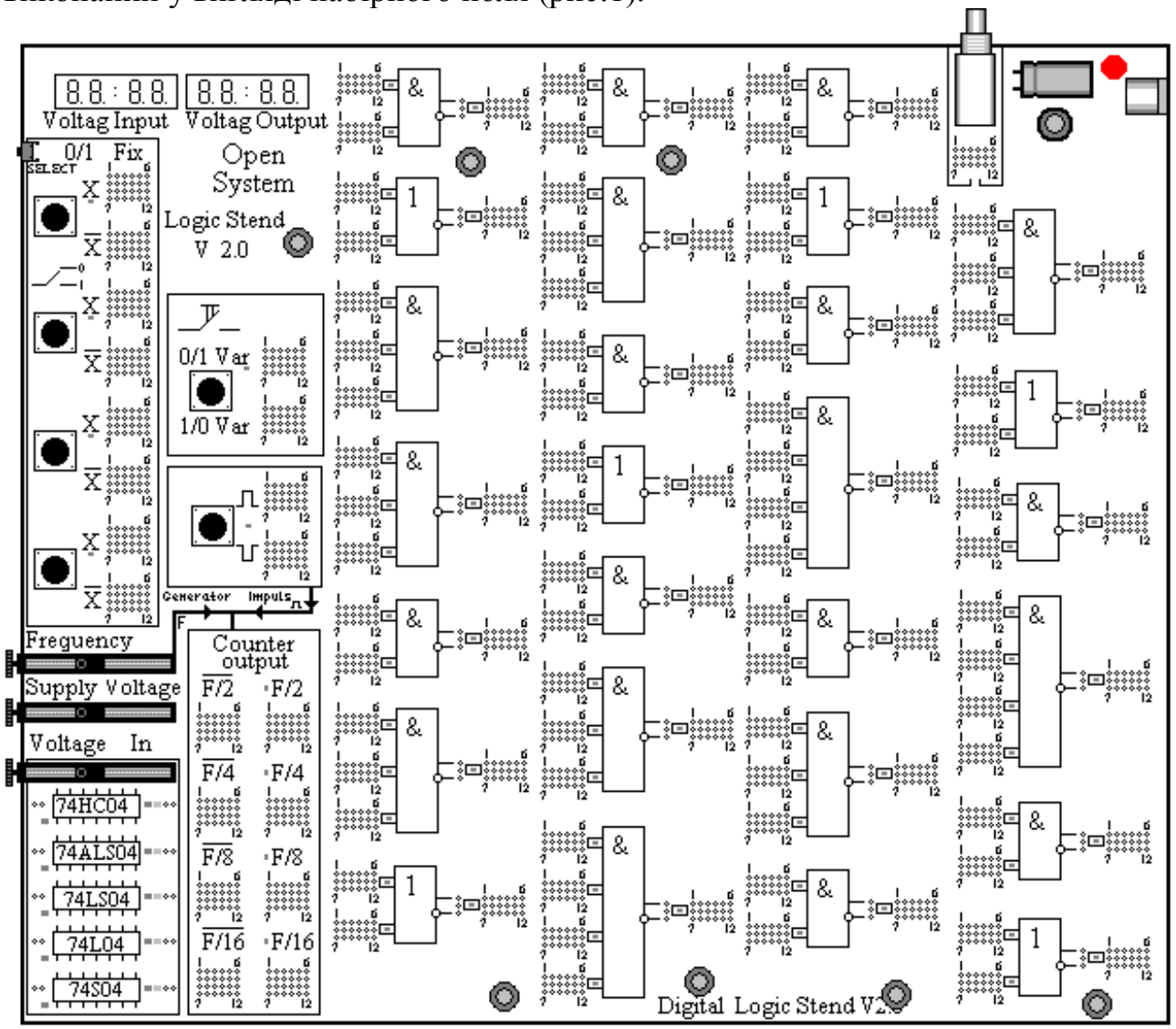


Рисунок 1 - Зовнішній вигляд лабораторного стенду LOGIC

Стенд включає:

- набор логічних елементів реалізований на мікросхемах серії 74HC**;
- динамічну індикацію у вигляді 2-х чотирьохрозрядних семисегментних індикаторів;

- два вбудовані вольтметри; формувач одиночних імпульсів (одновібратор), керований кнопкою “Select”;
- чотири тригери, керовані кнопками “Fix”;
- генератор прямокутних імпульсів, керований змінним резистором “Generator”;
- джерело постійної напруги 0…5В, керований змінним резистором “Voltage In”;
- чотирьохрозрядний лічильник імпульсів;
- роз'їм підключення до осцилографа;
- індикатори логічних рівнів, представлених у вигляді світлодіодів.

Усі внутрішні контрольно-вимірювальні пристрої стенду LOGIC розташовано в лівій частина лабораторного стенду. До їх складу входять:

- два вольтметра;
- кнопки задавання вхідних рівнів;
- кнопка вибору режимів;
- генератор сигналів прямокутної форми;
- дільники частот F/2, F/4, F/8, F/16;
- змінний резистор, що задає частоту генератора,
- змінний резистор, що задає напругу вхідних логічних елементів.

Для організації внутрішніх зв’язків між окремими блоками лабораторного стенду використано 12 внутрішніх ліній зв’язку, конструктивно які виконано дванадцятьма друкованими провідниками. За допомогою перемичок будь-яку із ліній можна з’єднати з входом або виходом будь-якої функціональної схеми, внутрішнім контрольно-вимірювальним пристроєм, роз’ємом. Конструктивне виконання перемичок наступне. Біля кожного входу або виходу розташовано група штирьових контактів розміщених в три ряди. Середній ряд контактів, являється загальним, з’єднаний між собою та входом або виходом відповідного блоку макету. У чотирьохрядних комутаційних полях загальними є середні два ряди. Контакти розміщені в крайніх рядах з’єднані кожний із своєю лінією зв’язку. Нумерація ліній проводиться від першої до шостої та від сьомої до дванадцятої лінії, біля яких розміщені відповідні цифрові позначки. Для підключення входу або виходу до відповідної лінії потрібно, надягнути на один із центральних контактів та контактів із відповідним номером на крайніх рядах, перемичку (рис. 2).

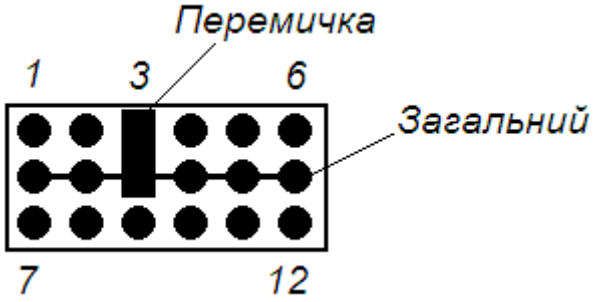


Рисунок 2 - Комутаційне поле (здійснений контакт з входом або виходом третьої інформаційної лінії)

Для з'єднання входу/виходу одного елементу з входом/виходом іншого необхідно на комутаційних полях, розташованих біля відповідного входу/виходу, перемичкою замкнути лінії з однаковими номерами.

Приклад. Необхідно встановити на одному з входів логічного елементу високий рівень сигналу. Сигнал передавати по першій інформаційній лінії. Для цього на комутаційному полі “X” (вхідний сигнал не інвертується) (рис. 2), що знаходиться біля однієї з 4-х кнопок “Fix”, виставити перемичку на перший пін роз'єму, замкнувши його з середнім піном. Теж саме зробити і на роз'ємі, який знаходиться біля потрібного входу логічного елементу. Натисненням кнопки на вході виставитися логічний рівень (кнопка натиснута – логічна одиниця, кнопка вдруге натиснута – логічний нуль). Свічення світлодіода вкаже на високий вхідний рівень (рис 3).

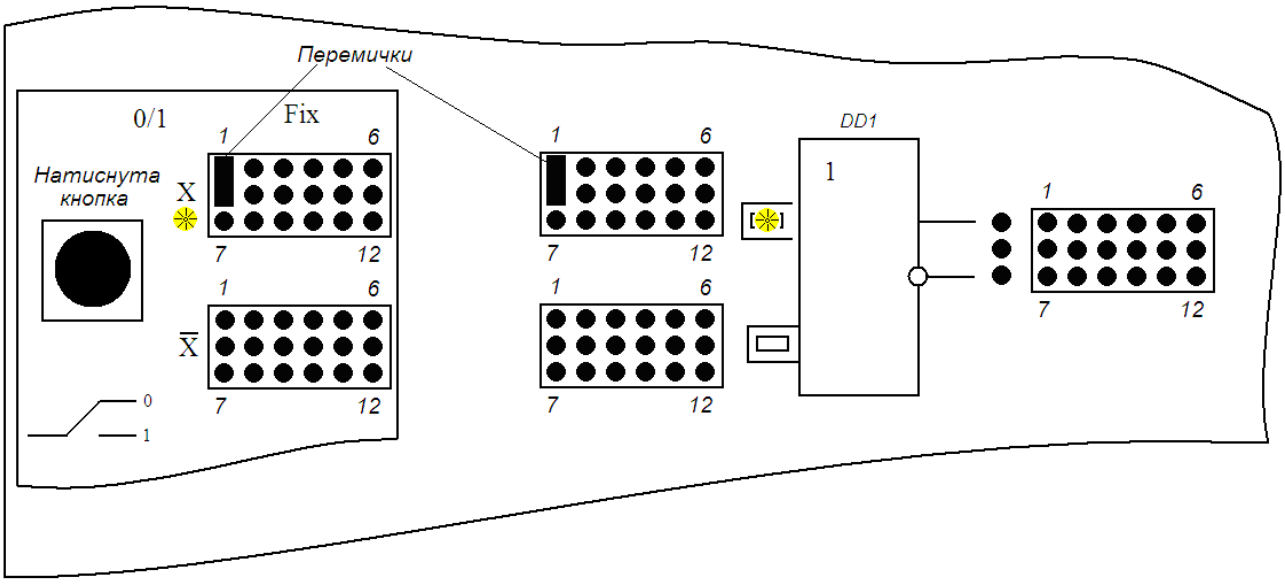


Рисунок 3 – Передача сигналу логічної одиниці на вхід елементу DD1

Блок логічних елементів та блок управління.

Блок логічних елементів та блок управління є сукупністю елементарних логічних елементів, комутаційних полів, елементів управління. За допомогою комутаційних полів виконується синтез комбінаційних схем. За допомогою елементів управління на входи логічних елементів і комбінаційних схем подається потрібна послідовність логічних рівнів. Структурна схема даного блоку представлена на рисунку 4.

Роз’єм 1 призначений для вибору інверсного (поз.2) або прямого (поз.1) вихідного сигналу логічного елементу.

Кнопки “Fix” змінюють стан (логічний рівень) на протилежний при кожному натисненні кнопки (за принципом тригера).

Кнопки “Var” не зберігають логічний рівень. На виході “1” при натиснутій кнопці і навпаки.

Кнопка “Impulse” управляє одновібратором, який формує імпульс тривалістю приблизно 20мс. Імпульс можна подати на вхід будь-якого

логічного елементу, за допомогою комутаційного поля, або на лічильник-дільника (Counter output).

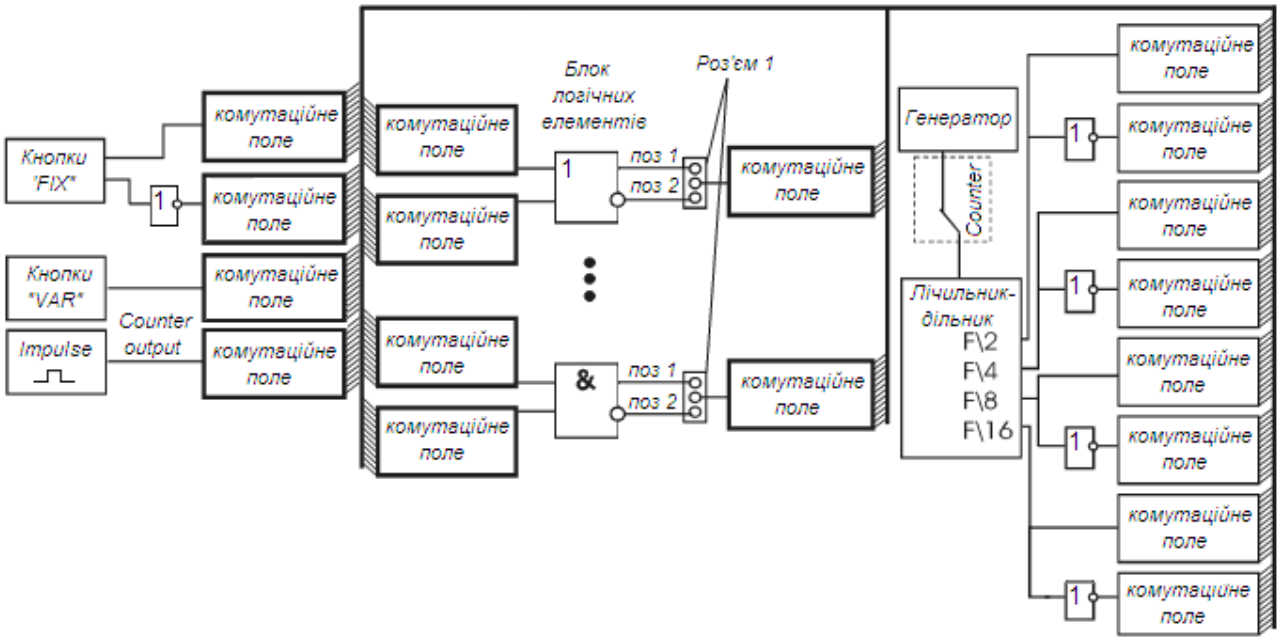


Рисунок 4 - Структурна схема блоку логічних елементів і елементів управління

За допомогою резистора “ Frequency” можна змінювати частоту генератора.

За допомогою резистора “Supply Voltage” змінюється напруга живлення мікросхем.

За допомогою резистора “Voltage In” зміняться вхідна напруга.

Генератор формує прямокутні імпульси, які подаються на лічильник “Counter output”. На комутаційних полях F/2, F/4, F/8, F/16 виставляються перемички для використання потрібних інформаційних ліній для передачі сигналу.

При натисненні кнопки “Select” можна перемикати між відображенням напруги живлення мікросхем і вхідною або вихідною напругою.

При тривалому натисненні кнопки “Select” включається генератор прямокутних імпульсів.

Для переходу в ручний режим лічильника необхідно натиснути ще раз кнопку.

Для виходу з режиму генератора необхідно тривало натискувати кнопку “Select”. Після цього стенд перейде в режим генератора високої частоти..

Для того щоб задати частоту генератора необхідно покрутити резистор “Frequency”.

Для того щоб встановити частоту необхідно натискувати кнопку “Select”.

Вихід високочастотного генератора знаходиться на роз'ємі “Impuls”.

Для виходу з режиму генератора необхідно тривало натискувати кнопку “Select”.

Робота з стендом.

Розглянемо приклад побудови у базісі АБО-НЕ схеми заданої рівнянням:

$$F = (A + \overline{B} + C + D)(A + \overline{C} + \overline{D})(\overline{A} + B + C + \overline{D})(\overline{A} + \overline{C} + \overline{D})(A + \overline{B} + \overline{C})(\overline{A} + \overline{B} + D)(A + \overline{B} + D)$$

Виконаємо спрощення логічної функції.

Перетворимо функцію з досконалої кон'юнктивної нормальної форми (ДКНФ) у досконалу диз'юнктивну нормальну форму (ДДНФ), для використання карт мінтермів.

$$\overline{F} = \overline{(A + \overline{B} + C + D)(A + \overline{C} + \overline{D})(\overline{A} + B + C + \overline{D})(\overline{A} + \overline{C} + \overline{D})(A + \overline{B} + \overline{C})(\overline{A} + \overline{B} + D)(A + \overline{B} + D)} =$$

$$= \overline{(A + \overline{B} + C + D)} + \overline{(A + \overline{C} + \overline{D})} + \overline{(\overline{A} + B + C + \overline{D})} + \overline{(\overline{A} + \overline{C} + \overline{D})} + \overline{(A + \overline{B} + \overline{C})} + \overline{(\overline{A} + \overline{B} + D)} + \overline{(A + \overline{B} + D)} =$$

$$= \overline{A}B\overline{C}\overline{D} + \overline{A}CD + A\overline{B}\overline{C}D + ACD + \overline{A}BC + AB\overline{D} + \overline{A}B\overline{D}.$$

Виконаємо нанесення функції на карту Карно чотирьох аргументів (рис. 5).

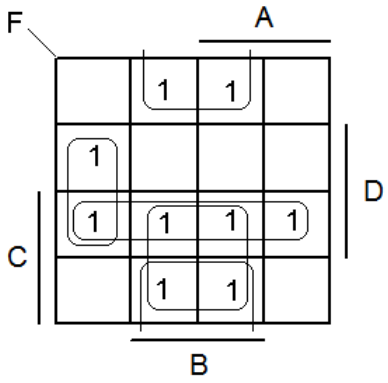


Рисунок 5 – Карта Карно функції

Спрощена функція:

$$\overline{F} = CD + BC + B\overline{D} + \overline{A}\overline{B}D.$$

Виконаємо зворотне перетворення функції до мінімізованої кон'юнктивної форми:

$$F = \overline{CD + BC + B\overline{D} + \overline{A}\overline{B}D.} = \overline{CD} \cdot \overline{BC} \cdot \overline{B\overline{D}} \cdot \overline{\overline{A}\overline{B}D} = (\overline{C} + \overline{D})(\overline{B} + \overline{C})(\overline{B} + D)(A + B + \overline{D}).$$

Приведемо рівняння схеми до базису АБО-НЕ:

$$F = (\overline{C} + \overline{D})(\overline{B} + \overline{C})(\overline{B} + D)(A + B + \overline{D}) = \overline{\overline{(\overline{C} + \overline{D})(\overline{B} + \overline{C})(\overline{B} + D)(A + B + \overline{D})}} = .$$

$$= \overline{\overline{(\overline{C} + \overline{D})}} + \overline{\overline{(\overline{B} + \overline{C})}} + \overline{\overline{(\overline{B} + D)}} + \overline{\overline{(A + B + \overline{D})}}.$$

Побудуємо функціональну схему (рис. 6).

Після вибору досліджуваної схеми, для уникнення помилок в складання схеми на стенді, необхідно цифрою позначити номери інформаційних ліній, по яких відбуватиметься комутація елементів схеми (рис. 7).

Джерелом вхідного сигналу можуть бути: кнопки "Fix", одновібратор, керований кнопкою "Impuls", мультивібратор (генератор). Обов'язково має бути лише один з вказаних вище джерел вхідного сигналу.

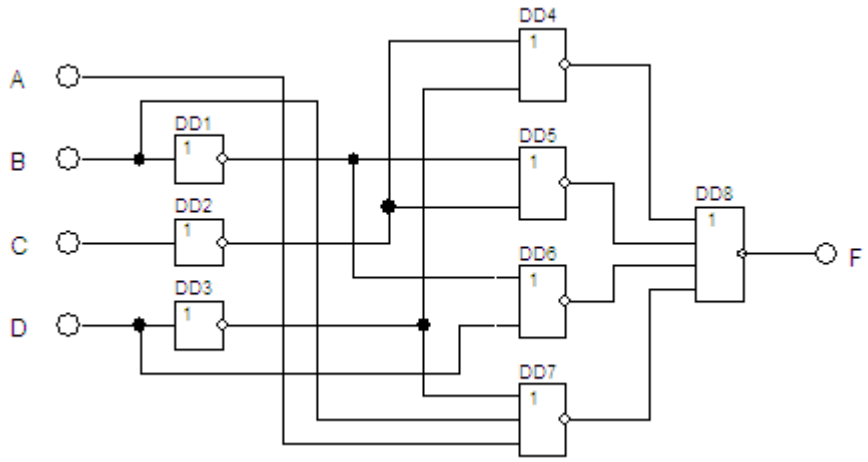


Рисунок 6 – Функціональна досліджувана схема

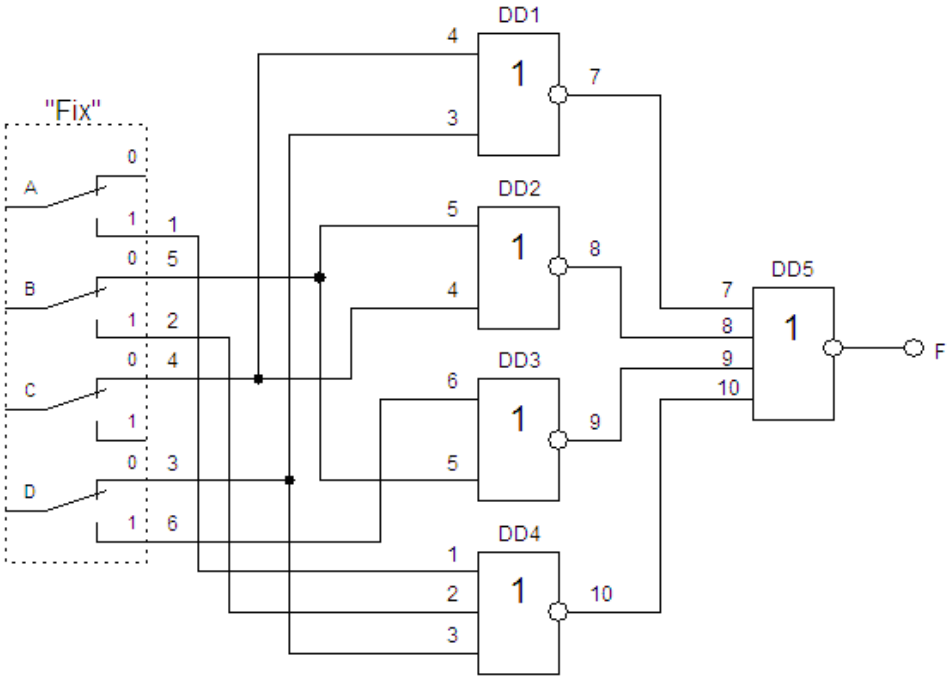


Рисунок 7 – Комутаційна схема (джерело вхідного сигналу кнопки “Fix”)

На стенд відсутні трьохвходовий і чотирьохвходовий елементи АБО-НЕ. Використовуючи математичний апарат алгебри логіки виконаємо необхідні перетворювання у рівнянні.

Елемент DD4: $\overline{(A+B+\overline{D})} = \overline{A}\overline{B}D$.

Елемент DD5: $\overline{X7+X8+X9+X10} = \overline{X7}\cdot\overline{X8}\cdot\overline{X9}\cdot\overline{X10}$

Робоча комутаційна схема містить елементи І-НЕ (рис. 8).

Зовнішній вигляд експериментальної схеми на лабораторному стенді LOGIC представлено на рисунку 9.

По дванадцятій лінії з елементу DD5 вихідний інформаційний сигнал F виведено на роз’єм осцилографу.

Для зняття динамічної характеристики необхідно перекомутувати стенд для підключення генератора до входів експериментальної схеми (рис. 10).

Включити генератор прямокутних імпульсів. тривалим натисненням на кнопку “Select”

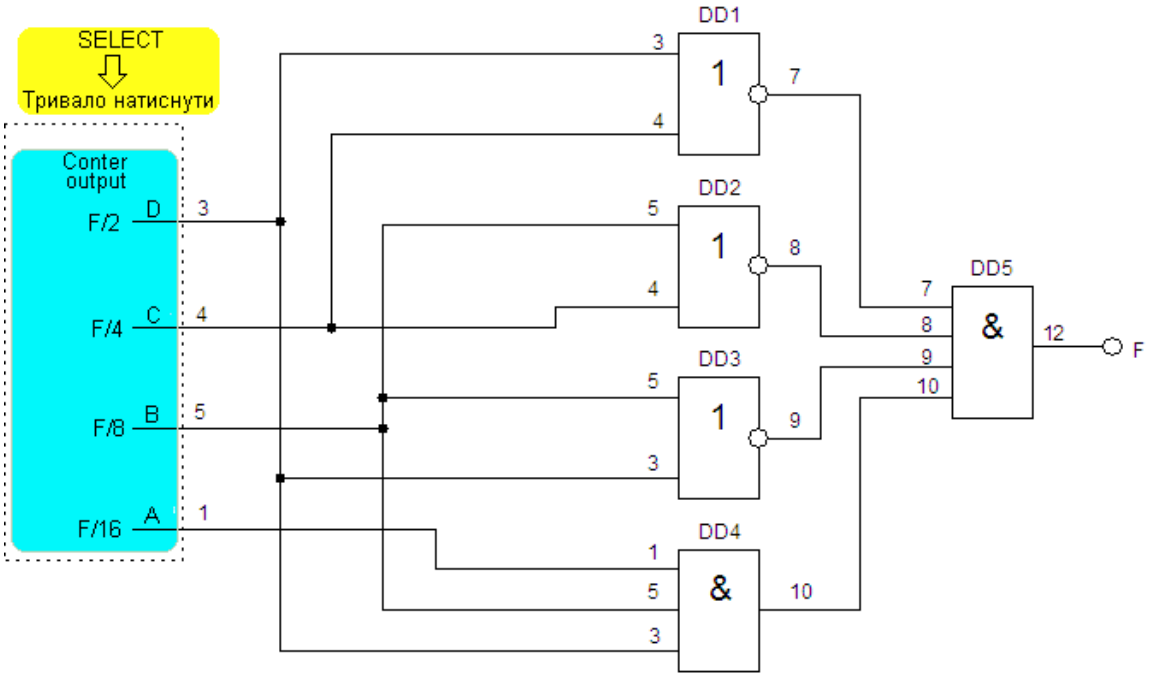


Рисунок 8 - Робоча комутаційна схема для зняття статичних характеристик

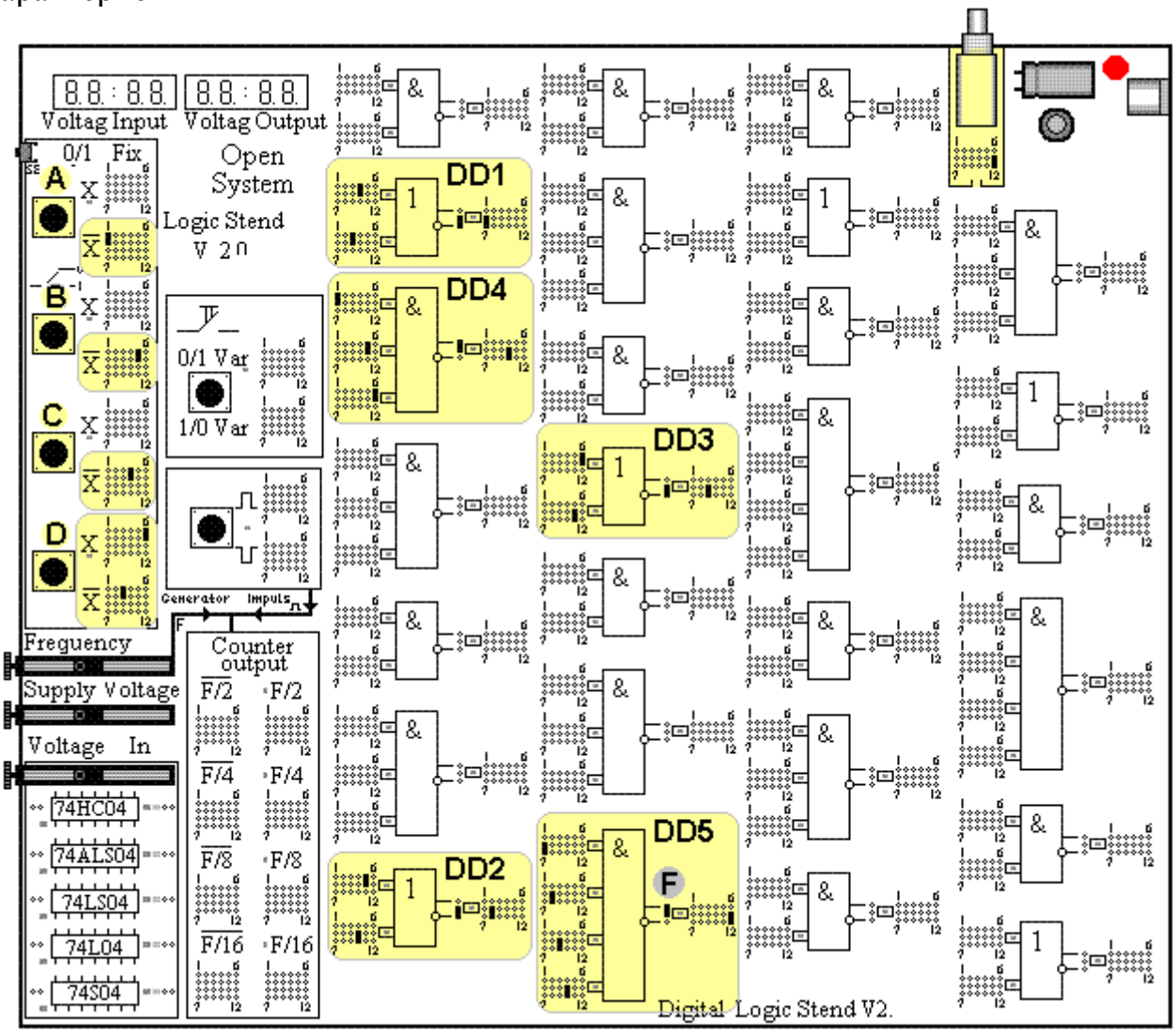


Рисунок 9 - Експериментальна схема на лабораторному стенді LOGIC

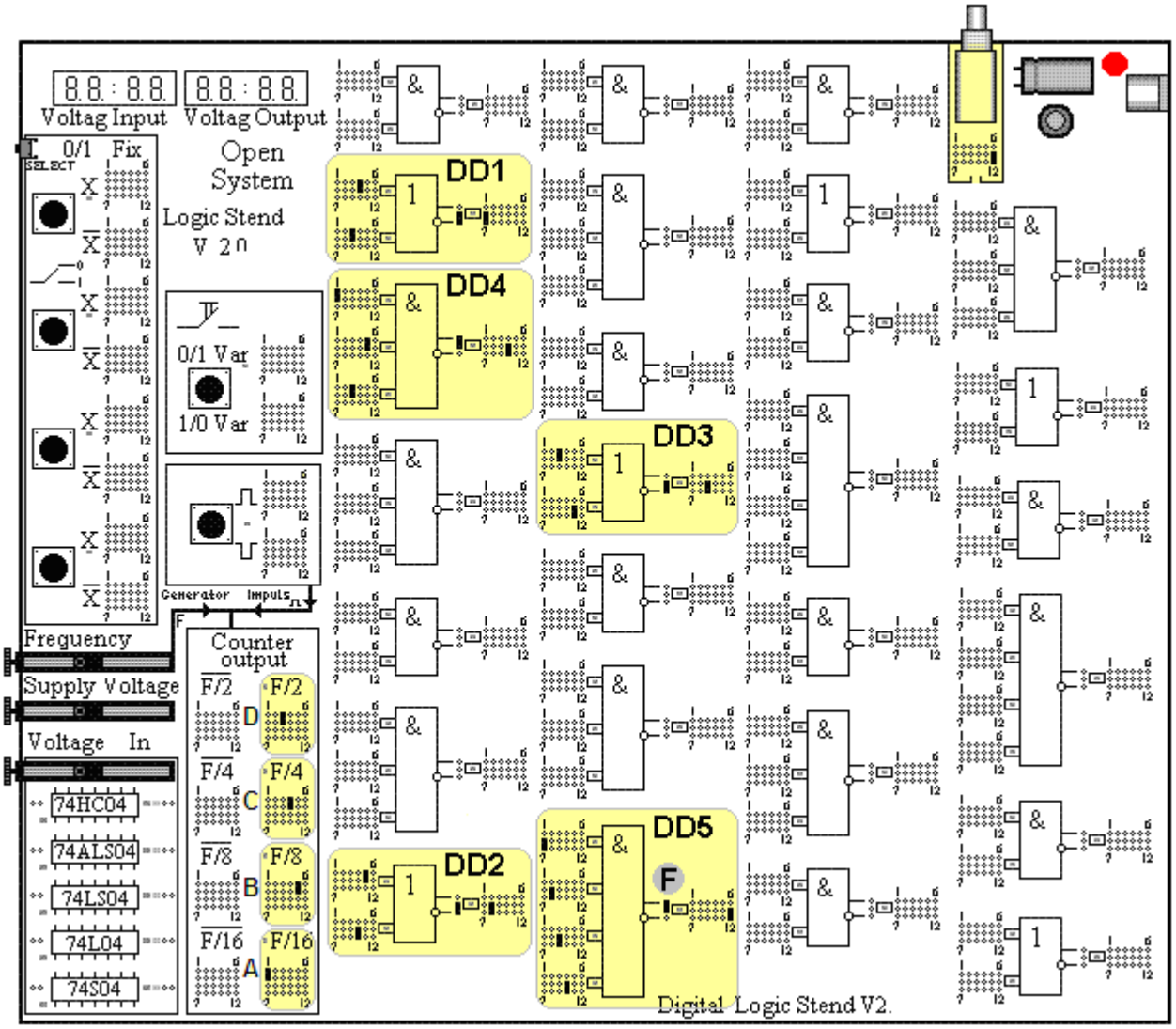


Рисунок 10 - Експериментальна схема для зняття динамічних характеристик

<u>Блок виміру перехідних характеристик</u>.

Блок виміру перехідних характеристик різних серій мікросхем складається з: джерела напруги, яке змінюється в межах від 0 до напруги живлення; вбудованих вольтметрів; п'яти інверторів, світлодіодних індикаторів, що відображують значення напруги (вхідної і вихідної).

Для виміру напруги спрацьовування однієї з п'яти мікросхем в даному блоці спершу необхідно перемичкою замкнути роз'єми, що знаходяться з обох сторін від досліджуваної мікросхеми. Роз’єм, який знаходиться зліва від досліджуваної мікросхеми комутує вхід інвертора з виходом джерела напруги, роз'єм той, що знаходиться справа – вихід інвертора з вольтметром (рис. 11). Вхідна напруга вимірюється безпосередньо від джерела напруги і не залежить від того замкнута перемичка, розташована зліва, чи ні. Значення вхідної і вихідної напруги відображуються на індикаторах “Voltage Input” і “Voltage Output” відповідно. Світлодіоди, розташовані біля кожної з 5-і досліджуваних мікросхем, показують момент спрацьовування (перемикання логічних рівнів).

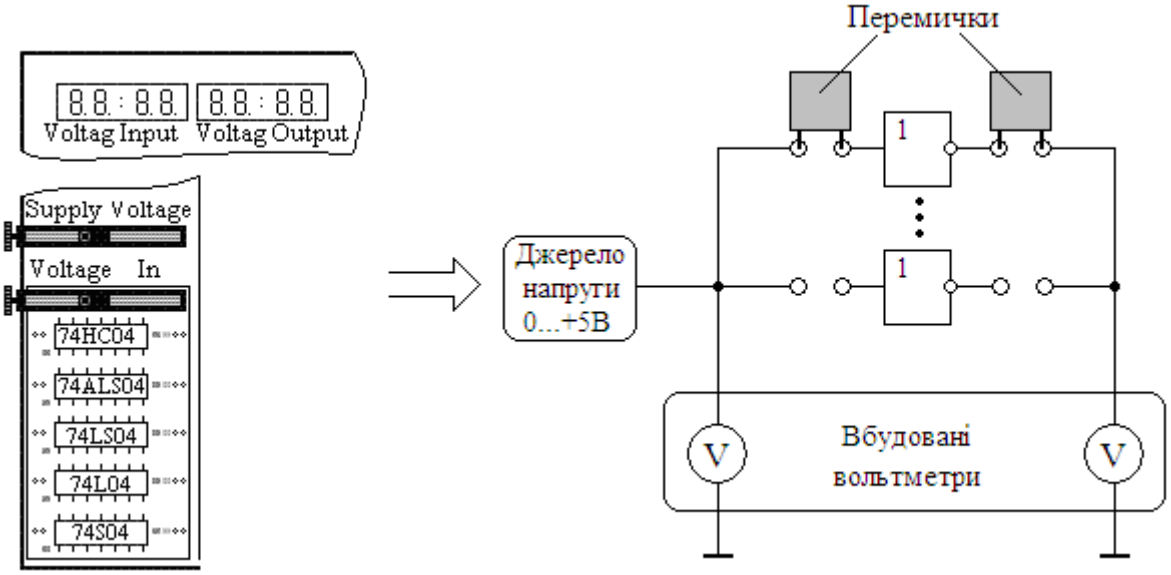


Рисунок 11 – Підключення блоку виміру перехідних характеристик різних серій мікросхем

При включенні стенду в мережу на індикаторі відображується напруга живлення мікросхем. Перед початком дослідження необхідно виставити напругу живлення. Після цього за допомогою кнопки “Select” вибрати, щоб відображувалася вхідна і вихідна напруга. За допомогою резистора “Supply Voltage” виставити напругу живлення мікросхем. Вхідна напруга регулюється змінним резистором “Voltage In”. Змінюючи вхідну напругу фіксуємо рівень вихідної напруги і будуємо перехідні характеристики різних серій мікросхем (рис. 12).

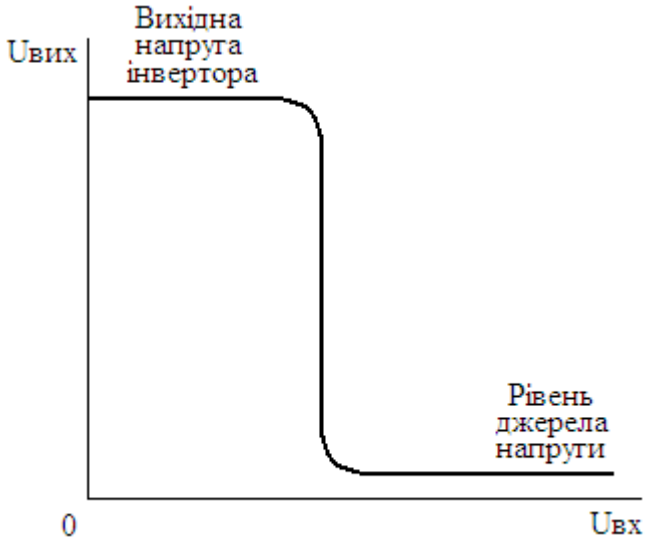


Рисунок 12 - Перехідна характеристика інвертора

Додаток Б

Методичні вказівки до використання лабораторного стенда “TRIGGER”

Навчально-лабораторний стенд “TRIGGER”- програмно-апаратний комплекс, орієнтований для використання у лабораторному практикумі по курсу цифрова схемотехніка. Стенд дозволяє на практиці закріпити теоретичні знання студентів по даному курсу, а також дає повне представлення про принцип роботи тригерів і послідовністних схем на їх основі.

Навчальний стенд “TRIGGER” виконаний у вигляді набірного поля (рис. 1).

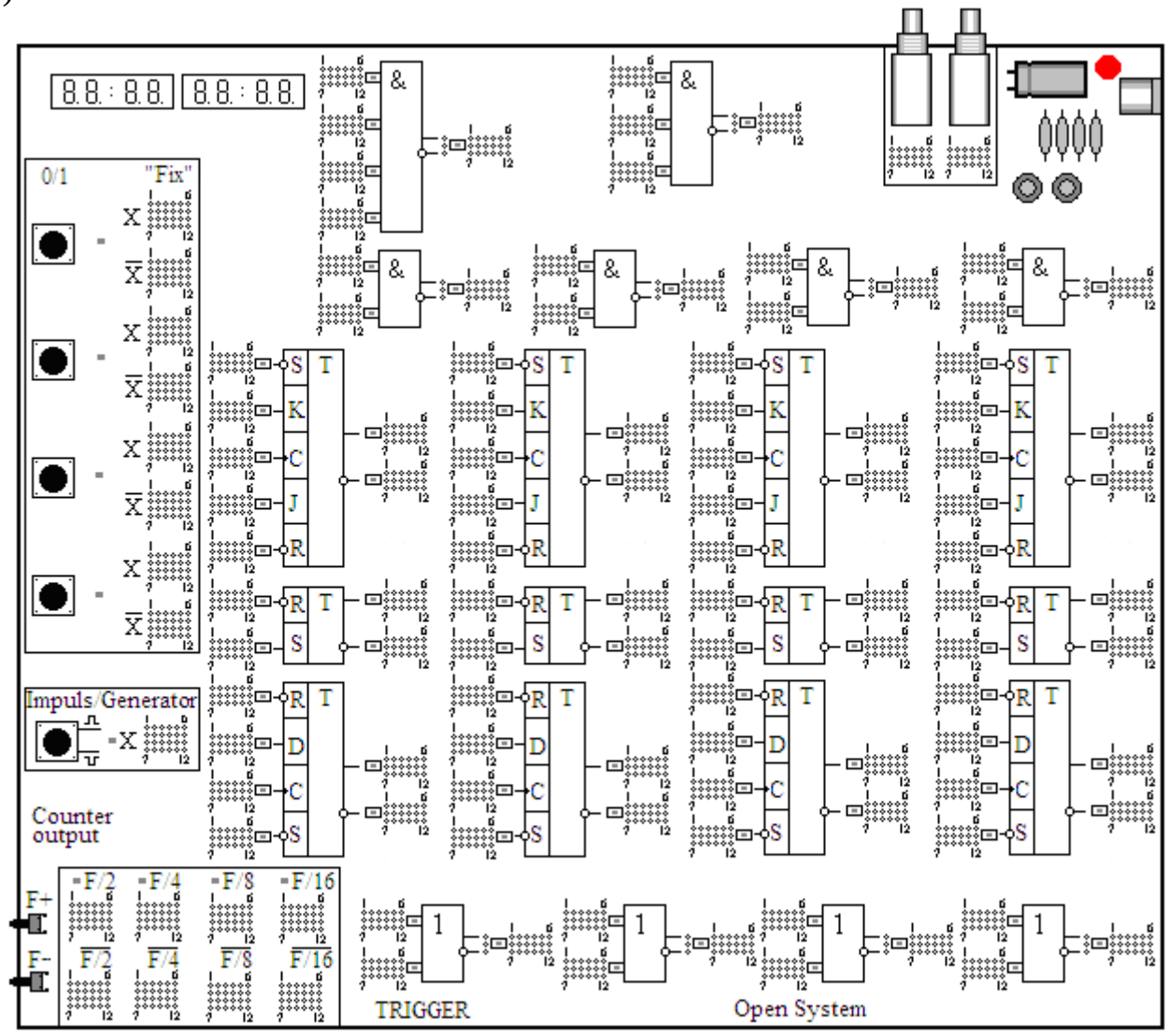


Рисунок 1 - Зовнішній вигляд лабораторного стенду TRIGGER

Стенд включає:

- набор елементів реалізований на мікросхемах серії 74HC**;
- динамічну індикацію у вигляді 2-х чотирьохрозрядних семисегментних індикаторів;
- формувач одиночних імпульсів (одновібратор), керований кнопкою “Impuls/Generator”;
- чотири тригери, керовані кнопками “Fix”;

- генератор прямокутних імпульсів, керований кнопками F+, F-.
- чотирьохрозрядний лічильник імпульсів.
- два роз'єма підключення до осцилографу;
- індикатори логічних рівнів, представлених у вигляді світлодіодів.

Організація внутрішніх зв’язків між окремими блоками лабораторного стенду аналогічна описаній у додатку А.

Блок логічних елементів та блок управління.

Блок представляє сукупність елементарних логічних елементів, комутаційні поля, елементи управління. За допомогою комутаційних полів виконується синтез комбінаційних схем. За допомогою елементів управління на входи логічних елементів і комбінаційних схем подається потрібна послідовність логічних рівнів. Структурна схема даного блоку представлена на рисунку 2.

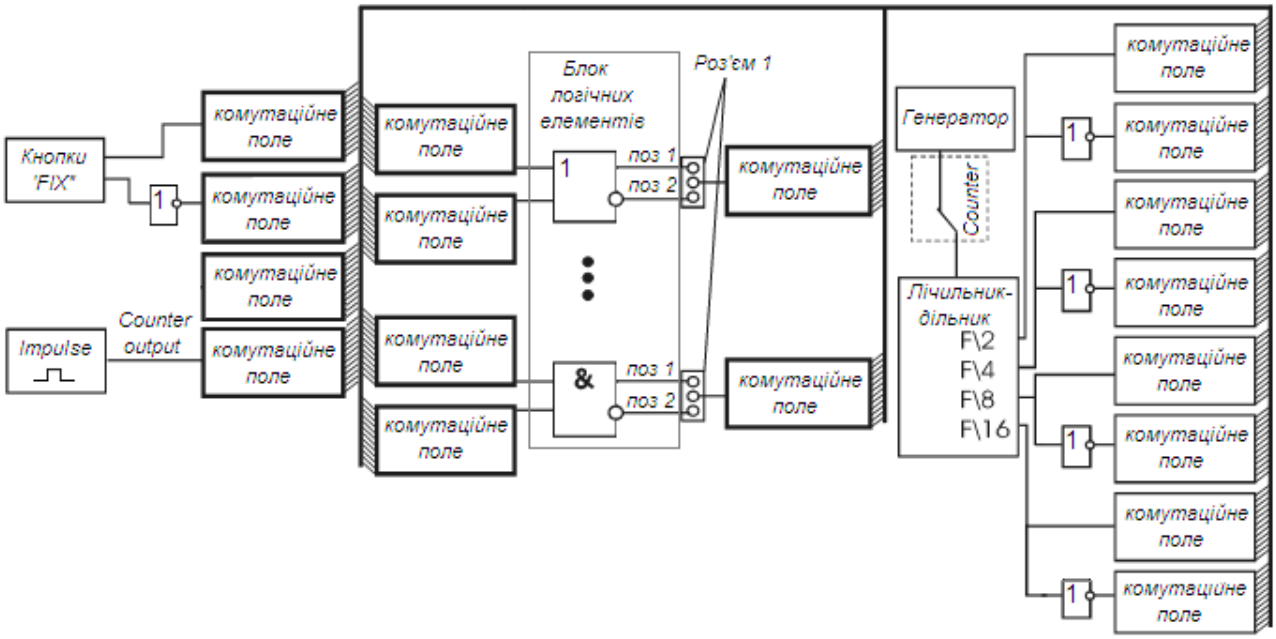


Рисунок 2 - Структурна схема блоку логічних елементів і елементів управління

Роз'єм 1 призначений для вибору інверсного (поз.2) або прямого (поз.1) вихідного сигналу логічного елементу.

Кнопки “Fix” змінюють стан (логічний рівень) на протилежний при кожному натисненні кнопки (за принципом тригера).

Кнопка “Impulse” управляє одновібратором, який формує імпульс тривалістю приблизно 20мс. Імпульс можна подати на вхід будь-якого логічного елементу, за допомогою комутаційного поля, або на лічильник-дільник (Counter output).

За допомогою кнопок F+, F- можна міняти частоту генератора.

Генератор формує прямокутні імпульси, які подаються на лічильник “Counter output”. На комутаційних полях F/2, F/4, F/8, F/16 виставляються

перемички для використання потрібних інформаційних ліній для передачі сигналу.

При тривалому натисненні кнопки “Impulse/Gemerator” можна перемикати режим між генератором прямокутних імпульсів і лічильником імпульсів.

Робота з стендом.

Розглянемо приклад побудови двійково-десяткового лічильника.

Двійково-десяткові лічильники мають $K_{рах.} = 10$. Їх синтезують на основі чотирьохрозрядного лічильника, виключаючи $N = 2^m - K_{рах.} = 16 - 10 = 6$ надлишкових станів. Синтез двійково-десяткового лічильника можливо здійснити відповідно до таблиці станів (табл. 1).

Таблиця 1 – Таблиця станів двійково-десяткового лічильника

n	$Q4^n$	$Q3^n$	$Q2^n$	$Q1^n$	$Q4^{n+1}$	$Q3^{n+1}$	$Q2^{n+1}$	$Q1^{n+1}$
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	0	0	0	0

Згідно з картами Карно для функцій переходів тригерів кожного розряду, картами Карно для кожного входу тригерів (використовуючи словник переходів JK – тригера) функції входів лічильника мають вигляд:

$$J1 = 1; \quad J2 = \overline{Q}4Q1; \quad J3 = Q2Q1; \quad J4 = Q3Q2Q1$$

$$K1 = 1; \quad K2 = \overline{Q}4Q1; \quad K3 = Q2Q1; \quad K4 = Q1$$

Схема двійково-десяткового лічильника з $K_{рах.} = 10$ на JK – тригерах представлена на рисунку 3.

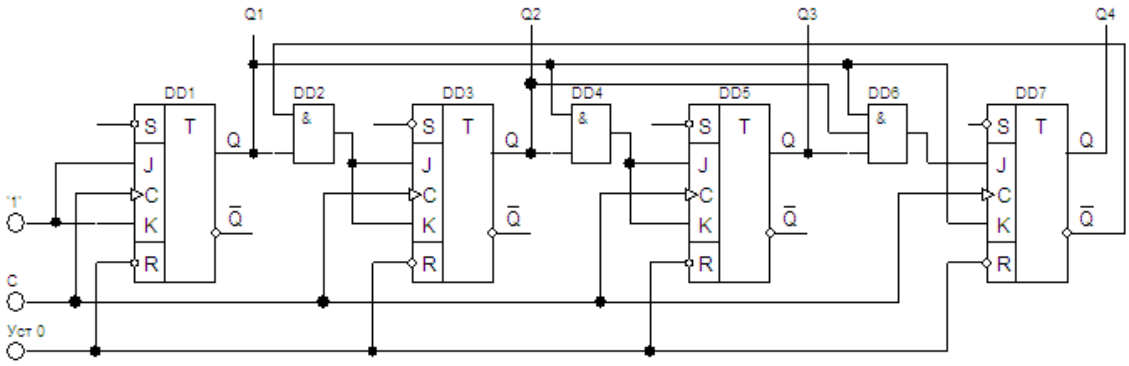


Рисунок 3 - Схема двійково-десяткового лічильника

Зовнішній вигляд експериментальної схеми на лабораторному стенді TRIGGER представлено на рисунку 4.

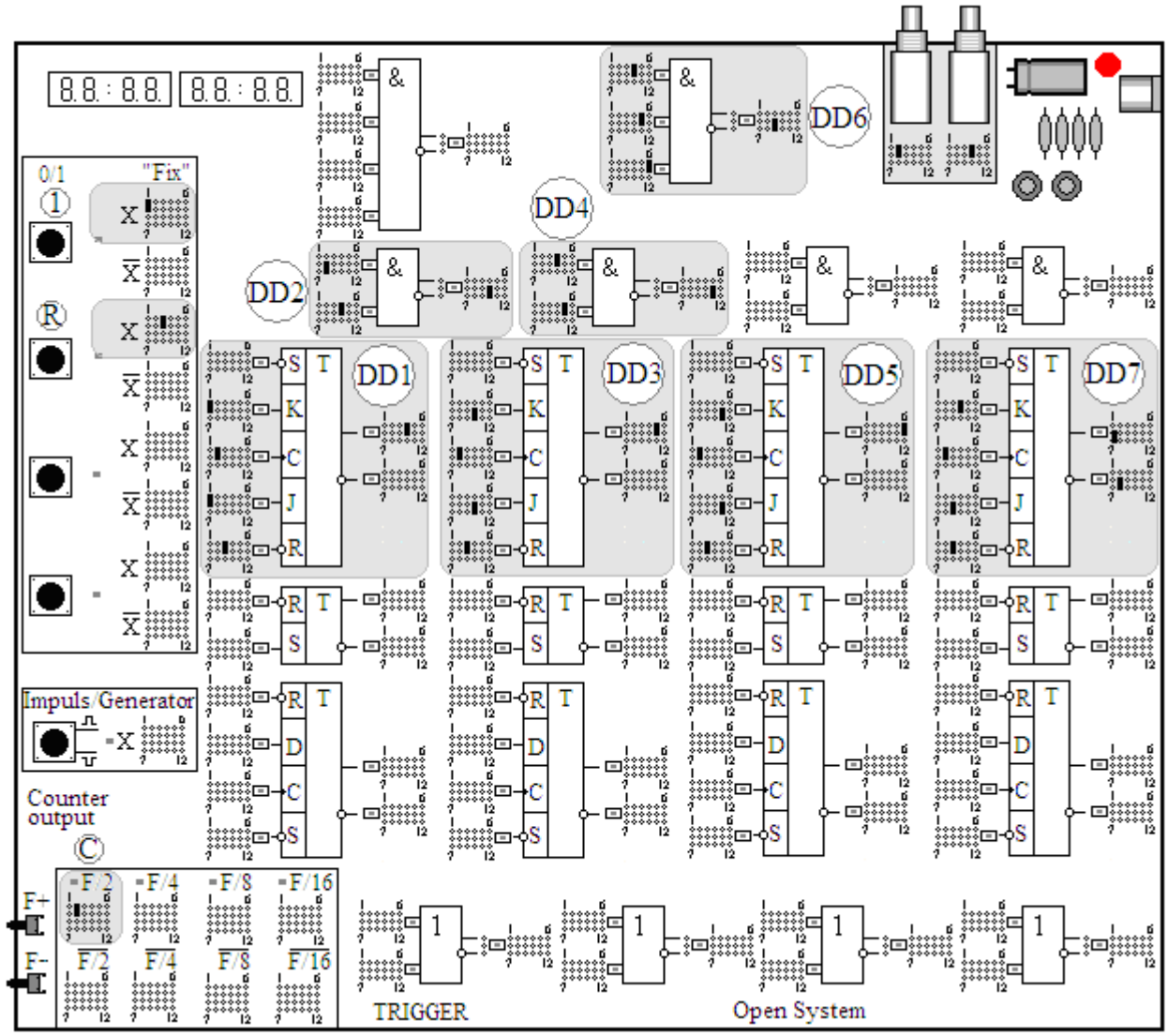


Рисунок 4 - Експериментальна схема двійково-десяткового лічильника на лабораторному стенді TRIGGER

Література, інформаційні джерела

Перелік використаної літератури

1. Цифрова схемотехніка : підручник / Л. Л. Верьовкін, М. В. Світанько, Є. М. Кісельов та ін. Запоріжжя : ЗДІА, 2016. 214 с.

2. Рябенький В. М., Жуйков В. Я., Гулий В. Д.. Цифрова схемотехніка : навч. посіб. Львів : Новий Світ-2000, 2019. 736 с.

3. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. / О. В. Задерейко, Н. І. Логінова, О. Г. Трофименко та ін. Одеса : Фенікс, 2021. 163 с. URL: https://hdl.handle.net/11300/14473 (дата звернення: 01.08.2025).

4. Бойко В. І., Гуржій А. М., Жуйков В. Я. Основи схемотехніки електронних систем : підручник. Київ : Вища шк., 2004. 527 с.

5. Мікросхемотехніка : підручник / І. І. Гельжинський, Р. Л. Голяка, З. Ю. Готра та ін. Львів : Ліга-Прес, 2015. 492 с.

Перелік рекомендованої літератури

1. Мікропроцесорна техніка : підручник / В. В. Ткачов, С. М. Проценко, М. В. Козарь та ін. Дніпро : НТУ «ДП», 2021. 235 с.

2. Бабіч М. П., Жуков І. А. Комп'ютерна схемотехніка : навч. посіб. Київ : МК-Прес, 2004. 412 с.

3. Дудикевич В. Б., Кеньо Г. В., Петрович І. В. Електроніка та мікросхемотехніка : навч. посіб. Ч. І Електроніка. Львів : Вид-во Львівської політехніки, 2010. 204 с.

4. Лукащук Л. О. Схемотехніка логічних та послідовністних схем : навч. посіб. Львів : Вид-во Нац. ун-ту «Львівська політехніка», 2004. 116 с

5. Самофалов К. Г. Прикладна теорія цифрових автоматів. Київ : Вища школа, 1987. 344 с.

6. Нікольський Ю. В., Пасічник В. В., Щербина Ю. М. Дискретна математика : підручник. Львів : Магнолія, 2007. 608 с.

7. Воробйова О. М., Іванченко В. Д. Основи схемотехніки Ч. 2. : навч. посіб. Одеса : ОНАЗ ім. О. С. Попова, 2004. 172 с.

8. Бондаренко М. Ф., Білоус Н. В., Руткас А. Г. Комп'ютерна дискретна математика : підручник. Харків : Компанія СМІТ, 2004. 480 с.

9. Czerwinski R., Kania D. Finite State Machine Logic Synthesis for Complex Programmable Logic Devices. Berlin : Springer, 2013. 172 p.

10. Roger Tokheim, Patrick Hoppe. Digital Electronics : Principles and Applications. 9th edition. New York, USA : McGraw Hill LCC, 2022. 576 p.

Перелік інформаційних джерел

1. Наукова бібліотека Запорізького національного університету. URL: http://library.znu.edu.ua/8080/library/DocSearchForm; jsessionid=AD3371EE9111A5A76FA4571E09EC6C17 (дата звернення: 01.08.2025)

2. Система електронного забезпечення навчання ЗНУ. URL: https://moodle.znu.edu.ua/course/view.php?id=8576 (дата звернення: 01.08.2025)

3. Електронний архів наукових та освітніх матеріалів КПІ ім. Ігоря Сікорського. Факультет електроніки. URL: https://ela.kpi.ua/handle/123456789/66 (дата звернення: 01.08.2025).

4. Електронний архів наукових та освітніх матеріалів КПІ ім. Ігоря Сікорського. Радіотехнічний факультет. URL: https://ela.kpi.ua/handle/123456789/61(дата звернення: 01.08.2025).

5. Інституційний репозитарій Тернопільського національного технічного університету ім. Івана Полюя. URL: http://ehttps://elartu.tntu.edu.ua (дата звернення: 01.08.2025).

Навчально- методичне видання
(українською мовою)

Верьовкін Леонід Леонідович,
Світанько Микола Вікторович
Критська Тетяна Володимирівна

ЦИФРОВА СХЕМОТЕХНІКА

Методичні рекомендації до лабораторних занять
для здобувачів ступеня вищої освіти бакалавра спеціальності
G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка»
освітньо-професійної програми
«Мікро- та наносистемна техніка»

Рецензент *В. Л. Коваленко*
Відповідальний за випуск *Т. В. Критська*
Коректор *Я. О. Коваленко*