МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІНЖЕНЕРНИЙ НАВЧАЛЬНО-НАУКОВИЙ ІНСТИТУТ
ім. Ю. М. ПОТЕБНІ

Кафедра електроніки, інформаційних систем
та програмного забезпечення
(повна назва кафедри)

Кваліфікаційна робота

перший бакалаврський
(рівень вищої освіти)

на тему *Розробка багатоканальної мікроелектронної системи оцінки параметрів цифрової інформації*

Виконав: студент (ка) *IV* курсу, групи *6.1763-с2*

Спеціальності *176 (153) Мікро- та наносистемна техніка*
(код і назва спеціальності)

освітньої програми *Мікро- та наносистемна техніка*
(код і назва освітньої програми)

А. А. Кігітов
(ініціали та прізвище)

Керівник *доцент кафедри ЕІСПЗ, доцент, к.т.н.*
Верьовкін Л. Л.
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Рецензент *професор кафедри електричної інженерії та кіберфізичних систем, професор, д.т.н.*
Коваленко В. Л.
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

м. Запоріжжя
2026

МІНІСТЕРСТВО НАУКИ І ОСВІТИ УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІНЖЕНЕРНИЙ НАВЧАЛЬНО-НАУКОВИЙ ІНСТИТУТ
ім. Ю. М. ПОТЕБНІ

Кафедра *електроніки, інформаційних систем та програмного забезпечення*
Рівень вищої освіти *перший (бакалаврський)*
Спеціальність *176 (153) Мікро- та наносистемна техніка*
(код і назва)

Освітня програма *Мікро- та наносистемна техніка*
(код і назва)

Спеціалізація _____

ЗАТВЕРДЖУЮ
Завідувач кафедри *ЕІСПЗ*
Критська Т. В.
“ *12* ” *червня* 20 *26* року

З А В Д А Н Н Я
НА КВАЛІФІКАЦІЙНУ РОБОТУ СТУДЕНТОВІ

Кігітову Андрію Андрійовичу
(прізвище, ім’я, по батькові)

1. Тема роботи *Розробка багатоканальної мікроелектронної системи оцінки параметрів цифрової інформації*
керівник роботи *Верьовкін Леонід Леонідович, доцент, к.т.н.*
(прізвище, ім’я, по батькові, науковий ступінь, вчене звання)
затверджені наказом ЗНУ від *“23”грудня 2025 року №1830-с*
2. Строк подання студентом роботи *12 червня 2026 року*
3. Вихідні дані до роботи *Обрати систему контролю параметрів цифрової інформації*
4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити): *Дослідження логічних аналізаторів для діагностування цифрових пристроїв. Розробка багатоканального сигнатурного аналізатора параметрів цифрової інформації. Охорона праці та техногенна безпека.*
5. Перелік графічного матеріалу (з точним зазначенням обов’язкових креслень) *Структурна схема сигнатурного аналізатора. Аналіз функціонування схеми сигнатурного аналізатора. Загальна схема багатоканального сигнатурного аналізатора параметрів цифрової інформації*

6. Консультанти розділів роботи

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата завдання прийняв
I	*Верьовкін Л. Л., доцент*	
II	*Верьовкін Л. Л., доцент*	
III	*Верьовкін Л. Л., доцент*	

7. Дата видачі завдання _____*09.02.2026 року*_____

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів кваліфікаційної роботи бакалавра	Строк виконання етапів роботи	Примітка
1	*Дослідження сучасних логічних тестерів аналізаторів*	*28.02.2026*	
2	*Дослідження схем тестового діагностування цифрових схем*	*21.03.2026*	
3	*Моделювання сигнатурного аналізатора*	*04.04.2026*	
4	*Синтез шістнадцятирозрядного регістра зсуву*	*25.04.2026*	
5	*Моделювання елементів схеми одноканального сигнатурного аналізатора*	*08.05.2026*	
6	*Розробка схеми багатоканального сигнатурного аналізатора параметрів цифрової інформації*	*20.05.2026*	
8	*Охорона праці та техногенна безпека*	*23.05.2026*	
9	*Оформлення пояснювальної записки*	*10.06.2026*	
10	*Рецензування, нормоконтроль, підписання роботи*	*12.06.2026*	
11	*Оприлюднений захист бакалаврської роботи*	*19.06.2026*	

Студент _____ _____*Кігітов А. А.*_____
(підпис) (прізвище та ініціали)

Керівник роботи (проекту) _____ _____*Верьовкін Л. Л.*_____
(підпис) (прізвище та ініціали)

Нормоконтроль пройдено
Нормоконтролер _____ _____*Верьовкін Л. Л.*_____
(підпис) (прізвище та ініціали)

Реферат

Дипломна робота містить 75 сторінок, 37 рисунків, 7 таблиць, 13 джерел літератури.

Об’єкт дослідження – мікроелектронні системи оцінки параметрів цифрової інформації.

Мета роботи – розробка мікроелектронного багатоканального сигнатурного аналізатора параметрів цифрової інформації.

Задачі роботи – розробити структурну схему сигнатурного аналізатора; розробити схему одноканального сигнатурного аналізатора; розробити схему багатоканального сигнатурного аналізатора параметрів цифрової інформації

Методика досліджень – моделювання пристрою за допомогою програмних забезпечень Electronics Workbench 5.12, SPlan 5.0.

Короткий виклад результатів досліджень – розроблена схема багатоканального сигнатурного аналізатора параметрів цифрової інформації дозволяє спостерігати двійкові послідовності великої довжини та забезпечує високу достовірність діагностування.

Результати впроваджень – макет електронного приладу пройшов випробовування на кафедрі ЕІСПЗ.

Прогнозні пропозиції – рекомендується подальша дослідницька робота по збільшенню розрядності сигнатури.

.

АНАЛІЗАТОР, СИГНАТУРА, СИГНАЛ, МІКРОСХЕМА, ПОСЛІДОВНІСТЬ, РЕГІСТР, ІНДПКАТОР

Дипломну роботу виконано на кафедрі електроніки, інформаційних систем та програмного забезпечення, з 09.02.2026 по 10.06.2026.

Зміст

Стор.

Вступ …….. 6

1 Дослідження логічних аналізаторів для діагностування цифрових пристроїв ……..……. 8

1.1 Логічні тестери аналізатори ……..… 9

1.2 USB логічний аналізатор ……...……. 11

1.3 Контрольні автомати …….. 12

1.4 Тестове діагностування цифрових схем ……..……. 15

1.5 Логічні пробники ……..….. 18

1.6 Логічні пульсатори ……. 20

1.7 Структура логічного аналізатора …….. 22

1.8 Класифікація логічних аналізаторів ……. 24

2 2 Розробка багатоканального сигнатурного аналізатора параметрів цифрової інформації ……. 28

2.1 Метод сигнатурного аналізу …….. 28

2.2 Моделювання сигнатурного аналізатора ……. 29

2.2.1 Синтез шістнадцятирозрядного регістра зсуву ……...……. 30

2.2.2 Застосування регістра зсуву в схемі сигнатурного аналізатора …. 33

2.2.3 Структурна схема сигнатурного аналізатора …… 37

2.3 Моделювання елементів схеми одноканального сигнатурного аналізатора …….. 40

2.3.1 Моделювання генератора тактових імпульсів …….. 42

2.4 Схема багатоканального сигнатурного аналізатора параметрів цифрової інформації ……. 48

2.4.1 Схема індикації сигнатури зафіксованої в аналізаторі …… 51

3. Охорона праці та техногенна безпека …… 60

3.1 Характеристика потенційних небезпечних та шкідливих виробни-

чих факторів ……. 60
3.2 Заходи з поліпшення умов праці …… 61
3.3 Виробнича санітарія …….. 64
3.4 Електробезпека …… 66
3.5 Пожежна та техногенна безпека …… 68
3.6 Розрахунок захисного заземлення …… 69
Висновки та рекомендації …… 73
Перелік посилань …….. 74

Вступ

Широке поширення радіоелектронних пристроїв із застосуванням цифрової обробки сигналів зумовлює підвищений інтерес до питань діагностування їх технічного стану. Одним із різновидів діагностування цифрових вузлів і блоків є контрольні автомати, застосування яких на етапі проектування та виготовлення цифрових пристроїв дає змогу визначити правильність їх функціонування і здійснити процедуру пошуку несправностей [1].

Складність сучасних пристроїв та особливості технологій їх виготовлення обмежують застосування наявних методів діагностування, вимагаючи пошуку певних компромісів.

На різних етапах проектування та налагодження цифрових систем використовуються такі спеціалізовані апаратні засоби: логічні аналізатори, осцилографи змішаних сигналів, різні види плат розвитку, схемні симулятори і емулятори, налагоджувальні комплекси, емулятори пам’яті, програматори.

Логічний аналізатор (англ. Logic Analyzer) – електронний прилад, який може записувати і відображати послідовності цифрових сигналів. Він може використовуватись для тестування і відладки цифрових електронних схем, наприклад при проектуванні компонентів комп'ютерів та управляючих електронних пристроїв.

Логічні аналізатори можна розділити на два основних типи: аналізатори мікропроцесорних систем на програмному рівні опису (embedded microprocessor software debug applications) - аналізатори станів (state analyzer) та аналізатори цифрових систем на логічному та часовому рівні (hardware debug applications) - аналізатори часових співвідношень (timing analyzer).

При проведенні тестової діагностики виникає складність у визначенні еталонних реакцій при діагностуванні існуючих схем, у визначенні оптимального числа контрольних точок для зняття вихідної реакції цифрової діагностуємої схеми [2].

У режимі відображення часових діаграм аналізатор функціонує як багатоканальний цифровий осцилограф та відображає двійкові сигнали станів.

Логічний аналізатор – повністю цифровий прилад, який має в своєму складі швидкодіючий буферний оперативний запам’ятовуючий пристрій (ОЗП). Логічні сигнали в досліджуваних точках із заданою частотою дискретизації реєструються в буферному ОЗП. Після того, як реєстрація зупинена, дані, збережені в буферному ОЗП, передаються в пам'ять управляючого комп'ютера, для відображення на екрані монітора у вигляді часової діаграми або таблиці станів.

Сигнатурний логічний аналізатор – це діагностичний прилад, який використовує метод стиснення довгих послідовностей цифрових сигналів у коротку комбінацію символів, яка називається «сигнатурою». Цей був впроваджений компанією Hewlett-Packard для ремонту складної мікропроцесорної техніки без використання осцилографів.

Актуальною являється розробка багатоканальної мікроелектронної системи оцінки параметрів цифрової інформації методом сигнатурного аналізу, виконаного у вигляді автономного пристрою.

1 Дослідження логічних аналізаторів для діагностування цифрових пристроїв

З появою цифрових систем, зокрема, мікропроцесорів, постала задача їх відлагодження і діагностування. Для цієї мети використовувався прилад, що називається логічним аналізатором, завдання якого зводилося до фіксації цифрових послідовностей сигналів, їх візуалізації і аналізу. Традиційні цифрові пристрої, наприклад мікропроцесори, також не стоять на місці, обумовлюючи вдосконалення логічних аналізаторів. Засоби діагностування виявилися необхідними не тільки розробникові, але і користувачеві. Відповідно до цього інтерфейс логічних аналізаторів придбав більш інформаційний вигляд, а самі прилади стали випускатися не для конкретних цілей, а для широкого спектру завдань, збільшуючи тим самим функціональні можливості аналізаторів [1].

Логічний аналізатор є комбінацією багатоканального реєстратора двійкових сигналів, побудованого на базі швидкодіючого запам’ятовуючого пристрою з розвиненою системою управління процесом запису даних, і екранного пульта-дисплея, який відображає записану в пам’ять інформацію у формі, що є зручною для аналізу.

Для одержання інформації про технічний стан цифрової мікросхеми використовують тести. Під тестом розуміють сукупність вхідних впливів, які подаються у певному порядку і відповідних впливах реакції справного об'єкта, які називаються еталонами. Стосовно до цифрових мікросхем тестом називають послідовність векторів (наборів) вхідних сигналів. Тестовий експеримент полягає в подачі на цифрову мікросхему, яка перевіряється, вхідних впливів, отримання реакції і порівнянні її з еталоном. Під тестером розуміється пристрій від найпростішого вольтметра до спеціалізованої робочої станції, оснащеної можливістю використання для аналізу ЕОМ.

Для відладки і тестування цифрових систем використовуються логічні тестери аналізатори (ЛТА), завдання яких зводиться до фіксації цифрових послідовностей сигналів, їх візуалізації і аналізу.

Тестер для перевірки цифрових систем – це апаратний або програмний інструмент, призначений для діагностики працездатності логічних схем, мікроконтролерів та інтерфейсів. Він фіксує відповідність вхідних сигналів очікуваним вихідним значенням, виявляє пошкодження, такі як обриви, замикання або логічні помилки, використовуючи методи функціонального тестування.

1.1 Логічні тестери аналізатори

Логічні тестери аналізатори характеризуються числом каналів, ємкістю пам'яті на канал, частотою запису, способами синхронізації і запуску, формами представлення даних. Для визначення значень сигналів ЛТА використовують компаратори, за допомогою яких з'ясовується, вище або нижче вхідний сигнал заданого порогового рівня. Якщо сигнал перевищує поріг, його рівень визначається як високий, якщо нижче за поріг, то низький (рис. 1.1).

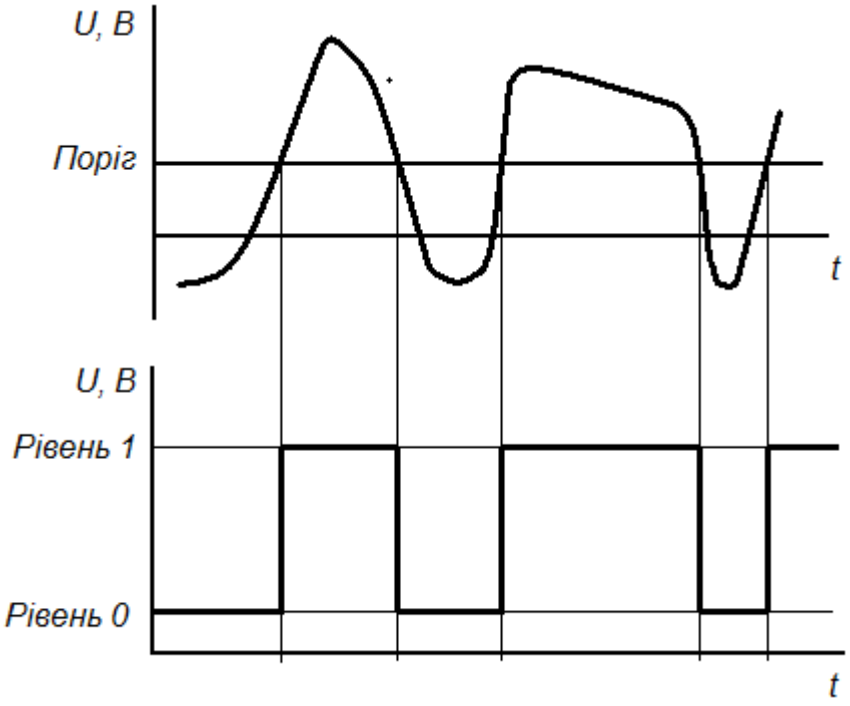


Рисунок 1.1 – Визначення значень сигналів ЛТА

Порогова напруга компараторів, як правило, може регулюватися (в основному від –10 до +10 В). Підключення ЛТА вимагає доступу до ділянок цифрового пристрою (наприклад, виводам мікросхем або трасам плати). Аналізатори забезпечуються спеціальними щупами і затисками. Основна вимога – мінімізація впливу приладу на випробовуваний пристрій. ЛТА повинні володіти високим вхідним опором (приблизно 1 МОм) і малою вхідною ємкістю (порядку 10 … 25 пФ). Для забезпечення цих вимог компаратори логічних рівнів розробляться виносними [2].

Запис інформації в ЛТА відбувається по тактових сигналах. У тому випадку, коли тактові сигнали поступають від внутрішнього генератора незалежно від випробовуваного об'єкту, реалізується асинхронний режим запису даних. Якщо для синхронізації роботи ЛТА використовуються сигнали випробовуваного об'єкту, то реалізується синхронний режим запису даних. При цьому значення можуть записуватися фронтом або зрізом тактового сигналу. Вибірковий запис інформації реалізується за допомогою кваліфікаторів – окремих каналів, які не фіксуються в пам'яті, але визначають можливість запису вхідних даних в пам'ять [1]. Це дозволяє економити об'єм вільної пам'яті.

У реальних системах можуть виникати імпульси і сплески, тривалість яких менше тривалості тактового сигналу. Такі помилкові сигнали вважаються перешкодами. Існує два способи виявлення перешкод: збільшення тактової частоти в асинхронному режимі і вживання «пасток». У першому випадку перешкоди фіксуються і візуалізуються як дані, в другому випадку перешкоди фіксуються окремо від основних даних і візуалізуються не як біти даних, а як помилкові сигнали. Основну різноманітність до сімейства логічних аналізаторів вносять способи запуску і форми представлення даних.

Тестове діагностування застосовується на етапі проектування та виготовлення цифрових пристроїв. Воно дає змогу визначити правильність їх функціонування і здійснити процедуру пошуку несправностей.

1.2 USB логічний аналізатор

Під час пошуку складних несправностей у дискретних пристроях виникає необхідність одночасного спостереження кількох сигналів поведінки схеми (одноразових і аперіодичних). Таку змогу дає USB логічний аналізатор (рис. 1.2).

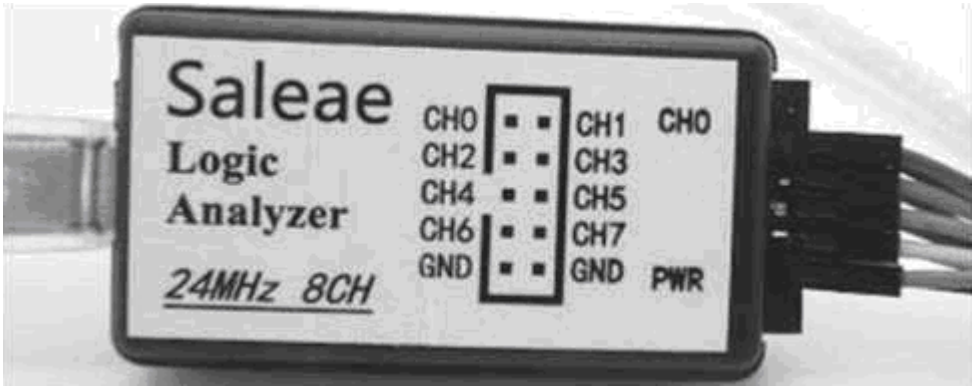


Рисунок 1.2 - 8-канальний USB логічний аналізатор

USB логічний аналізатор є комбінацією багатоканального реєстратора двійкових сигналів, побудованого на базі швидкодіючого запам'ятовуючого пристрою з розвиненою системою управління процесом запису даних, і дисплея, який відображає записану в пам'ять інформацію у формі, яка є зручною для аналізу [1].

Логічні аналізатори можна розділити на два основних типи: аналізатори станів та аналізатори цифрових систем на логічному та часовому рівні.

Для налагодження мікропроцесорних систем треба зафіксувати логічний стан, який передається по системній магістралі та ідентифікувати інформацію (дані, команди або сигнали керування). Для цього вхідні канали аналізатора розбиваються на дві або три групи. Одна група каналів записує адреси, друга - дані, третя - команди та коди керування.

Найбільш поширеною формою представлення цих ЛА є часові діаграми та таблиці станів.

Однією з доступних на вітчизняному ринку є продукція компанії «Saleae», яка пропонує цілий ряд логічних аналізаторів на базі персонального

комп’ютера із числом каналів від 4 до 16 і швидкістю запису до 500 МГц. Налаштування системи та візуалізація отриманої інформації виконується програмною оболонкою «Saleae Logic».

Робота з 8-канальним USB логічним аналізатором можлива тільки після установки програмного забезпечення. Після підключення до вільного USB порта персонального комп’ютера зеленим кольором загорається світлодіод PWR. Logic Analyzer забезпечує частоту опитування 24 МГц на кожен канал, якщо на шині USB відсутні інші пристрої та комп’ютер має достатню продуктивність. Якщо USB-контролер обслуговує інші пристрої, то частота опитування знижується до 16 МГц або 12 МГц. Після запуску програмного забезпечення «Saleae Logic» на екран виводиться основне вікно аналізатора, на якому присутнє поле діаграми з вісями даних для 8 каналів та мітками часу, кнопки вибору бажаного об’єму вибірки та частоти опитування каналів.

1.3 Контрольні автомати

Контрольні автомати являються широким класом комбінаційних схем, призначених для перевірки закодованої інформації, яка передається або приймається в системах зв'язку або для перевірки правильності функціонування складних багатотактних пристроїв.

В цифрових автоматичних пристроях можуть виникати помилки, які призводять до спотворення інформації. Тому при проектуванні цифрових пристроїв застосовують контрольні автомати, які призначені для виявлення помилок. В основі роботи таких автоматів лежить використання контролюючих та коригуючи кодів. Вирішення всіх проблем контролю можливе лише за наявності певної надлишкової інформації, яка супроводжує основну інформацію. Як відомо для представлення числа в у будь-якому коді, при кодуванні інформації, необхідно доповнити її додатковими, контрольними бітами в цьому коді.

Для перевірки правильності функціонування складних багатотактних пристроїв, схеми контролю доповнюють основний дискретний пристрій з метою фіксації правильності його роботи.

Як схеми контролю виступають тестери. Тестер призначений для встановлення факту приналежності кодового вектора, який приймається, деякому даному коду.

Для синтезу тестера застосовується стандартна методика розрахунку схем комбінаційного типу [3].

Тестер для коду з постійною вагою «2 з 5» має п'ять входів A, B, C, D, E і два виходи F1, F2. На входи тестера поступають кодові вектори {ABCDE}. На виходах тестера формуються парафазні сигнали {0 1} і {1 0} в разі, якщо на входах присутній кодовий вектор коду з постійною вагою «2 з 5» (кодовий вектор, який містить дві одиниці і три нулі (рис. 1.3).

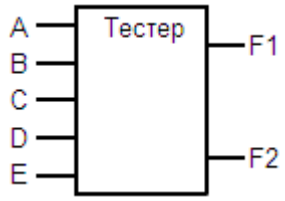


Рисунок 1.3– Тестер коду «2 з 5»

Таблиця істинності має число стовпців, рівне сумі входів і виходів і 2^n рядків, де n – число входів (табл. 1.1). Число рядків таблиці істинності дорівнює $2^5 = 32$. Кожен рядок таблиці істинності відповідає одному з вхідних наборів, причому десятковому номеру рядка відповідає двійковий набір вхідних змінних. Кодові вектори під номерами 0,1, 22 - 31 не подаються, значення вихідних функцій при цьому не визначене.

При складанні таблиці істинності використовувалися наступні твердження: якщо вхідний набір містить дві одиниці – вихідним даним привласнюються значення {0 1} або {1 0} (довільним чином), якщо вхідний набір містить менше або більше двох одиниць – вихідним даним привласнюються значення {0 0} або {1 1} (також довільним чином).

Таблиця 1.1 – Таблиця істинності тестеру коду «2 з 5»

№	A	B	C	D	E	F2	F1
0	0	0	0	0	0	×	×
1	0	0	0	0	1	×	×
2	0	0	0	1	0	0	0
3	0	0	0	1	1	1	0
4	0	0	1	0	0	0	0
5	0	0	1	0	1	1	0
6	0	0	1	1	0	0	1
7	0	0	1	1	1	1	1
8	0	1	0	0	0	0	0
9	0	1	0	0	1	1	0
10	0	1	0	1	0	1	0
11	0	1	0	1	1	0	0
12	0	1	1	0	0	0	1
13	0	1	1	0	1	1	1
14	0	1	1	1	0	0	0
15	0	1	1	1	1	0	0
16	1	0	0	0	0	0	0
17	1	0	0	0	1	1	0
18	1	0	0	1	0	0	1
19	1	0	0	1	1	0	0
20	1	0	1	0	0	0	1
21	1	0	1	0	1	1	1
22	1	0	1	1	0	×	×
23	1	0	1	1	1	×	×
24	1	1	0	0	0	×	×
25	1	1	0	0	1	×	×
26	1	1	0	1	0	×	×
27	1	1	0	1	1	×	×
28	1	1	1	0	0	×	×
29	1	1	1	0	1	×	×
30	1	1	1	1	0	×	×
31	1	1	1	1	1	×	×

Особливість роботи дискретних пристроїв: в разі, якщо які-небудь вхідні набори не подаються, їх значень набувають байдужими (або 0, або 1), а в рядку з вказаним вхідним набором проставляється знак «×». При мінімізації байдужі стани враховуються, що дозволяє отримати простіші функції.

Вихідні функції можуть бути обчислені як по дозволених наборах, на яких вихідні функції дорівнюють 1 (у вигляді ДДНФ), так і по заборонених наборах, на яких вихідні функції дорівнюють 0 (у вигляді ДКНФ). Вибір форми не впливає на кінцевий результат, проте може спростити процедуру об-

чисель. Наприклад, якщо дозволених наборів менше, то простіше виконувати обчислення у вигляді ДДНФ:

$$F1 = \Sigma(6,7,12,13,18,20,21) = \overline{A}\overline{B}CD\overline{E} + \overline{A}\overline{B}CDE + \overline{A}BC\overline{D}\overline{E} + \overline{A}BC\overline{D}E + A\overline{B}\overline{C}D\overline{E} + A\overline{B}C\overline{D}\overline{E} + A\overline{B}C\overline{D}E$$

$$F2 = \Sigma(3,5,7,9,10,13,17,21) = \overline{A}\overline{B}\overline{C}DE + \overline{A}\overline{B}C\overline{D}E + \overline{A}\overline{B}CDE + \overline{A}B\overline{C}\overline{D}E + \overline{A}B\overline{C}D\overline{E} + \overline{A}BC\overline{D}E + A\overline{B}\overline{C}\overline{D}E + A\overline{B}C\overline{D}E$$

Мінімізація по картах Карно представлена на рисунку 1.4.

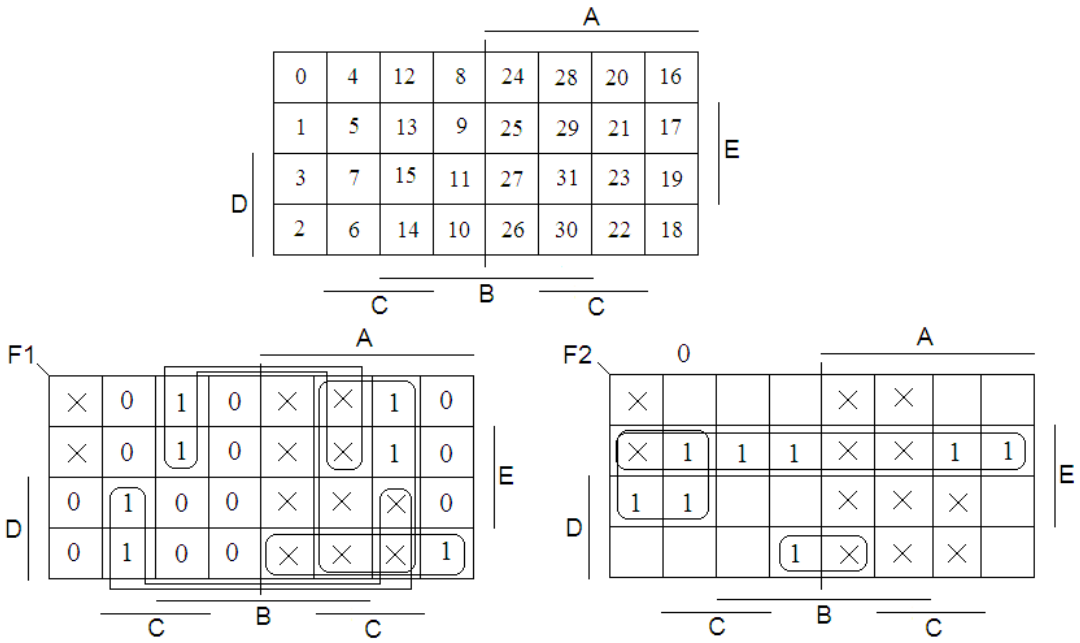


Рисунок 1.4 - Мінімізація вихідних функцій

Випишемо отримані в результаті мінімізації функції виходів:

$$F1 = BC\overline{D} + \overline{B}CD + AC + AD\overline{E}$$

$$F2 = \overline{D}E + \overline{A}\overline{B}E + B\overline{C}D\overline{E}$$

Схема тестера в базисі {І, АБО, НЕ} представлена на рисунку 1.5.

1.4 Тестове діагностування цифрових схем

Проблема тестового діагностування цифрових схем виникає на різних етапах їх виробництва і експлуатації і включає взаємозв'язані завдання. Перша з них полягає у визначенні, в якому стані знаходиться досліджувана схема [4].

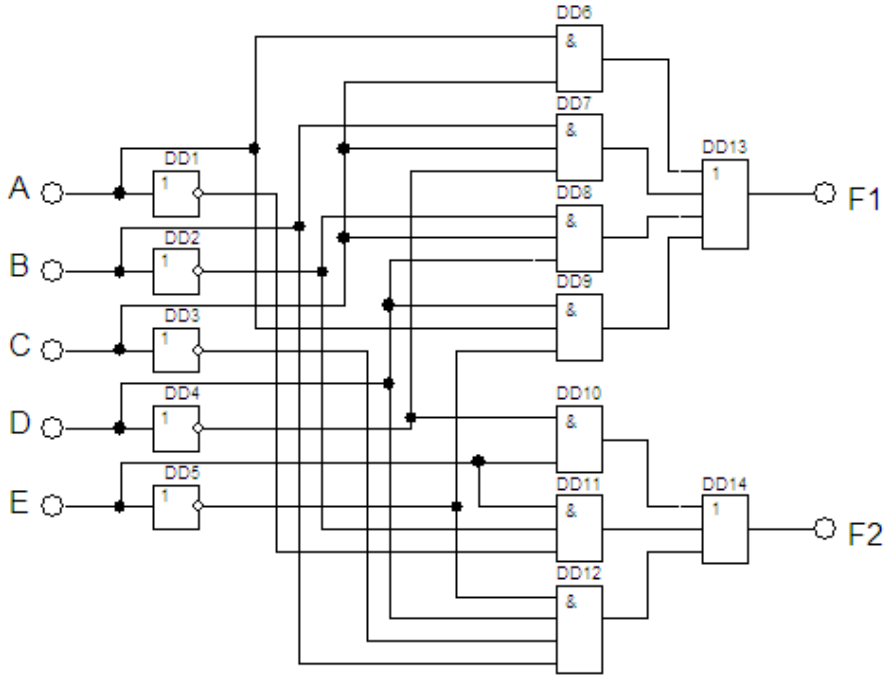


Рисунок 1.5 – Схема тестера коду «2 з 5»

Експериментальна схема тестера представлена на рисунку 1.6.

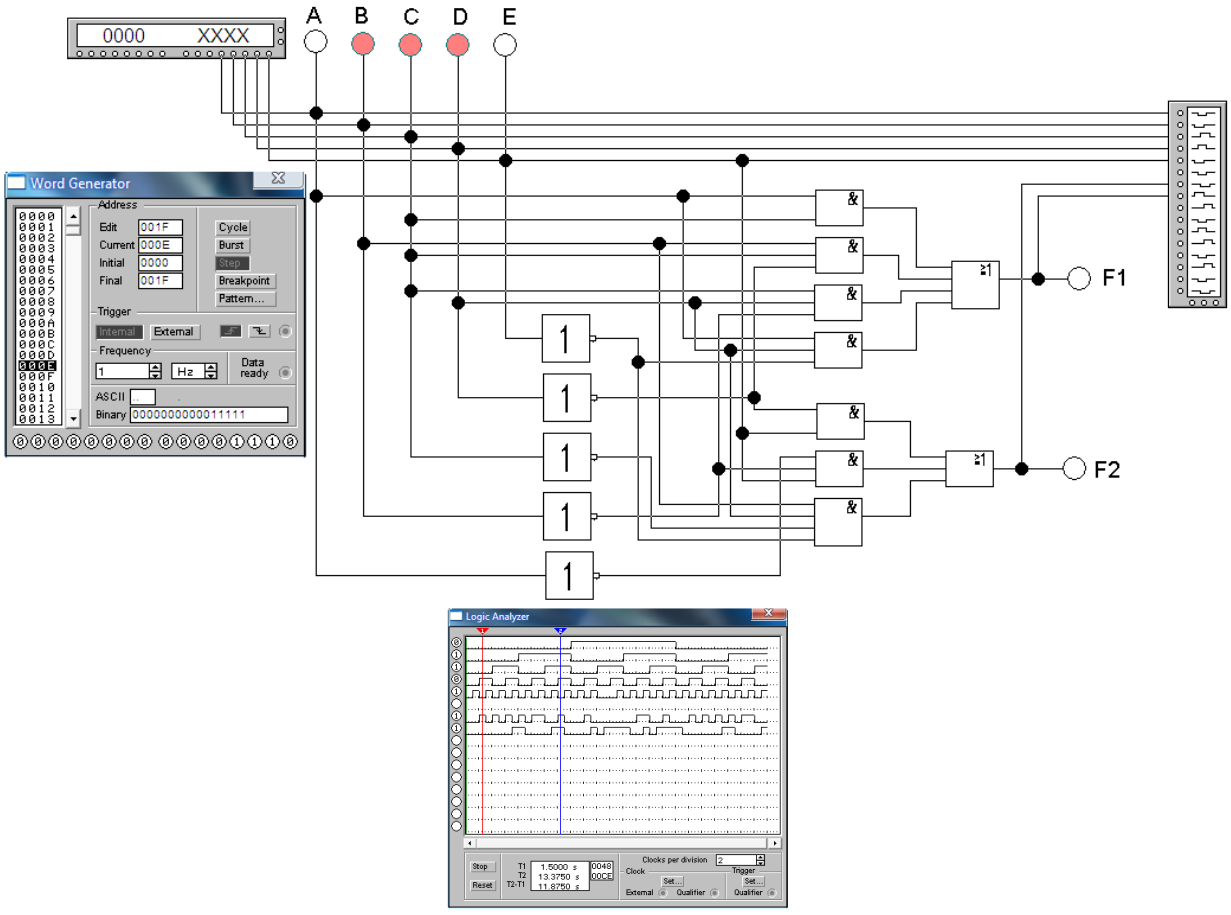


Рисунок 1.6 - Експериментальна схема тестера коду «2 з 5»

Основним станом цифрових схем є справний - це такий технічний стан схеми, при якому вона задовольняє всім вимогам, встановленим технічною документацією. Інакше схема знаходиться в одному з несправних станів.

Якщо встановлено, що цифрова схема несправна, то вирішується друге завдання: здійснюється пошук несправності схеми, мета якого - визначення місця і вигляду несправності.

З безлічі різних видів несправностей виділяється клас логічних несправностей, які змінюють логічні функції елементів цифрової схеми. Для їх опису в більшості випадків використовуються наступні математичні моделі.

1. Константні несправності: константний нуль і константна одиниця, що означає наявність постійного рівня логічного нуля або логічної одиниці на входах і виході несправного логічного елементу.

2. Несправності типа “коротке замикання” (мостикові несправності) з'являються при короткому замиканні входів і виходів логічних елементів і підрозділяються на два види: несправності, викликані коротким замиканням входів логічного елементу, і несправності типа зворотного зв'язку.

3. Інверсні несправності описують фізичні дефекти цифрових схем, що наводять до появи фіктивного інвертора по входу або виходу логічного елементу, що входить в дану схему.

4. Несправності типа “переплутування” полягають в переплутуванні зв'язків цифрової схеми і викликаються помилками, що виникають при проектуванні і виробництві цифрових схем, які змінюють функції, що виконуються схемою.

Класична стратегія тестування цифрових схем заснована на формуванні тестових послідовностей, які дозволяють виявляти задану безліч їх несправностей. При цьому, для проведення процедури тестування, зберігаються як самі тестові послідовності, так і еталонні вихідні реакції схем на їх дію. В процесі тестування при відповідності отриманих реакцій схеми еталонним вона вважається справною, інакше схема містить несправність і знаходиться в несправному стані.

Структурні блоки, на які розбивається завдання діагностики, приведені на рисунку 1.7.

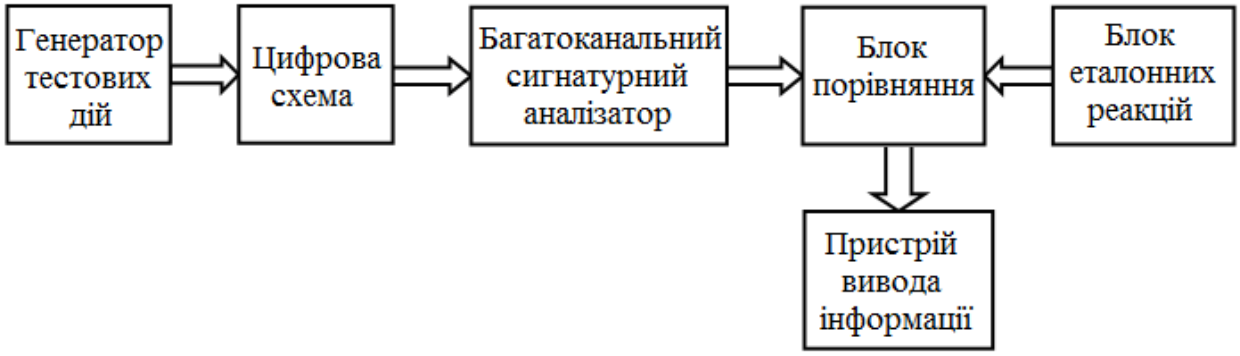


Рисунок 1.7 - Основні функціональні блоки, які використовуються при тестуванні цифрової схеми

ГТД – генератор тестових дій (генератор М - послідовності)

ЦС – цифрова схема

БСА – багатоканальний сигнатурний аналізатор

Логічний взаємозв'язок функціональних блоків побудований таким чином: з генератора тестових дій через цифрову схему сигнали поступають на схему стискування інформації (сигнатурний аналізатор). Стислі вихідні реакції (сигнатури) потрапляють на схему порівняння, де вони порівнюються з еталонними сигнатурами, які зберігаються в блоці еталонних реакцій. Далі інформація потрапляє в пристрій виведення інформації про стан схеми.

1.5 Логічні пробники

Незважаючи на широкі можливості осцилографів, застосування їх при діагностуванні цифрових пристроїв обмежене довжиною вхідних послідовностей імпульсів. Якщо довжина вхідних послідовностей дорівнює десяткам або сотням тактових інтервалів, спостереження її на екрані осцилографа стає практично неможливим. При цьому зміна одного біта даних в цифрових пристроях може зробити усю цифрову систему непрацездатною [4].

Особливості і складнощі наладки цифрових систем викликало появу принципово нових приладів для діагностики. Окрім традиційних генераторів сигналів (генераторів послідовностей), осцилографів, вольтметрів, частотомірів з'явилися логічні пробники та пульсатори, логічні і сигнатурні аналізатори та інші складні цифрові налагоджувальні прилади і комплекси.

Логічний пробник контролює поведінку однієї точки в системі і за допомогою індикаторів повідомляє користувача про те, знаходиться точка, яка перевіряється, в стані логічної 1, стані логічного 0 або має проміжний рівень. Більшість пробників показують наявність також імпульсів в точці схеми спалахами одного з індикаторів.

У схемі пробника (рис. 1.8) на вході включений резистор R1 захищаючий пробник від перевантажень.

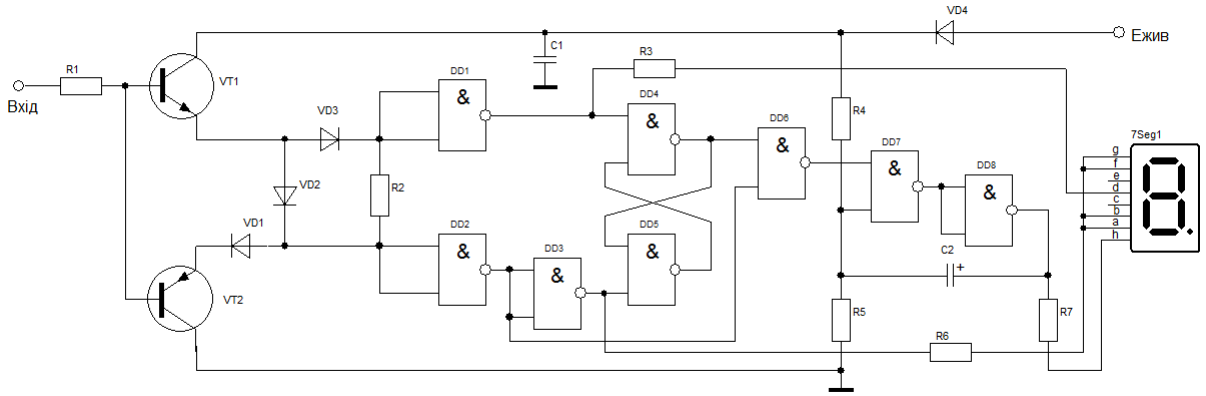


Рисунок 1.8- Схема логічного пробника

Емітерні повторювачі VT1 і VT2 служать для зменшення навантаження на каскад, який перевіряється, а також для зрушення порогу переключення логічних елементів DD1 і DD2. Додаткове зрушення досягається включенням кремнієвого діода VD3 і германієвого VD1. В результаті при вхідній напрузі вище 2.4 В елемент DD1 включається і запалюється сегмент d семисегментного індикатора (при бічному положенні індикатора), відображається знак «1». При напрузі нижче 2.4 В елемент DD1 закривається, сегмент d гасне. При зниженні вхідної напруги нижче 0.4 В вимикається елемент DD2,

включається DD3 і запалюються чотири сегменти (a, b, g, f) індикатора і відображається знак «0».

За наявності імпульсів на вході пробника тригер на елементах DD4 і DD5 перемикається в моменти досягнення напруги на вході величин 0.4 і 2.4 В. У момент переходу напруги на вході пробника із стану «1» в стан «0» на вході елементу DD6 короткочасно з'являються дві логічні «1», елемент DD6 включається і короткий (близько 70 нс) негативний імпульс з його виходу запускає мультивібратор, на елементах DD7 і DD8. Вихідний сигнал мультивібратора викликає світіння точки індикатора. Якщо амплітуда вхідних імпульсів нижча за нормальну, тригер не переключається і точка індикатора не світиться.

Пробник може відображати не лише наявність коротких імпульсів з високою частотою повторення, але і проходження одиничних коротких імпульсів.

Логічні пробники розроблюються від простих пристроїв до складних приладів, які містять спеціально для них розроблені мікросхеми.

Головне призначення логічного пробника - перевірити подачу живлення на мікросхеми, проконтролювати : статичні рівні в логічних елементах на правильність функціонування і встановити наявність імпульсів в колах, що перевіряються

У мікропроцесорній системі логічні пробники зручно застосовувати для первинного контролю статичних логічних рівнів і перевірки працездатності шин.

1.6 Логічні пульсатори

Логічний пробник контролює наявність рівнів або імпульсів тільки в одному вузлі схеми; на додаток до логічного пробника використовується логічний пульсатор, який стимулює вузол, змушуючи його переходити з одного стану в інший. Логічні пульсатори - це схемні стимулюючі прилади, призна-

чені для введення ("інжекції") у вузол коротких і потужних імпульсів, які переводять вузол з одного стану в інший та повертають в початковий стан. Зазвичай пульсатор генерує імпульс струму значенням до 0,75 А протягом 300 нс; завдяки малої тривалості імпульсів інтегральна схема не ушкоджується. Вихідний каскад пульсатора тристабільний, тому за звичайних умов торкання зондом вузла в схемі не впливає на його поведінку. Зонд пульсатора оснащений індикатором, який спалахує синхронно з вихідним сигналом. Для спрацьовування індикатора виробляється розширення вихідного імпульсу, що робить спалах помітним для користувача.

Деякі серійні пульсатори допускають налаштування для роботи з послідовністю імпульсів. Пульсатор може працювати в декількох режимах, які встановлюються за допомогою одного перемикача подвійної дії. При натисненні перемикача формується поодинокий вихідний імпульс, а рух його вперед фіксує режим. Таким чином, за допомогою перемикача вручну можна зафіксувати в схемі управлення пульсатора вибраний режим. Є наступні режими роботи пульсатора :

- одиничний імпульс;
- безперервна послідовність імпульсів з частотою 100 Гц;
- пакет з 100 імпульсів;
- безперервна послідовність імпульсів з частотою 10 Гц;
- пакет з 10 імпульсів;
- безперервна послідовність імпульсів з частотою 1 Гц.

Загальний метод контролю логічних схем, при якому застосовуються логічний пробник і логічний пульсатор, називається тестуванням "стимул - реакція". За допомогою пульсатора у вузол вводиться стимулююча дія, а вихідна реакція логічної схеми простежується логічним пробником. Знаючи перевіряєму схему дослідник може простежити логічним пробником тракт поширення сигналу.

Найбільш часте використання тестування "стимул - реакція" полягає в перевірці цілісності з'єднання виходу одного елементу з входом іншого еле-

менту. Тестування "стимул - реакція" простіше інтерпретувати в комбінаційних схемах, чим в кінцевих автоматах, оскільки поведінка комбінаційних схем не залежить від часу.

1.7 Структура логічного аналізатора

Загальними контрольно-вимірювальними приладами, які знайшли застосування, як на стадії проектування, так і на стадії виробництва і експлуатації цифрових пристроїв являються логічні аналізатори. Ці прилади дозволяє зареєструвати і відобразити в кодованому виді послідовність логічних станів досліджуваних вузлів, цифрового пристрою не порушуючи їх природного функціонування.

Особливості, характерні для логічних аналізаторів:

- можливість спостереження і обробки сигналів одночасно по декількох каналах;

- паралельна реєстрація і запам'ятовування даних по усіх каналах;

- нормування вхідних сигналів по логічних рівнях;

- можливість реєстрації коротких в порівнянні з періодом повторення сигналу імпульсних перешкод;

- можливість декодування і порівняння отриманих даних з еталонними.

У найбільш загальному вигляді (рис. 1.9) логічний аналізатор складається з наступних блоків [2]: компаратора рівнів вхідних сигналів, запам'ятовувального пристрою, логічного компаратора, генераторів затримки і синхросигналів, перемикача режиму, пристрою запуску і управління візуальним виведенням, дисплея.

Логічний аналізатор може працювати в одному з трьох основних режимів : налаштування, реєстрація, індикація.

У режимі налаштування оператор підключає входи приладу до вибраних точок схеми, встановлює поріг спрацьовування вхідних компараторів ві-

дповідно до рівнів логічних сигналів контрольованих елементів, задає режим реєстрації.

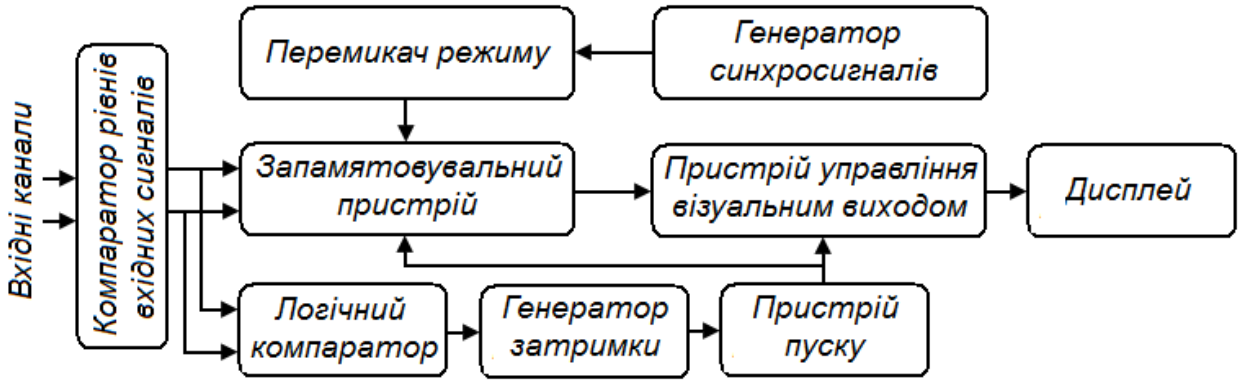


Рисунок 1.9 - Структура логічного аналізатора

У режимі реєстрації логічний аналізатор через вхідні компаратори приймає n-мірні вектори логічних станів і записує їх в запам’ятовувальні комірки. При переповнюванні пам'яті запис знову виконується по початкових адресах. Таким чином, в режимі реєстрації в запам’ятовувальних комірках логічного аналізатора завжди зберігаються N останніх векторів станів.

У режимі індикації припиняється реєстрація станів схеми і поточна утримувана запам’ятовувальним пристроєм інформація відображається в зручній для оператора формі.

Сигнали, які поступають на вхідні канали аналізатора, у момент вступу синхроімпульсу передаються на компаратор рівнів вхідних сигналів, де розподіляються залежно від величини напруги по логічних рівнях. Сформоване компаратором рівнів вхідне слово поступає на входи запам’ятовуючого пристрою і логічного компаратора. ЗП організовано таким чином, що кожне нове слово зсуває попереднє, а крайнє слово витісняється і втрачається. Процес запису інформації в пам'ять триває до тих пір, поки не здійсняться умови запуску приладу. Умови запуску визначають область процесу, який протікає в цифровій системі, яку вимагається досліджувати, і задаються оператором з пульта управління. Область досліджень задається комбінаційним способом, певним станом або послідовністю станів. Логічний компаратор заздалегідь програмується на виявлення певної послідовності сигналів. При виникненні

на входах аналізатора кодової комбінації, співпадаючої із заданою, логічний компаратор видає сигнал генератору затримки, який програмно задає час початку або закінчення запису вхідних сигналів в запам’ятовувальний пристрій. Після закінчення циклу запису аналізатор переводиться в режим відтворення. Пристрій управління візуальним виводом транслює вміст пам'яті на екран дисплея у вигляді таблиць станів, тимчасових діаграм або в особливій графічній формі.

1.8 Класифікація логічних аналізаторів

У деяких аналізаторах замість дисплея використовуються осцилографи, які підключаються до аналізатора через зовнішні входи управління електронно-променевої трубки, або стандартний відеоконтрольний пристрій. Багато аналізаторів можуть сполучатися з ЕОМ, автоматично програмуватися нею і обмінюватися з нею інформацією. По структурі, принципу дії, призначення, усі типи логічних аналізаторів можуть бути віднесені до одного з наступних класів [2]:

- аналізатори часових і логічних співвідношень (АЧЛС);
- аналізатори логічних станів (АЛС);
- мікропроцесорні аналізатори (МА).

АЧЛС в основному призначені для контролю тривалості перехідних процесів, аналізу перегонів в цифрових схемах, перевірки тимчасових співвідношень в складних цифрових пристроях. Вони відрізняються значною швидкодією (запис інформації з частотою до 200 Мгц), що забезпечує високу роздільну здатність. Об'єм пам'яті знаходиться в межах 512 – 2048 біт на канал. Число вхідних каналів коливається від 4 до 16. Перехід із стану в стан відображується за допомогою спрямованого відрізку лінії, яка сполучає точки, відповідні початковому і послідовному за ним станом.

Важливою особливістю АЧЛС, якою не володіють аналізатори логічних станів, є можливість виявлення помилкових сигналів, які представляють

собою імпульсні перешкоди малої тривалості. Їх дія може порушити нормальне функціонування системи, а в синхронному режимі, їх практично неможливе виявити. У АЧЛС передбачені спеціальні тригерні схеми, які фіксують помилкові імпульси (це дозволить виявити їх навіть при тривалості 5 нс). Схема розширює короткі імпульси майже до тривалості, яка дорівнює інтервалу дискретизації, що гарантує реєстрацію помилкових імпульсів.

АЛС призначені для перевірки логіки роботи окремих цифрових пристроїв і мають обмежене застосування при системному аналізі. Швидкодія їх порівняна із швидкодією об'єктів контролю і знаходиться в межах 4 – 20 Мгц. Число каналів складає 16 – 32, об'єм пам'яті коливається від 16 до 64 біт на канал, рідше до 128 – 256 біт. Наявність у усіх аналізаторів цифрової затримки дозволяє компенсувати малий об'єм пам'яті повторним пропусканням тесту із зсувом моменту запуску на необхідне число тактів. Відображення інформації здійснюється у вигляді таблиць станів, графів автомата, і значно рідше у формі часових діаграм.

Мікропроцесорні аналізатори призначені для дослідження цифрових систем в цілому на системному рівні. Основні відмінності мікропроцесорних аналізаторів полягають в умовах запуску, вибірковості і режимах відображення. Запуск МА може бути здійснений по послідовності кодових наборів, що дозволяє точніше задати досліджувану область програми. Аналізатор може виключити збір багатьох необов'язкових даних, що дозволяє спростити контроль послідовностей, які мають велику довжину.

Відображення інформації на екрані аналізатора здійснюється в табличній формі в шістнадцятирічному коді. Робоча частота МА знаходиться в межах 5 – 50 Мгц, число каналів складає 25 – 48, об'єм пам'яті коливається від 32 до 1024 біт на канал. –

Незважаючи на широкі діагностичні можливості логічних аналізаторів, які дозволяють виявити короткочасні імпульсні перешкоди, неодночасність вступу сигналів і порушення синхронізації їм властивий ряд недоліків. До кваліфікації оператора, який виконує контроль пред'являються високі вимо-

ги, знання характеру роботи об'єкту контролю, уміння інтерпретувати великі масиви даних, висока вартість аналізаторів. Але і при таких витратах локалізувати місце несправності з точністю до елементу не завжди вдається.

Тому логічні аналізатори, незамінні при налаштуванні мікропроцесорних систем на етапі проектування і макетування, мало придатні для використання на етапі виробництва і експлуатаційного обслуговування.

Основним недоліком розглянутих вище методів контролю є необхідність аналізу двійкових послідовностей великої розмірності. Для зменшення розміру еталону робляться спроби застосування різних методів стискування інформації. Можна підраховувати число перемикань сигналу в контрольній точці (контроль по модулю 2), проте достовірність такого контролю дуже низька і будь-яка помилка парної кратності не виявляється, хоча об'єм еталону при цьому мінімальний – 1біт на контрольну точку.

Особливий інтерес визивають методи сигнатурного аналізу. При цьому замість порівняння з еталонами самих послідовностей, порівнюються з відповідними еталонами їх дуже короткі (компактні) кодові еквіваленти – сигнатури [2]. Такий підхід поєднує в собі високу швидкодію, простоту контрольного устаткування і високу достовірність контролю.

Сигнатурний аналіз розроблений на основі двох способів контролю помилок. Першим являється спосіб перевірки логічних вузлів в цифровій системі, який називається рахунком переходів. Другим являється спосіб контролю помилок, який називається циклічним надмірним контролем. Сигнатурний аналіз моделює перший спосіб, але діє аналогічно другому способу.

У циклічному надмірному контролі вхідний двійковий набір подається в лінійну послідовну схему, яка здійснює ділення двійкового потоку на деякий характеристичний поліном, і в регістрі зсуву утворюється залишок від ділення.

Залишок додається до переданого двійкового потоку в якості коду який виявляє помилки. Якщо замість додатку залишку до двійкового потоку вивести його на індикацію, це значення буде унікальним для вхідного двійкового

набору. Маючи елементи пам'яті, схема враховує усі минулі і поточні події і може обробляти дуже довгі потоки даних. Унікальний залишок для конкретного входу являється «паролем» цього набору і може використовуватись для його ідентифікації. Залежність залишку від вхідного двійкового потоку привела до терміну «сигнатура» (підпис). За певний інтервал часу і використовуючи імпульси пуску, стопу та сигнали синхронізації від перевіряємої системи, у вузол логічної схеми можна подати періодичний набір. Цей набір подається на вхід лінійної послідовної схеми, і при одержані сигналу стопу в регістрі зсуву опиниться сигнатура цього вузла і конкретного тест-набору. В цьому і є принцип сигнатурного аналізу. Фактичне значення сигнатури не суттєве, але воно має бути одним і тим же для цього вузла, коли він стимулюється одним і тим же тест-набором і коли застосовуються ті ж самі сигнали пуску, стопу і синхронізації.

Метою роботи являється розробка мікроелектронного багатоканального сигнатурного аналізатора параметрів цифрової інформації.

Для досягнення поставленої мети необхідно вирішити наступні завдання:

- розробити структурну схему сигнатурного аналізатора;
- розробити схему одноканального сигнатурного аналізатора;
- розробити схему багатоканального сигнатурного аналізатора параметрів цифрової інформації

2 Розробка багатоканального сигнатурного аналізатора параметрів цифрової інформації

2.1 Метод сигнатурного аналізу

Метод сигнатурного аналізу являється простими в застосуванні та може використовуватись в пристроях, які виконують високоякісну і швидку діагностику складних цифрових пристроїв в умовах експлуатації [6].

Принцип дії сигнатурних аналізаторів заснований на методі сигнатурного аналізу – стискуванні довгих двійкових послідовностей в чотирьохзначні шістнадцятирічні коди-сигнатури.

Метод сигнатурного аналізу не вимагає високої кваліфікації персоналу і складного устаткування. В той же час він дозволяє швидко і точно відшукати елемент цифрової схеми, який відмовив.

Процедура сигнатурного аналізу полягає в наступному:

1. На свідомо справну схему подають тестову послідовність двійкових сигналів, реакція на яку згортається у вигляді сигнатури в кожній контрольній точці і фіксується в технічній документації на виріб (наприклад, на принциповій схемі кожному виходу кожного елементу відповідає шістнадцятирічна константа).

2. Для відшукування несправності в процесі експлуатації системи на вхід системи подається тестова послідовність двійкових сигналів і визначаються сигнатури в усіх контрольних точках, послідовно від виходів схеми до входів. Отримані сигнатури порівнюються з еталонними і якщо на виході елементу неправильна сигнатура, а на усіх його входах правильні, то цей елемент можна вважати несправним.

Процедура сигнатурного аналізу зовні схожа з процедурою виявлення несправностей в аналогових пристроях. На принципових схемах в характерних точках вказані епюри напруги сигналів і числові значення напруги. З ни-

ми зіставляють осцилограми, які спостерігають на екрані осцилографа, а також результати виміру напруги електронним вольтметром. У результаті порівняння роблять висновки про нормальну роботу або несправність пристрою.

2.2 Моделювання сигнатурного аналізатора

При застосуванні регістра зсуву потрібно послідовність максимальної довжини, яку може бути забезпечена генераторами псевдовипадкової послідовності. У 16-розрядному регістрі зсуву є 2048 способів реалізації відведень зворотного зв’язку, які задовольняють цьому критерію. У якості утворюючого полінома використаємо породжуючий багаточлен, обраний фірмою Хьюлетт-Паккард при створенні сигнатурних аналізаторів $P(x) = F^{16} + F^{12} + F^{9} + F^{7} + 1$. Застосуємо вираження для організації зворотного зв'язку.

Сигнатура формується в схемі, яка містить шістнадцятирозрядний регістр зсуву (16 тригерів), чотири послідовно включених суматора по модулю 2 та кола зворотного зв'язку, які сполучають другі (нижні за схемою) входи першого, другого, третього і четвертого суматорів, з виходами сьомого, дев'ятого, дванадцятого і шістнадцятого тригерів відповідно рис. 2.1). У регістра зсуву два входи: через основний вхід в регістр вводяться біти двійкової послідовності; на другий вхід, який відмічений буквою С, поступають тактові імпульси (синхроімпульси), які просувають біти по регістру.



Рисунок 2.1 – Схема формування сигнатури

Двійкова тест-послідовність може бути будь-якої довжини, але у кінці циклу обробки аналізується тільки шістнадцятибітове число, зафіксоване в регістрі. Це число, виражене в шістнадцятирічному коді, і представляє сигнатуру цієї тест-послідовності.

2.2.1 Синтез шістнадцятирозрядного регістра зсуву

У регістрі з послідовним введенням виконується послідовний зсув інформації, що надходить на вхід, на один розряд вправо в кожному такті синхросигналів (рис. 2.2).

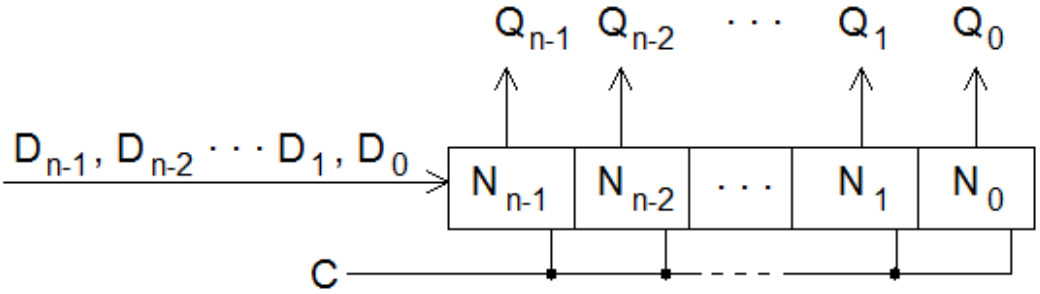


Рисунок 2.2 – Структурна схема регістра зсуву

Після проходження m синхроімпульсів весь регістр виявляється заповненим розрядами числа D, і перший розряд числа (D_0) з'являється на виході Q_0 регістра. Протягом подальших m синхроімпульсів виконується послідовний порозрядний вивід з регістра записаного числа, після чого регістр виявляється повністю очищеним.

Регістри зсуву являється колом послідовно включених D- або RS- і JK-тригерів, в режим D-тригера. Поява імпульсу на тактовому вході регістра зсуву викликає переміщення записаної в ньому інформації на один розряд вправо або вліво. Як і інші регістри, регістри зсуву використовуються для запису, зберігання і видачі інформації, але основним їх призначенням є перетворення послідовного коду в паралельний, або паралельного в послідовний.

Схема шістнадцятирозрядного регістра зсуву приведена на рисунку 2.3.

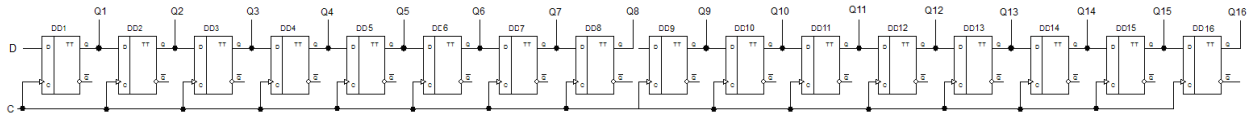


Рисунок 2.3 – Шістнадцятирозрядний регістр зсуву

Завдяки тому, що вихід попереднього розряду сполучений з входом «D» подальшого, кожен тактовий імпульс встановлює подальший тригер в стан, в якому до цього знаходився попередній. Так здійснюється зсув інформації вправо.

Вхід «D» першого тригера служить для прийому в регістр вхідної інформації у вигляді послідовного коду. З кожним тактовим імпульсом на цей вхід повинен подаватися код нового розряду вхідної інформації (рис. 2.4).

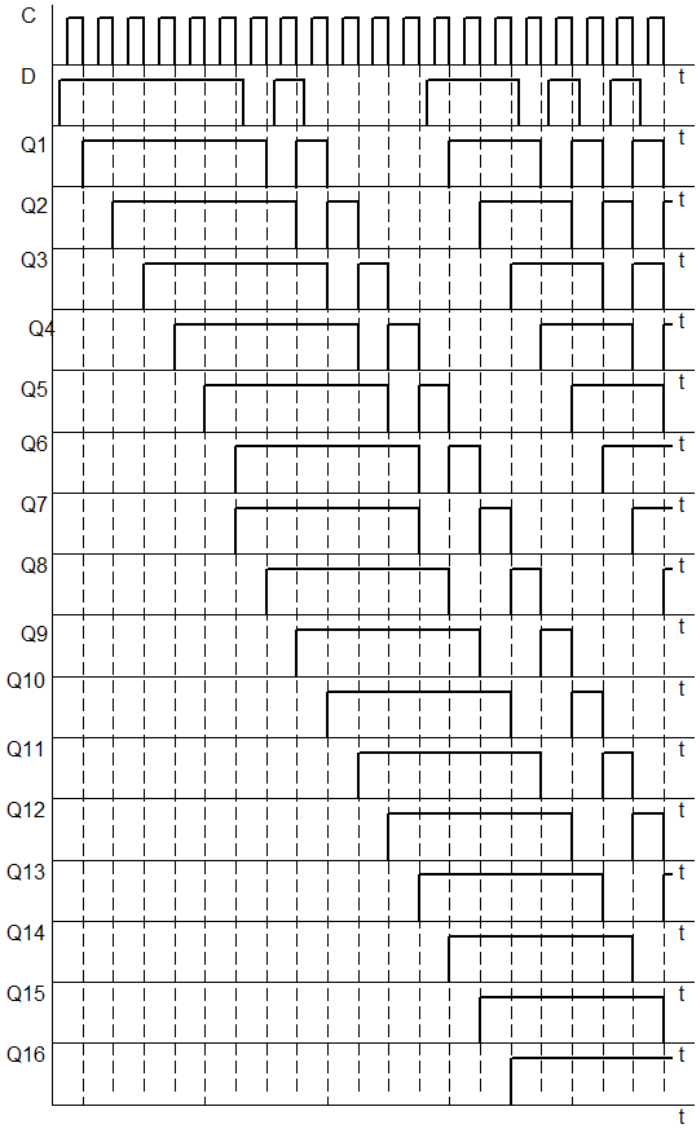


Рисунок 2.4 – Діаграма функціонування шістнадцятирозрядного регістра зсуву

Першим тактовим імпульсом перша одиниця старшого розряду числа X записується в перший тригер. Другим тактовим імпульсом в перший тригер записується значення наступного розряду, а в другий тригер записується одиниця, яка була перед приходом другого тактового імпульсу на виході першого тригера.

Таким чином, кожним тактовим імпульсом в регістрі відбувається зсув числа на один розряд. Шістнадцятирозрядне число буде повністю записано в регістр після шістнадцятого тактового імпульсу. До приходу наступного тактового імпульсу це число зберігається в регістрі у вигляді паралельного коду на виводах Q1 ... Q16. Якщо необхідно отримати інформацію в послідовному коді, то її знімають з виходу Q16 в моменти приходу наступних п’ятнадцяти тактових імпульсів. Такий режим називається режимом послідовного зчитування. У двійковій системі числення при зсуві числа на один розряд у бік старших розрядів відбувається збільшення числа в два рази. При зсуві числа у бік молодших розрядів число записується в регістр і зменшується в два рази. Таким чином, регістр зсуву можна використовувати для множення або ділення числа на 2^n , де n – кількість зсувів, що дорівнює кількості тактових імпульсів.

При побудові регістрів зсуву обов'язковим є використання тригерів, які синхронізуються фронтом. Інакше за час дії одного синхросигналу інформація в регістрі просувається більш ніж на один розряд, тобто нормальне функціонування регістра зсуву на один розряд за один такт порушується.

Шістнадцятирозрядний регістр зсуву модна побудувати на двох восьмирозрядних регістрах зсуву К555ИР8 (рис. 2.5).

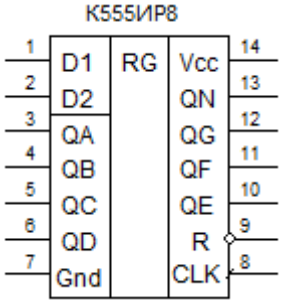


Рисунок 2.5 – Восьмирозрядний регістр зсуву

Регістр працює в режимі зсуву по тактових імпульсах, які поступають на вхід CLK. Входи D1, D2 служать для прийому інформації. R – вхід скидання інформації. QA … QN – виходи регістра зсуву.

2.2.2 Застосування регістра зсуву в схемі сигнатурного аналізатора

При отриманні сигналу запуску регістр встановлюється в початковий нульовий стан (рис. 2.6).

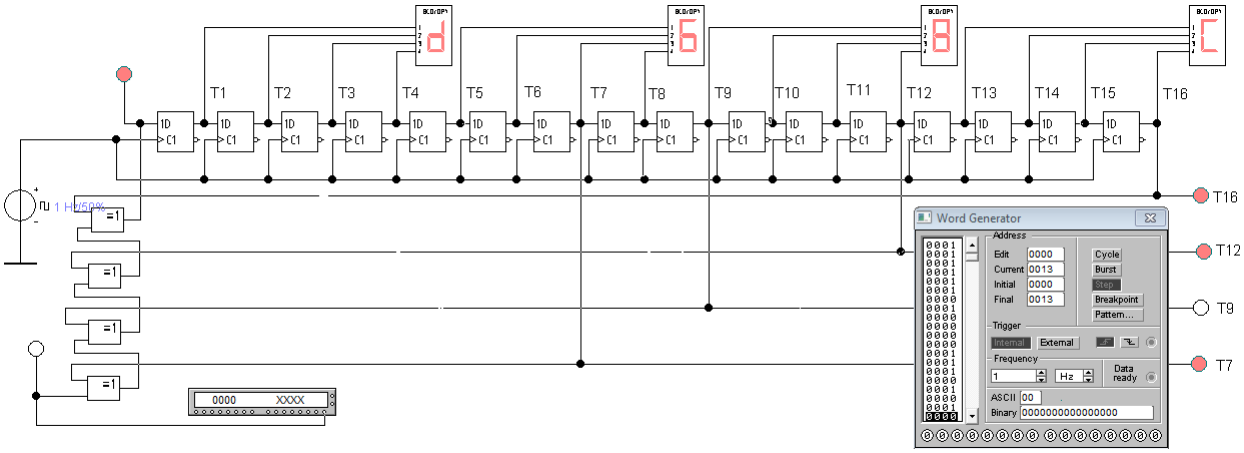


Рисунок 2.6 – Моделювання роботи шістнадцятирозрядного регістра зсуву сигнатурного аналізатора

Вміст регістра змінюється тактовими імпульсами з тим же періодом, що і довжина тактів вхідної двійкової послідовності (табл. 2.1). У кожному тактовому інтервалі вміст регістра зсувається вліво, після чого вміст розрядів T7, T9, T12, T16 регістра та значення вхідної послідовності підсумовуються по модулю 2 і набуте значення заноситься в T1 розряд регістра, який звільнився після зсуву (табл. 2.2). Після певного числа тактів, зазвичай суттєво більшого числа розрозрядів регістра та одержання сигналу стопу, в регістрі утворюється значення, яке являється сигнатурою цієї вхідної послідовності.

Таблиця 2.1 – Стан розрядів регістра зсуву та двійкового коду сигнатури

T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1
0	0	0	0	**0**	0	0	**0**	0	**0**	0	0	0	0	0	1
0				0				0				1			
0	0	0	0	**0**	0	0	**0**	0	**0**	0	0	0	0	1	1
0				0				0				3			
0	0	0	0	**0**	0	0	**0**	0	**0**	0	0	0	1	1	1
0				0				0				7			
0	0	0	0	**0**	0	0	**0**	0	**0**	0	0	1	1	1	1
0				0				0				F			
0	0	0	0	**0**	0	0	**0**	0	**0**	0	1	1	1	1	1
0				0				1				F			
0	0	0	0	**0**	0	0	**0**	0	**0**	1	1	1	1	1	1
0				0				3				F			
0	0	0	0	**0**	0	0	**0**	0	**1**	1	1	1	1	1	0
0				0				7				E			
0	0	0	0	**0**	0	0	**0**	1	**1**	1	1	1	1	0	0
0				0				F				C			
0	0	0	0	**0**	0	0	**1**	1	**1**	1	1	1	0	0	1
0				1				F				9			
0	0	0	0	**0**	0	1	**1**	1	**1**	1	1	0	0	1	0
0				3				F				2			
0	0	0	0	**0**	1	1	**1**	1	**1**	1	0	0	1	0	0
0				7				E				4			
0	0	0	0	**1**	1	1	**1**	1	**1**	0	0	1	0	0	0
0				F				C				8			
0	0	0	1	**1**	1	1	**1**	1	**0**	0	1	0	0	0	0
1				F				9				0			
0	0	1	1	**1**	1	1	**1**	0	**0**	1	0	0	0	0	1
3				F				2				1			
0	1	1	1	**1**	1	1	**0**	0	**1**	0	0	0	0	1	1
7				E				4				3			
1	1	1	1	**1**	1	0	**0**	1	**0**	0	0	0	1	1	0
F				C				8				6			
1	1	1	1	**1**	0	0	**1**	0	**0**	0	0	1	1	0	1
F				9				0				D			
1	1	1	1	**0**	0	1	**0**	0	**0**	0	1	1	0	1	1
F				2				1				B			
1	1	1	0	**0**	1	0	**0**	0	**0**	1	1	1	1	0	0
E				4				3				6			
1	1	0	0	**1**	0	0	**0**	0	**1**	1	0	1	1	0	1
C				8				6				D			

Таблиця 2.2 – Вміст розрядів Т7, Т9, Т12, Т16 регістра, значення вхідної послідовності та сума D, яка поступає у розряд Т1

№	Т16	Т12	Т9	Т7	D	Вхід
1	0	0	0	0	1	1
2	0	0	0	0	1	1
3	0	0	0	0	1	1
4	0	0	0	0	1	1
5	0	0	0	0	1	1
6	0	0	0	0	1	1
7	0	0	0	1	1	0
8	0	0	0	1	0	1
9	0	0	1	1	0	0
10	0	0	1	1	0	0
11	0	0	1	1	0	0
12	0	1	1	1	1	0
13	0	1	1	0	1	1
14	0	1	1	0	1	1
15	0	1	1	0	1	1
16	1	1	0	0	0	0
17	1	1	1	0	0	1
18	1	0	0	0	1	0
19	1	0	0	0	0	1
0	1	1	0	1	1	0

Завдяки колам зворотного зв'язку дані, які вводяться в регістр, піддаються кодуванню і забезпечується облік усіх бітів потоку даних, а не тільки шістнадцяти останніх у формуванні остаточної сигнатури (рис. 2.7).

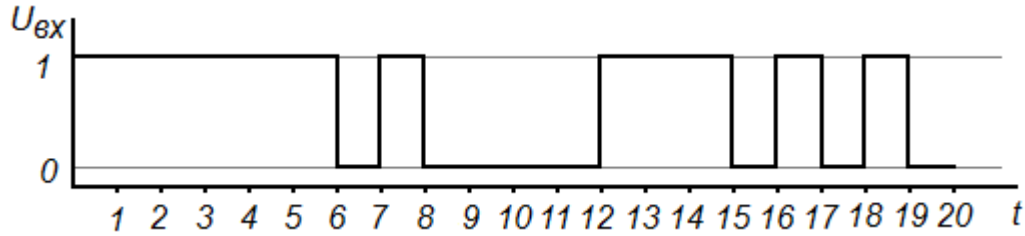


Рисунок 2.7 - Формування сигнатура в аналізаторі довжиною 20 біт

Для полегшення читання сигнатури вона представляється в шістнадцятирічній системі числення (вміст кожної четвірки розрядів регістра представляється символом шістнадцятирічної системи числення).

Початкова тест-послідовність має вигляд, зображений на рисунку 2.3, може бути записана у вигляді 11111101000011101010. Така послідовність подається в сигнатурний аналізатор з виходу справного вузла. Вона являє со-

бою неспотворену послідовність. Будемо позначати безпомилково передані біти нулем, а біти помилки одиницею. Так як всі біти передані без помилок, то послідовність помилок буде складатися з одних нулів. Її сигнатура виражається чотирма нулями.

Припустимо, що четвертий (від лівого кінця) біт переданий із помилкою. Тоді три послідовності спотворена, вихідна і помилок будуть мати вигляд:

спотворена	111**0**1101000011101010
вихідна	11111101000011101010
помилок	000**1**0000000000000000

Видно, що спотворену послідовність можна інтерпретувати як суму по модулю 2 вихідної послідовності та послідовності помилок.

Якщо в сигнатурному аналізаторі застосовано 16-розрядний зсувний регістр, то сигнатура не може бути нульовою для послідовності помилок довжиною $N \leq 16$ біт, яка містить хоча б одну одиницю. У цьому легко переконатися, розглянувши роботу зсувного регістра. Перша одиниця, яка увійшла в регістр не встигає вийти з нього за 16 тактів формування сигнатури, а також не може перетворитися в нуль внаслідок підсумовування з бітами, які надходять на суматор через коло зворотного зв'язку. Отже, в послідовності довжиною $N \leq 16$ біт всі помилки можуть бути виявлені.

Тільки в одній послідовності довжиною 17 біт з усіх можливих (їх загальна кількість 2^{17-1}) не буде виявлена помилка: у тій послідовності, у якій перший (зліва), восьмий, десятий і тринадцятий біти – одиниці. Це пояснюється тим, що одиниця першого біта «виштовхується» з регістра при надходженні на його вхід сімнадцятого останнього біта послідовності помилок. Можна стверджувати, що при 16-розрядному регістрі для будь-якої довжини послідовності ймовірність пропуску помилок завжди менше, ніж $1/(2^{16-1})$, тобто менше 0,00001526. Інакше кажучи, достовірність виявлення помилки більше 1 – 0,00001526 = 0,9999847 або вище 99,998%.

Викладене дозволяє зробити наступні висновки.

1) Ймовірність того, що у двох однакових двійкових послідовностей будуть однакові сигнатури, дорівнює 1.

2) Ймовірність одержання однакових сигнатур для двох двійкових послідовностей, які відрізняються одна від одної тільки одним бітом, дорівнює 0;

3) Ймовірність одержання однакових сигнатур для двох двійкових послідовностей, одна з яких містить кілька помилкових біт відносно іншої, не перевищує 0,00001526.

Таким чином, контроль, заснований на сигнатурному аналізі, характеризується високою достовірністю.

2.2.3 Структурна схема сигнатурного аналізатора

Прилади, які серійно випускаються і реалізовують функцію сигнатурного аналізу, можуть мати і інші функціональні можливості: вимір частоти, підрахунок подій, логічний аналіз [6]. Це робить їх універсальними, але в той же час складними і дорогими тестовими установками. Проте дешевий прилад, призначений тільки для сигнатурного аналізу, може бути виготовлений на стандартних логічних мікросхемах та конструктивно оформлений у вигляді невеликої плати.

У зображеній на рисунку 2.8 структурній схемі аналізатора виконуються три основні операції: формування тест-послідовності, формування і відображення сигнатури.

З перевіряємого пристрою в аналізатор поступають сигнали даних. Вони передаються через вхідний буфер на сигнатурний аналізатор. В схемі використовуються сигнали управління трьох видів: тактові імпульси (синхроімпульси), сигнал запуску "Пуск" і сигнал зупинки "Стоп" (рис. 2.9). Фронт сигналу "Пуск" готує регістр зсуву до прийому тест-послідовності, а фронт сигналу "Стоп" - їх зріз. Інтервал часу, який розділяє фронти сигналів "Пуск" і "Стоп" визначає тривалість часового періоду.

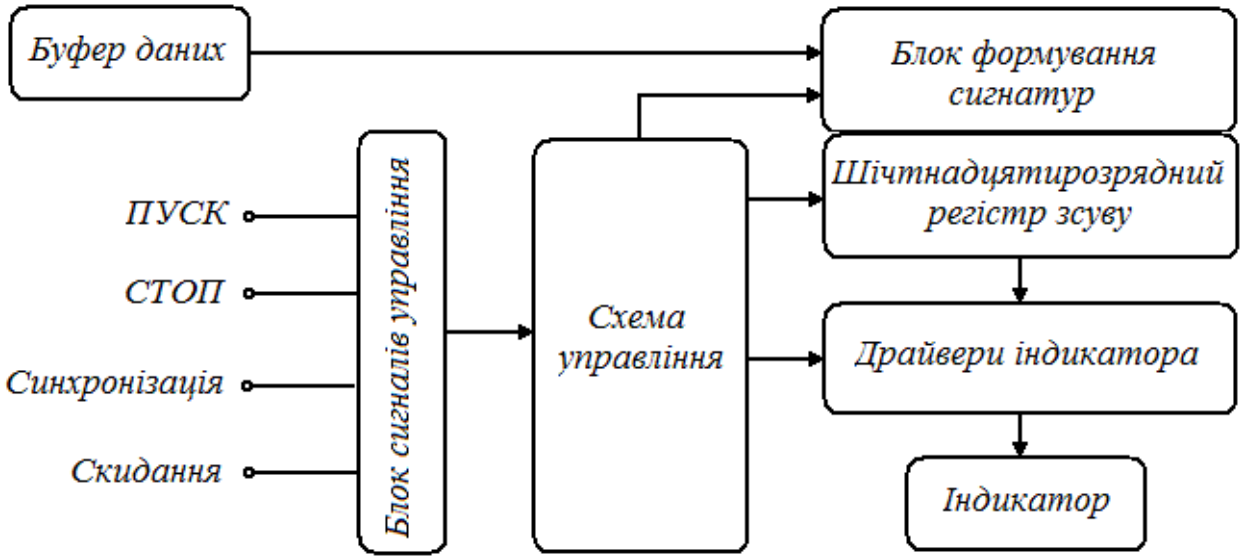


Рисунок 2.8 – Структурна схема сигнатурного аналізатора

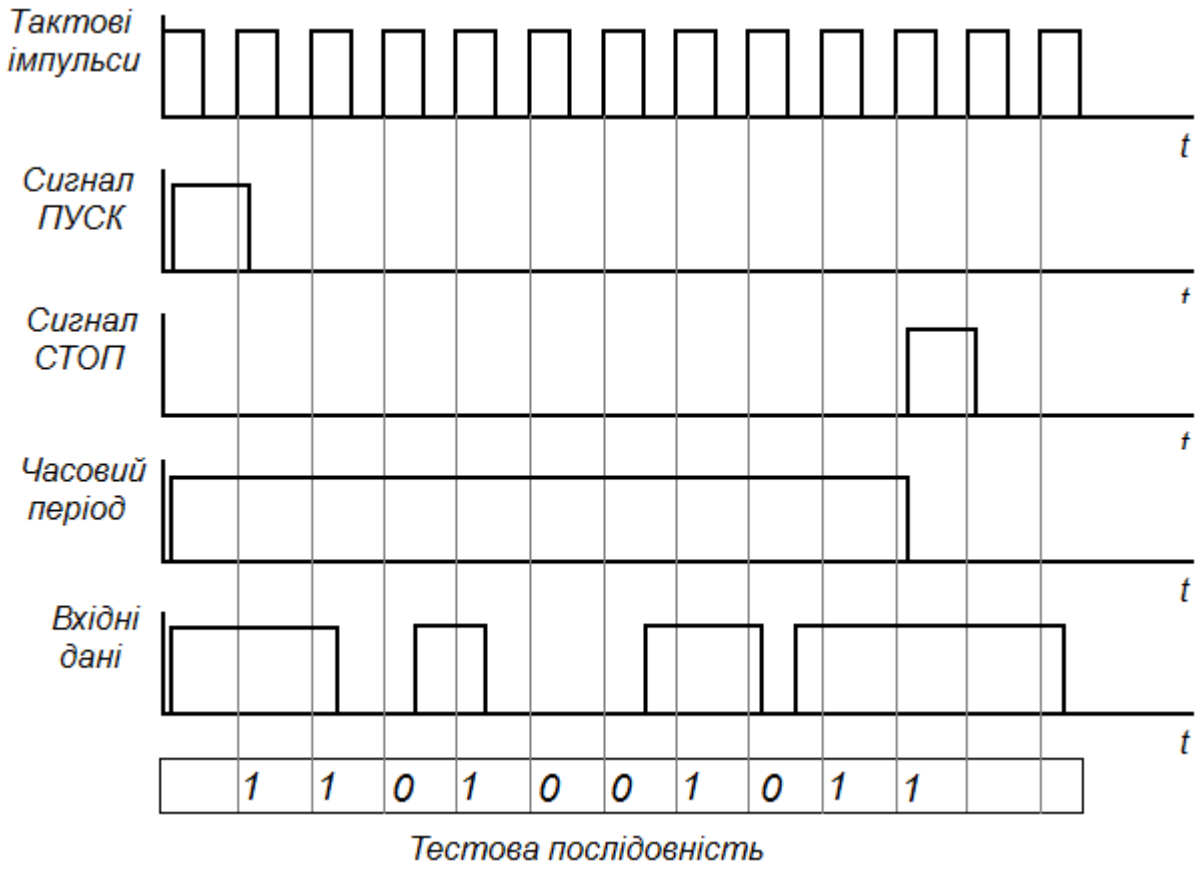


Рисунок 2.9 – Формування сигнатури

Отриманий часовий період і тактові імпульси подаються на формувач тест-послідовності, в який через буфер поступає послідовність даних з випробовуваного пристрою.

У моменти співпадіння фронтів тактових імпульсів з імпульсами даних утворюються біти тест-послідовності, причому на її структуру не впливають ніякі зміни даних в інтервалах між фронтами тактових імпульсів. Довжину тест - послідовності (число біт в ній) можна регулювати, змінюючи інтервал часу між сигналами "Пуск" і "Стоп".

Шістнадцятирозрядний регістр зсуву може бути реалізований на двох мікросхемах восьмирозрядних регістрів зсуву, а коло зворотного зв'язку побудовано на двохвходових елементах «Виняткове АБО» (рис. 2.10) [8].

У схемі необхідно мати можливість встановлювати для сигналів пуску, стопу і синхронізації будь-який активний фронт – позитивний або негативний.

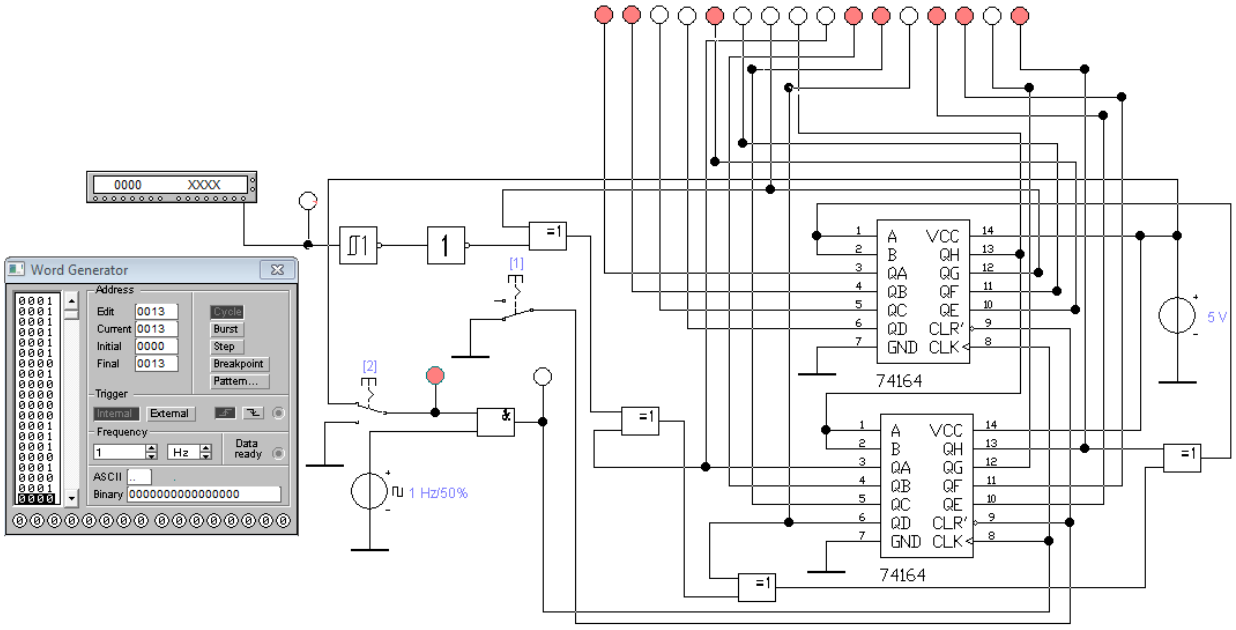


Рисунок 2.10 – Аналіз функціонування схеми сигнатурного аналізатора

Можливість завдання активного фронту сигналу забезпечується вхідними елементами «Виняткове АБО», через які сигнали проходять в схему управління та перемикачами S1 – S2, які під'єднуються до загального контакту або до джерела живлення +5В. Таким чином можна вибрати будь-який фронт сигналу для ініціації і припинення роботи схеми управління (рис. 2.11).

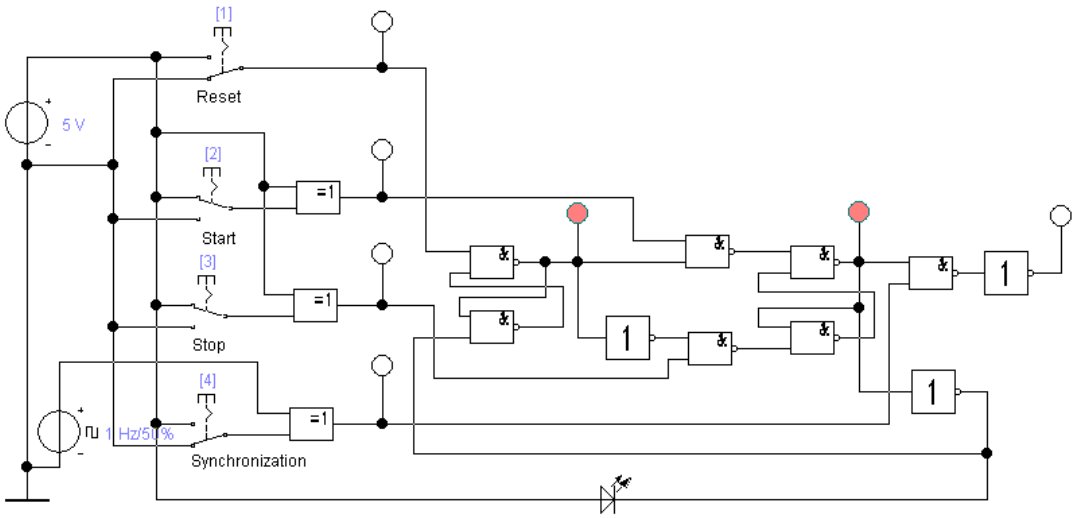


Рисунок 2.11 Аналіз функціонування схеми управління

Залишок, сформований в регістрі зсуву, при сприйнятті сигналу "Стоп" передається в драйвер індикатора і відображається як «сигнатура» вузла, який перевіряється.

2.3 Моделювання елементів схеми одноканального сигнатурного аналізатора

До початку роботи приладу оператор вручну скидає систему, при цьому встановлюється початковий стан схеми управління, а шістнадцятирозрядний регістр зсуву переводиться в нульовий стан. Після скидання сигнал «Пуск» дозволяє проходження сигналу синхронізації в регістр зсуву, який синхронно зрушує дані до появи сигналу «Стоп». Світлодіод VD1в схемі управління показує, що прилад формує сигнатуру. Під час процесу формування сигнатури індикатори сигнатури знаходяться в погашеному стані.

Лінії вхідних даних та тактових імпульсів подаються на тригер Шмітта для запобігання помилкового спрацьовування схеми.

Схема управління виконана на двох RS - тригерах, трьох двохвходових елементах І-НЕ і двох інверторах. Сигналом скидання схема управління забороняє проходження сигналу синхронізації на регістри зсуву і готується до

прийому сигналу «Пуск». Після приходу сигналу «Пуск», схема управління починає пропускати сигнали синхронізації на регістри зсуву і готується до прийому сигналу «Стоп». Після приходу сигналу «Стоп», знову блокується проходження сигналів синхронізації на регістр зсуву, при цьому на індикаторах відображається інформація отримана в регістрі зсуву.

Стартостопні сигнали повинні синхронізуватися, а «Пуск» і «Стоп» можуть здійснюватися як по позитивному, так і по негативному перепадах. Точки зняття сигналу синхронізації і стартостопних сигналів у процесі моделювання повинні залишатися незмінними. Тоді процес одержання сигнатур для різних виводів вхідних сигналів зводиться до почергового підключення цих виводів до входу аналізаторів.

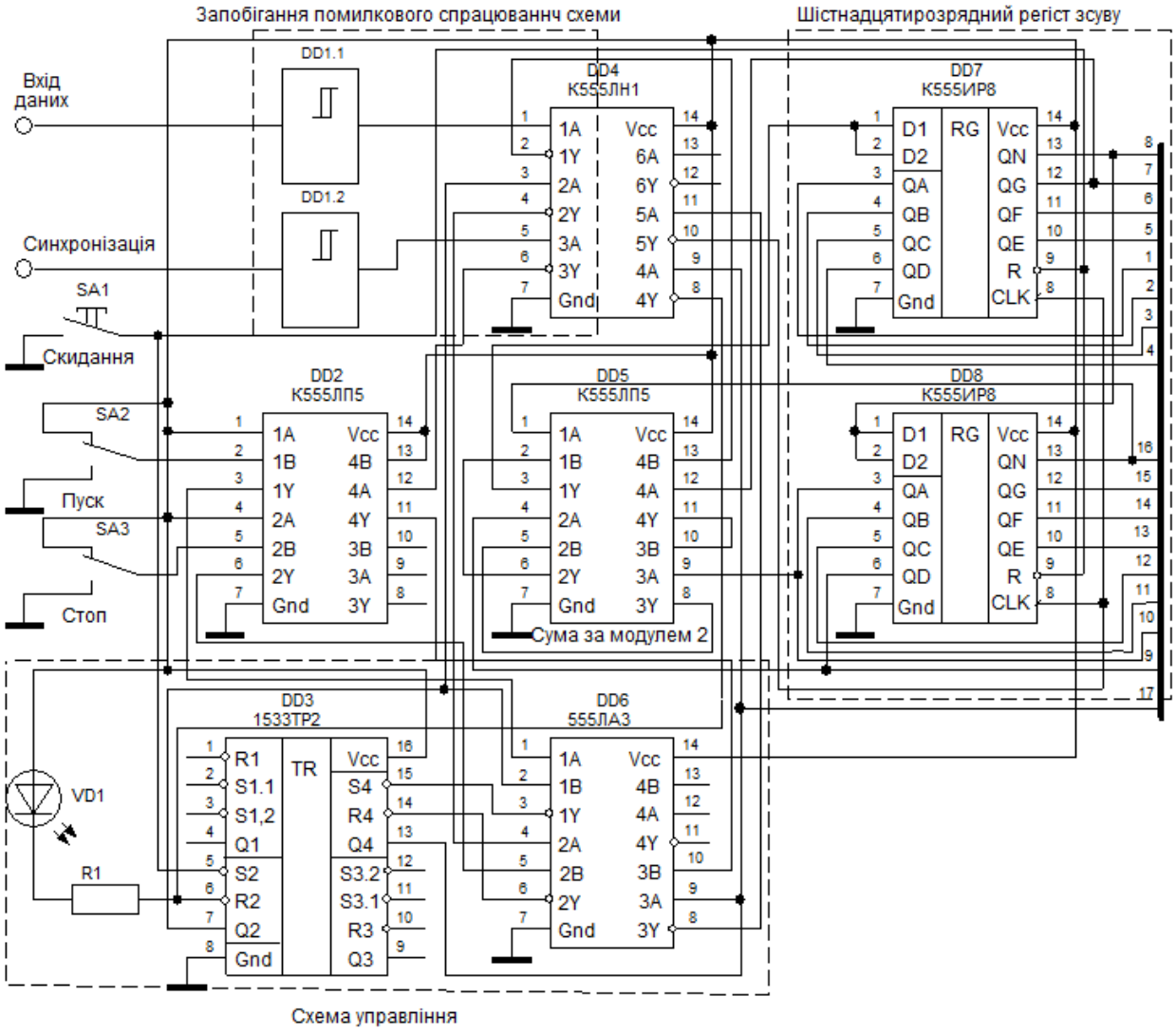


Рисунок 2.8 – Схемна модель одноканального сигнатурного аналізатора

Сигнатурні аналізатори повинні стійко працювати при перевірці мікроелектронних систем, які містять інтегральні схеми у третьому (високоімпедансному) стані. З цією метою на вході аналізатора встановлюються два компаратори, настроєні на рівні логічного нуля і логічної одиниці. Якщо в результаті переключення у високоімпедансний стан на виході інтегральної схеми виявиться проміжна напруга (менше рівня логічної одиниці, але більше рівня логічного нуля), то на вході в аналізатор повторюються дані, які відповідають попередньому логічному стану (одиничному чи нульовому.

2.3.1 Моделювання генератора тактових імпульсів

Генератори імпульсів використовують в багатьох радіотехнічних пристроях (електронних лічильниках, реле часу), застосовують при налаштуванні цифрової техніки. Діапазон частот таких генераторів може бути від одиниць герц до багатьох мегагерц [9].

Для формування коротких імпульсів з перепадів на виходах мікросхем застосовують диференціюючі кола. На рисунку 2.9 (а) показане диференціююче коло для здобуття імпульсу по фронту вхідного імпульсу позитивної полярності, на рисунку 2.9 (б) – по спаду. Діоди VD1 і VD2 являються захисними і входять до складу мікросхем серій К561, КР1561, 564 і серії К176 та їх аналогів.

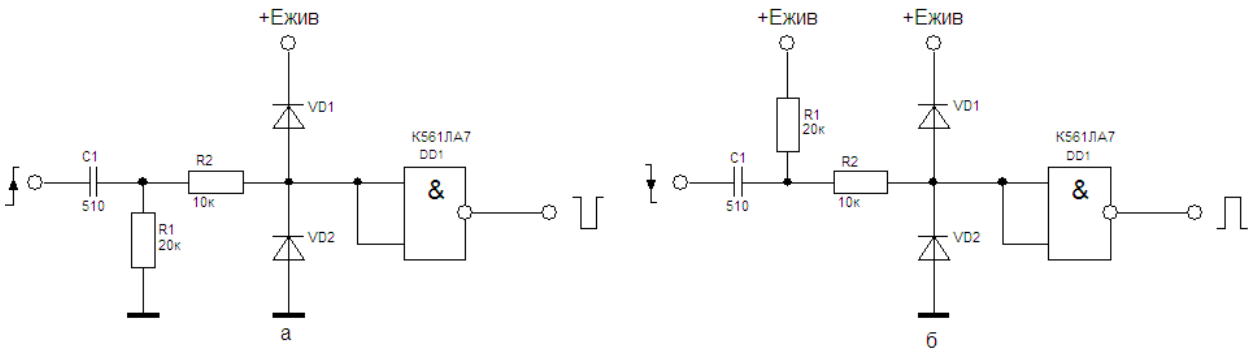


Рисунок 2.9 – Диференціюючі кола, які працюють по фронту (а) і спаду (б) імпульсів

Резистор R2 служить для обмеження вхідного струму через конденсатор C1 і вхідні діоди VD1 і VD2. Навантажуючи мікросхему цей струм збільшує тривалість фронту на виході мікросхеми.

Ефективна тривалість імпульсів на виході диференціюючого кола 0,7R1C1, тривалість спаду - 2R1C1.

Імпульси з фронтами або спадами тривалістю більше 10 мкс, поступаючи на входи мікросхем КМОП, можуть викликати їх генерацію, нестійку роботу тригерів і лічильників, тому при необхідності здобуття імпульсів з тривалістю більше 10 мкс після диференціюючого кола доцільно встановити тригер Шмітта.

Іншим рішенням для формування тривалих імпульсів є використання чекаючих мультивібраторів.

На рисунку 2.10 приведена основна схема чекаючого мультивібратора на елементах І-НЕ, яка запускається спадом позитивного імпульсу.

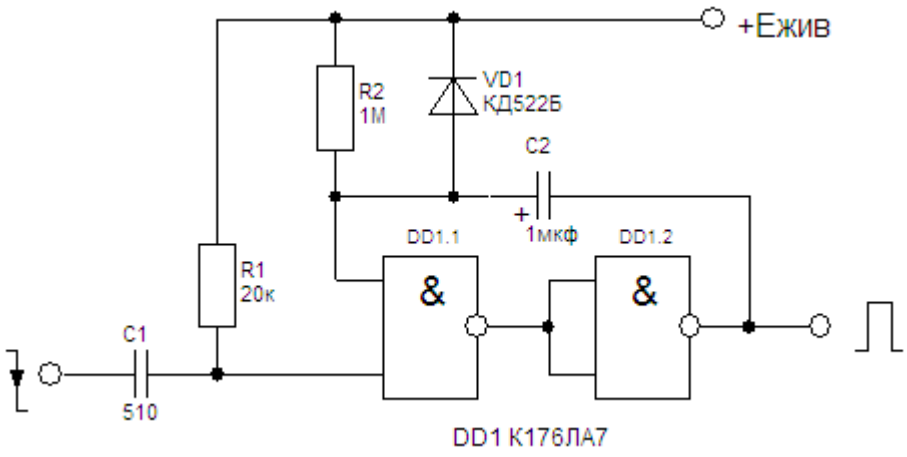


Рисунок 2.10 - Основна схема чекаючого мультивібратора

У вихідному стані конденсатор C2 розряджений, на обох входах елементу DD1.1 і на виході елементу DD1.2 логічна 1. Під час вступу з виходу диференціюючого кола короткого імпульсу негативної полярності елемент DD1.1 вимикається (рис. 2.11), DD1.2 включається і на його виході з'являється логічний 0. Спад напруги з виходу елементу DD1.2 через конденсатор C2 передається на вхід елементу DD1.1 і підтримує його у вимкненому стані.

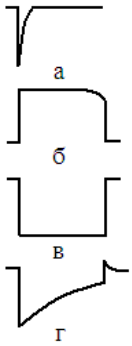


Рисунок 2.11 - Часова діаграма чекаючого мультивібратора

Використання мікросхем, які можуть працювати логічними неінвертуючими елементами І чи АБО, дозволяє спростити схеми чекаючих мультивібраторів.

На рисунку 2.12 приведена схема генератора, який формує одиночні імпульси прямокутної форми при натисненні кнопки SA1 (тобто він не є автогенератором). На логічних елементах DD1.1 і DD1.2 зібраний RS-тригер, який запобігає проникненню імпульсів брязкоту контактів кнопки на перелічувальний пристрій. У положенні контактів кнопки SA1, показаному на схемі, на виході 1 буде напруга високого рівня, на виході 2 - напруга низького рівня; при натиснутій кнопці – навпаки. Цей генератор зручно використовувати при перевірці працездатності різних лічильників.

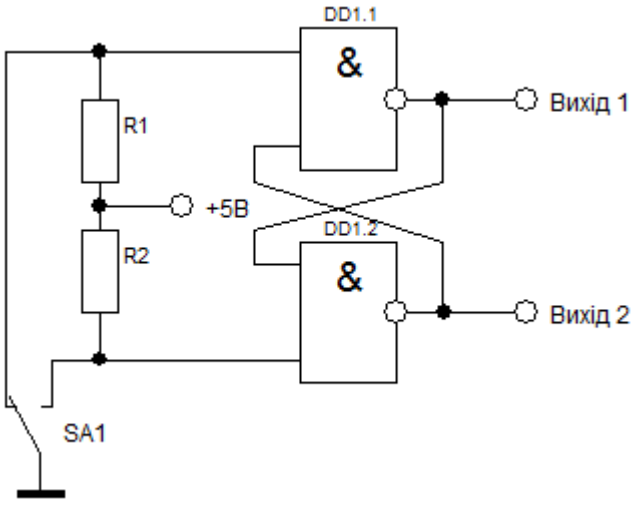


Рисунок 2.12 – Генератор одиночних імпульсів

На мікросхемі ТТЛШ К555ЛН1 можна зібрати широкодіапазонний генератор імпульсів (рис. 2.13).

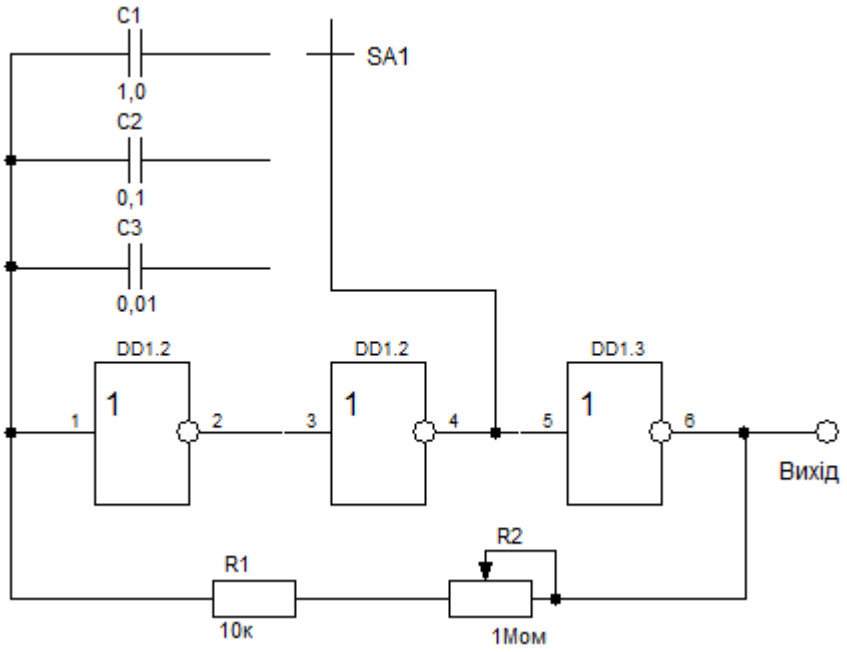


Рисунок 2.13 - Широкодіапазонний генератор імпульсів на мікросхемі К555ЛН1

Для зручності установки частоти ємкість конденсатора часозадаючого кола змінюють перемикачем SA1. Діапазон частот, що формуються генератором, складає 1...10 000 Гц.

Якщо потрібна висока стабільність частоти, яка генерується, то такий генератор можна зробити «кварцованим» - включити кварцовий резонатор на потрібну частоту. Цифрові мікросхеми в генераторах взаємозамінні в більшості випадків і можна використовувати в одній і тій же схемі як мікросхеми з елементами «І-НЕ», так і «АБО-НЕ», або ж просто інвертори. Варіант таких замін показаний на рисунку 2.14, де використана мікросхема з інверторами К555ЛН1. Таку саму схему із збереженням всіх параметрів можна зібрати і на К555ЛА3 [9].

Автогенератор на виході формує імпульси, які зручніше контролювати після дільника. Таким чином автогенератор доповнюється виводами керування роботою лічильника дільника (рис. 2.15).

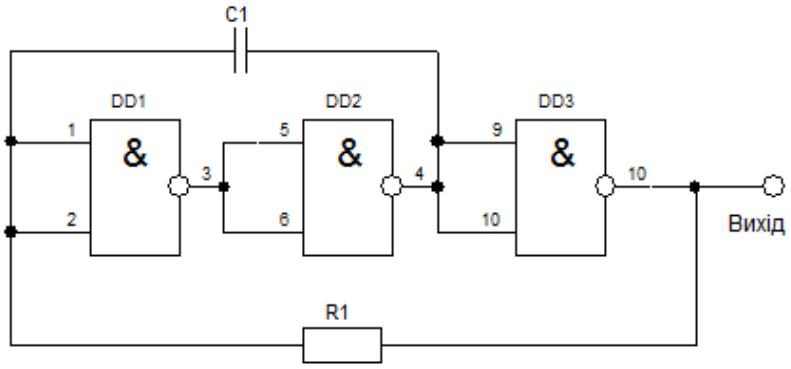


Рисунок 2.14 - Автогенератор імпульсів на мікросхемі К555ЛА3

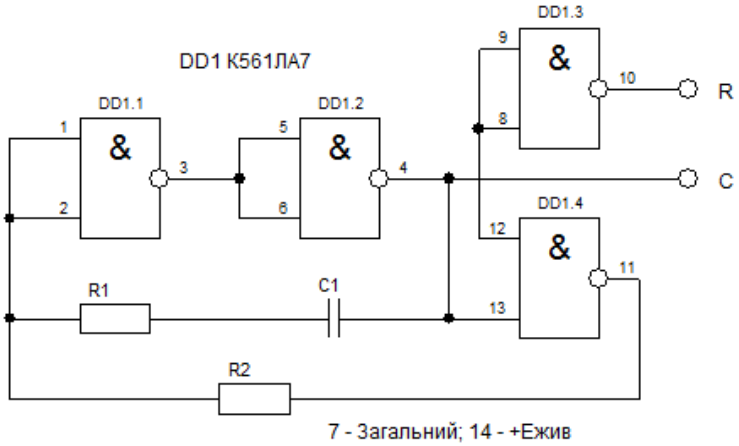


Рисунок 2.15 – Схема тактового автогенератора

Моделювання функціонування тактового генератора виконаємо в програмному забезпеченні Electronics Workbench (рис. 2.16). Застосуємо мікросхему 7400, аналог К555ЛА3. Як бачимо з осцилограми на виході S автогенератора формуються періодичні імпульси, а на виході R рівень логічний 0.

Генератор імпульсів призначений для узгодження роботи всіх вузлів сигнатурного аналізатора з частотою 1 Гц [7].

Широка зміна частоти імпульсів які генеруються (близько 50 тисяч разів), , забезпечує генератор зібраний за схемою, яка представлена на рисунку 2.16. Мінімальна частота імпульсів тут близько 0,25 Гц. Тривалість імпульсів регулюється резистором R1. Частоту дотримання можна визначити по формулі:

$$f = \frac{1}{2} R1C1,$$

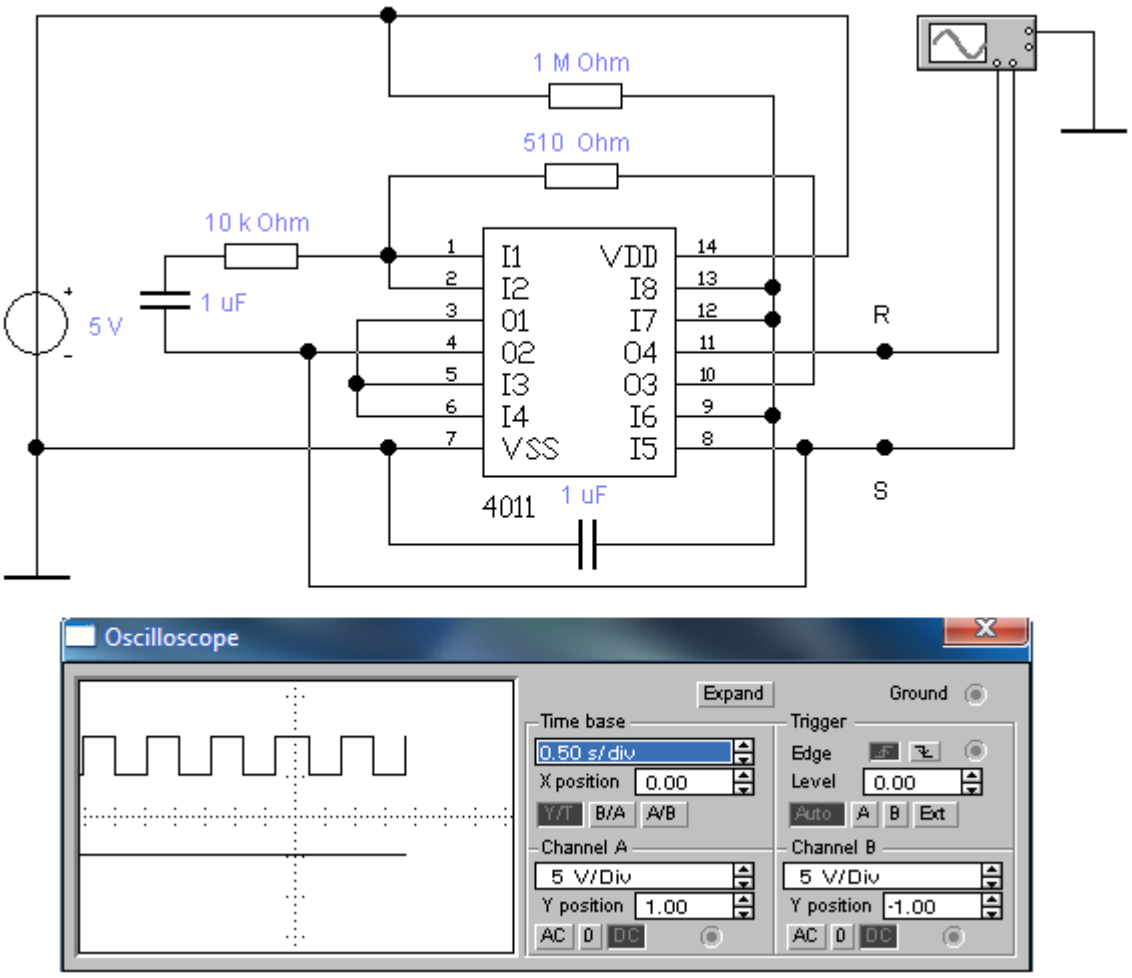


Рисунок 2.15 – Моделювання функціонування тактового автогенератора

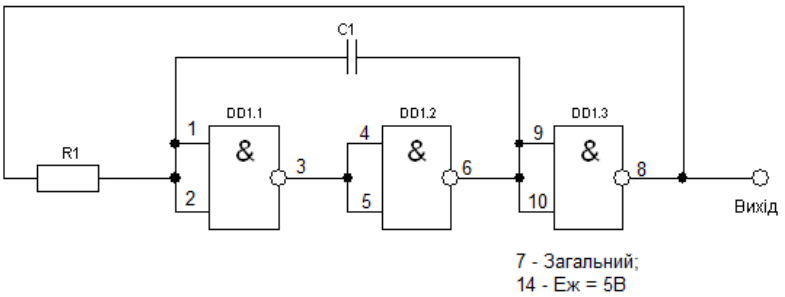


Рисунок 2.16 – Схема генератора імпульсів

Для схеми одноканального сигнатурного аналізатора побудуємо тактовий генератор синхросигналів на мікросхемі К555ЛА3 (рис. 2.17).

Мікросхема містить чотири двохвходових логічних елемента І-НЕ і виготовлена за технологією ТТЛШ логіки.

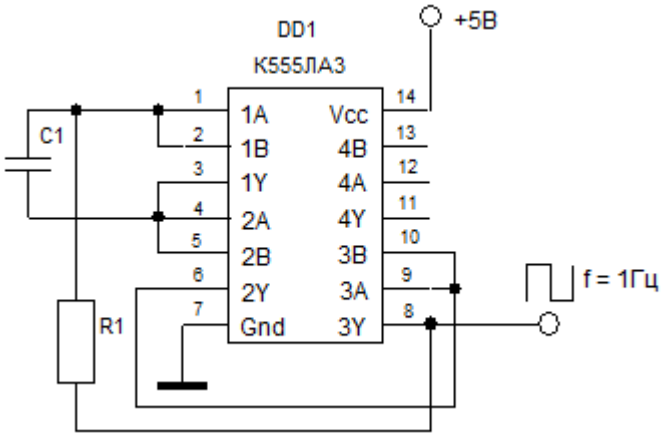


Рисунок 2.17 – Генератор імпульсів з частотою 1 Гц

2.4 Схема багатоканального сигнатурного аналізатора параметрів цифрової інформації

Проблема аналізу багатовихідних цифрових схем і процес тестування полягає у визначенні виникнення несправності схеми з її вихідними реакціями. Відмінною особливістю такого аналізу є необхідність дослідження досить великої кількості вихідних реакцій схеми (число їх може досягати декількох сотень). Тому використання традиційних методів компактного тестування, які застосовуються для одновихідних цифрових схем, в даному випадку не дозволяє отримати бажаного ефекту. Спроба провести аналіз n-вихідної цифрової схеми одноканальним сигнатурним аналізатором призводить до збільшення в n разів часу, необхідного для аналізу схеми, або обладнання, необхідного для реалізації n сигнатурних аналізаторів. При цьому залишається відкритим питання про розрядності сигнатури, яка також може збільшитися в n разів. Тому на практиці найчастіше використовують спеціальні методи і прийоми. Найбільш часто використаним з них є метод, заснований на перетворенні n вихідних послідовностей $\{y_i(k)\} \in \{0,1\}$, $i = \overline{1,n}$, $k = \overline{1,l}$, довжиною l в одну послідовність $\{y_0(k)\}$ за виразом:

$$y_0(k) = \sum_{i=1}^{n} \oplus y_i(k) \qquad k = \overline{1,l} \qquad (2.1)$$

Практична реалізація цього методу може бути здійснена як процедура стиснення в просторі або в часі. У тому і іншому випадку реалізується ідея одержання компактних оцінок, характерна для методів компактного тестування. Ефективність алгоритму стиснення інформації визначається як:

$$P_n^{\mu} \approx \prod_{j=1}^{\mu/2}(2j-1)\left(\frac{n-1}{n}\right)^{\mu/2}\frac{1}{l^{\mu/2}}, \qquad (2.2)$$

де μ - кратність помилки, причому для непарних значень μ $P_n^{\mu}=0$ (P_n^{μ} - ймовірність не виявлення помилки кратності μ).

Аналіз отриманих чисельних значень ймовірностей P_n^{μ}, а також загального виразу (2.2) показує нерівномірність закону їх розподілу, що свідчить про досить невисоку ефективність розглянутого алгоритму стиснення. Крім того, необхідно відзначити велику розмірність результату стиснення, яка дорівнює довжині l вихідних реакцій схеми. Тому на практиці частіше всього використовується компромісне рішення, яке полягає в двоступінчастому перетворенні вихідних реакцій n – вихідної цифрової схеми. Спочатку n вихідних послідовностей $\{y_i(k)\}$ довжиною l перетворюються в послідовність $\{y_0(k)\}$ за виразом (2.1). Далі сформована таким чином послідовність $\{y_0(k)\}$ знімається в m – розрядну сигнатуру.

Ефективність даного перетворення при μ=4 визначиться як:

$$P_n^4 = \frac{3(n-1)^2}{2^{2m}} + \frac{1}{2^m} - \frac{3(n-1)^2}{2^{3m}}, \qquad (2.3)$$

де m – старша ступінь породжуючого полінома.

Ця формула справедлива, коли $nl \approx 2^m$.

Найбільш поширена структура багатоканального сигнатурного аналізатора для дослідження багатовихідних цифрових схем, яка побудована на базі породжуючого полінома $\varphi(x)=1\oplus x^3\oplus x^4$, наведена на рисунку 2.18.

Вона використовується для аналізу вихідних реакцій чотирьохвихідних цифрових схем. При цьому кінцеве значення коду $a_1(k)a_2(k)a_3(k)a_4(k)$ є ре-

зультуючим значенням сигнатури S(y), представляє собою компактну оцінку стиснення чотирьох послідовностей $\{y_i(k)\}\ i=\overline{1,4}$.

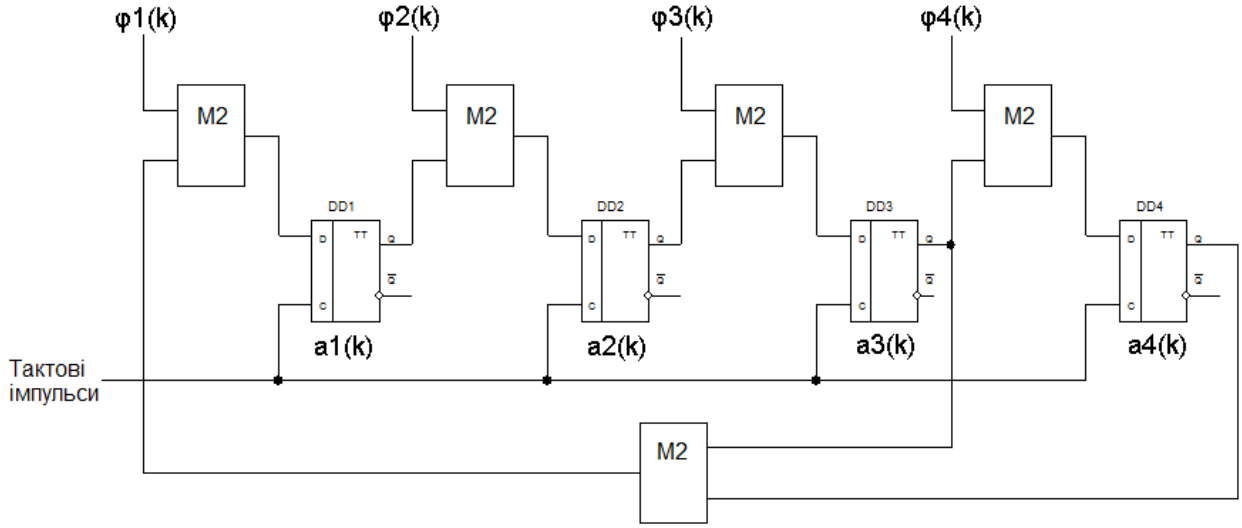


Рисунок 2.18 – Чотирьохканальний сигнатурний аналізатор

Можна показати, що схема, наведена на рисунку 2.18, еквівалентна щодо кінцевого результату найпростішої сигнатури двоступінчастого стискання інформації. А це означає, що в обох випадках для оцінки ефективності можна застосовувати формулу (2.3). Обидва підходи отримання сигнатур відрізняються нерівномірністю закону розподілу ймовірностей P_n^{μ} не виявлення помилки кратності μ, а, отже, невисокою ефективністю.

Крім того, сигнатура багатоканального сигнатурного аналізатора, а також розмірність сигнатури S(y) однозначно визначається кількістю виходів n досліджуваної схеми. Тому із збільшенням n-складність пристрою стиснення і кількість біт, яка використовуються для подання сигнатури S(y), приймає практично неприпустимі розміри. Спроба використати ідею каскадування багатоканальних сигнатурних аналізаторів дозволяє зменшити розмірність результуючої сигнатури, однак у цьому випадку виявляється складною оцінка достовірності такого аналізатора, яка буде залежати від організації взаємозв'язку багатоканальних сигнатурних аналізаторів та їх конкретної реалізації.

2.4.1 Схема індикації сигнатури зафіксованої в аналізаторі

Перетворювач двійкового коду в код управління семисегментними світлодіодними індикаторами відноситься до вагових індикаторів (рис. 2.19). На рисунку також приведені зображення цифр шістнадцятирічної системи числення. Такий перетворювач повинен мати чотири входи, оскільки для кодування десяткових цифр від 0 до F вистачає чотири двійкових розряди, і сім виходів, поодинці на кожен сегмент [10].

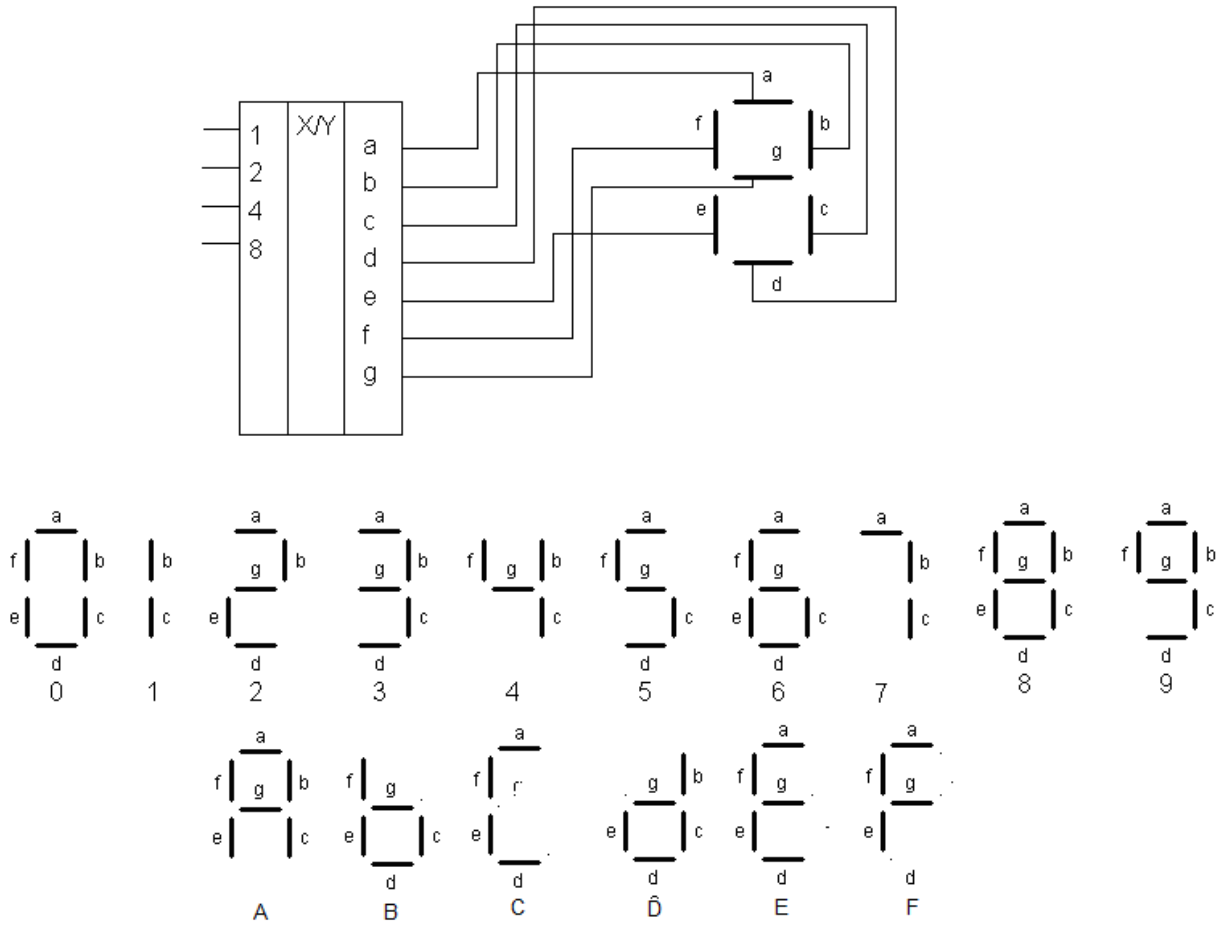


Рисунок 2.19 - Перетворювач шістнадцятирічного коду в код управління семисегментними світлодіодними індикаторами

Побудуємо схему перетворення шістнадцятирічного коду чисел в код семисегментного індикатора. Алгоритм функціонування такого пристрою представлена в таблиці 2.3.

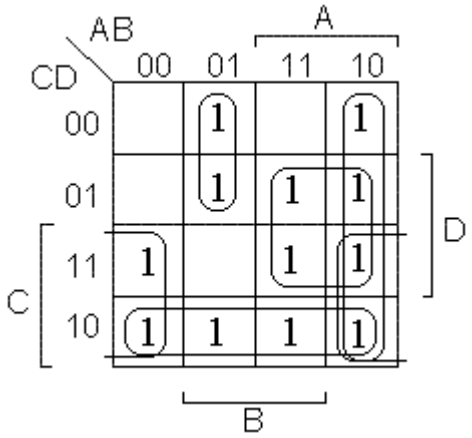
Таблиця 2.3 - Таблиця функціонування перетворювача шістнадцятиріч-ного коду чисел в код семисегментних індикаторів

№	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
B	1	0	1	1	0	0	1	1	1	1	1
C	1	1	0	0	0	0	1	1	1	1	0
D	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

З таблиці виводимо рівняння функціонування схеми перетворення шістнадцятирічного коду чисел в код семисегментного індикатора.

$$g = \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} +$$
$$+ A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}CD + AB\overline{C}D + ABC\overline{D} +$$
$$+ ABCD$$

Карта Карно:

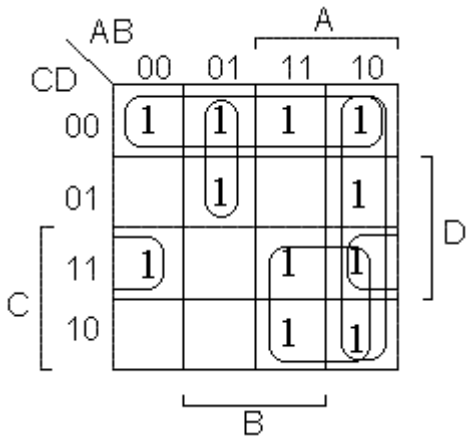


Спрощене рівняння:

$$g = AD + A\overline{B} + C\overline{D} + C\overline{B} + \overline{A}B\overline{C}$$

$$f = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + A\bar{B}\bar{C}\bar{D} +$$
$$+ A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + ABC\bar{D} + ABCD$$

Карта Карно:

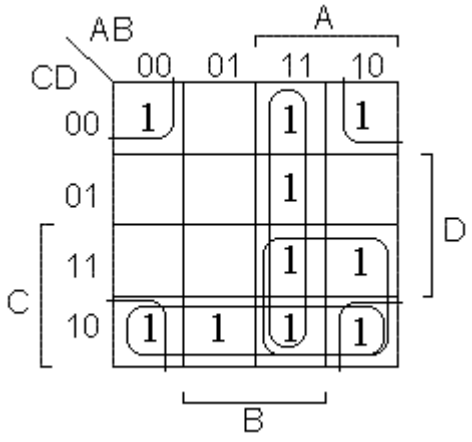


Спрощене рівняння:

$$f = C\bar{D} + AC + A\bar{B} + \bar{A}B\bar{C} + \bar{B}CD$$

$$e = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D +$$
$$+ ABC\bar{D} + ABCD$$

Карта Карно:

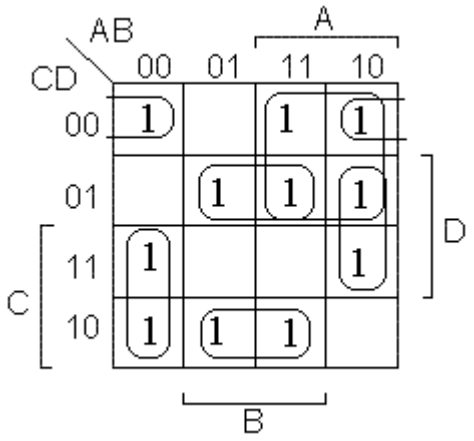


Спрощене рівняння:

$$e = C\bar{D} + AC + AB + \bar{B}\bar{D}$$

$$d = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} +$$
$$+ A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D +$$
$$+ ABC\bar{D}$$

Карта Карно:

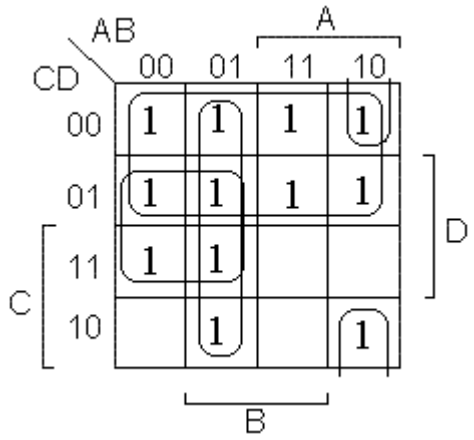


Спрощене рівняння:

$$d = A\bar{C} + A\bar{B}D + \bar{A}\bar{B}C + B\bar{C}D + BC\bar{D} + \bar{B}\bar{C}\bar{D}$$

$$c = \bar{A}\bar{B}CD + \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}B\bar{C}\bar{D} +$$
$$+ \bar{A}BC\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D +$$
$$+ A\bar{B}C\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D$$

Карта Карно:

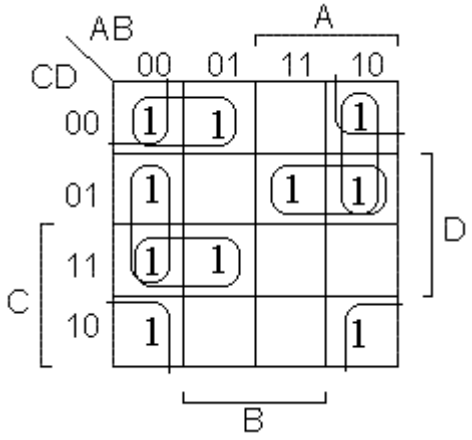


Спрощене рівняння:

$$c = \bar{C} + \bar{A}B + \bar{A}D + A\bar{B}\bar{D}$$

$$b = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}BC\bar{D} +$$
$$+ \bar{A}BCD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD$$

Карта Карно

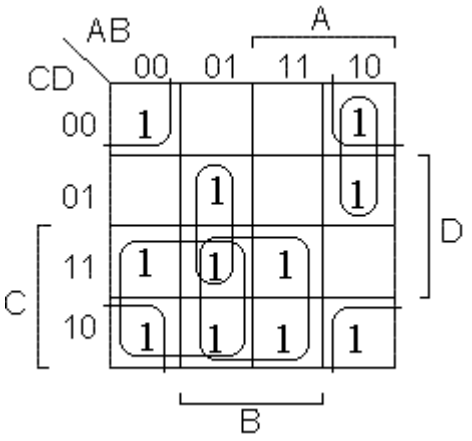


Спрощене рівняння:

$$b = \overline{B}\overline{D} + \overline{A}\overline{C}D + A\overline{B}\overline{C} + A\overline{C}D + \overline{A}\overline{B}D + \overline{A}CD$$

$$a = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + \overline{A}BCD$$
$$+ A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + ABC\overline{D} + ABCD$$

Карта Карно:



Спрощене рівняння:

$$a = A\overline{B}\overline{C} + BC + \overline{A}BD + \overline{B}\overline{D} + \overline{A}C$$

Реалізація схеми на елементах елементарної логіки представлена на рисунку 2.20.

Для реалізації схеми індикації сигнатури зафіксованої в аналізаторі на реальній елементній базі, обираємо мікросхему дешифратора-перетворювача з пам’яттю К514ИД (рис. 2.21). В таблиці 2.4 представлений алгоритм управління семисегментним індикатором мікросхемою К514ИД2.

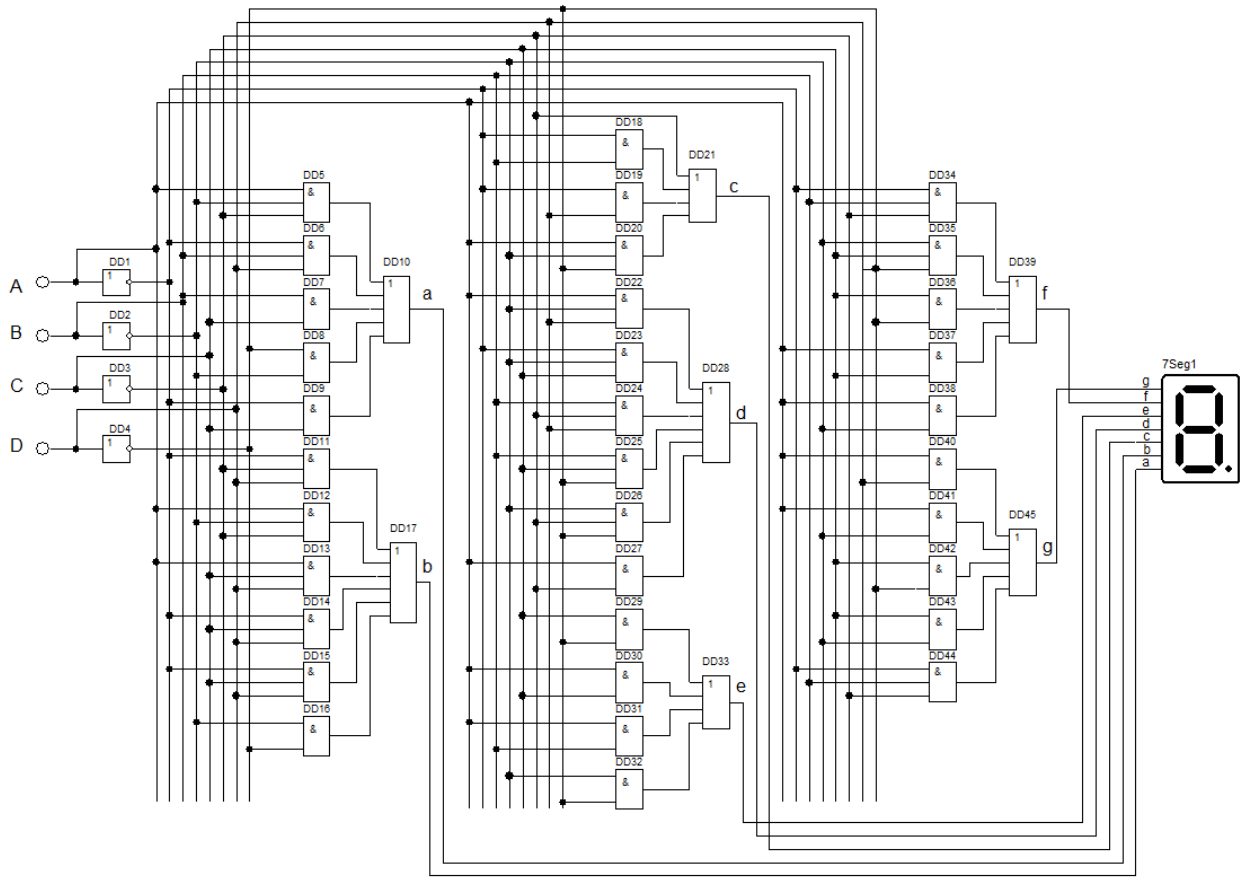


Рисунок 2.20 - Схеми перетворення шістнадцятирічного коду чисел в код семисегментного індикатора

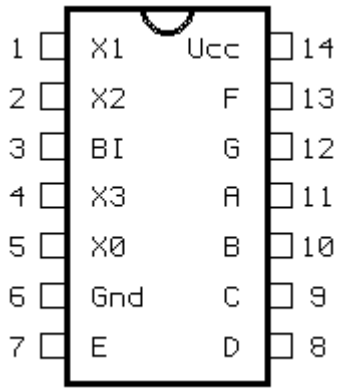


Рисунок 2.21 – Дешифратор К514ИД2

Особливістю дешифратора являється наявність внутрішньої регістрової пам'яті, що дозволяє зберігати вхідну інформацію після зняття даних з входу D1. Фіксація даних відбувається коли BI = 1. Для гасіння сегментів на вхід BI слід подати рівень логічний 0.

Таблиця 2.4 – Алгоритм роботи мікросхеми К514ИД2

BI	Входи				Виходи							Сим-вол
	8	4	2	1	a	b	c	d	e	f	g	
1	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	1	1	1	1	1	1	0	0	1	3
1	0	1	0	0	0	1	1	0	0	1	1	4
1	0	1	0	1	1	0	1	1	0	1	1	5
1	0	1	1	0	1	0	1	1	1	1	1	6
1	0	1	1	1	1	1	1	0	0	0	0	7
1	1	0	0	0	1	1	1	1	1	1	1	8
1	1	0	0	1	1	1	1	1	0	1	1	9
1	1	0	1	0	1	1	1	0	1	1	1	A
1	1	0	1	1	0	0	1	1	1	1	1	b
1	1	1	0	0	1	0	0	1	1	1	0	C
1	1	1	0	1	0	1	1	1	1	0	1	d
1	1	1	1	0	1	0	0	1	1	1	1	E
1	1	1	1	1	1	0	0	0	1	1	1	F
0	×	×	×	×	0	0	0	0	0	0	0	0

Схема індикатора сигнатури представлена на рисунку 2.22.

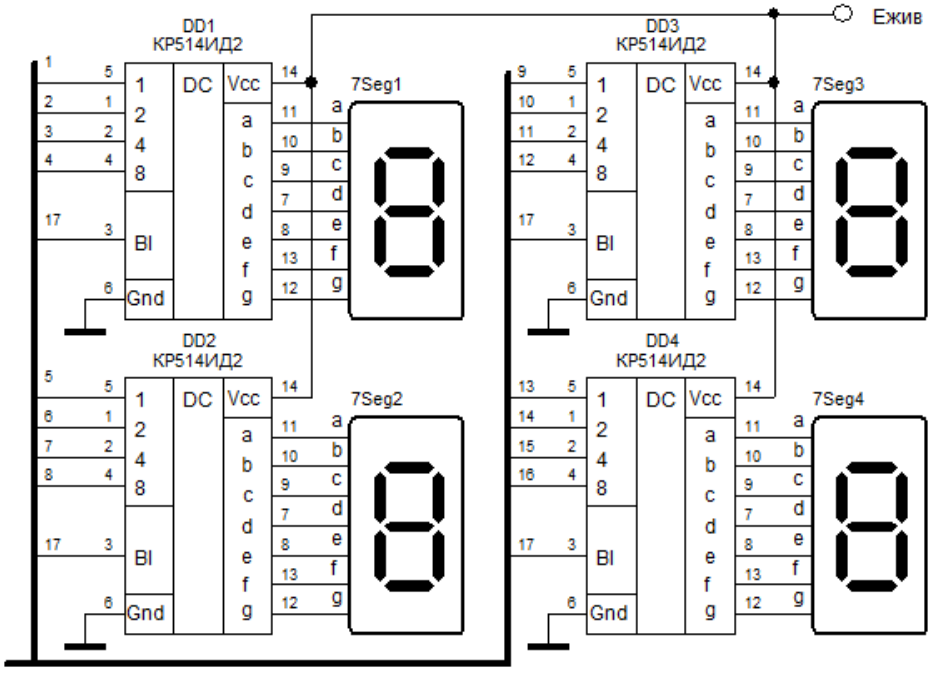


Рисунок 2.22 - Схема індикатора сигнатури

Загальна схема сигнатурного аналізатора параметрів цифрової інформації представлена на рисунку 2.23.

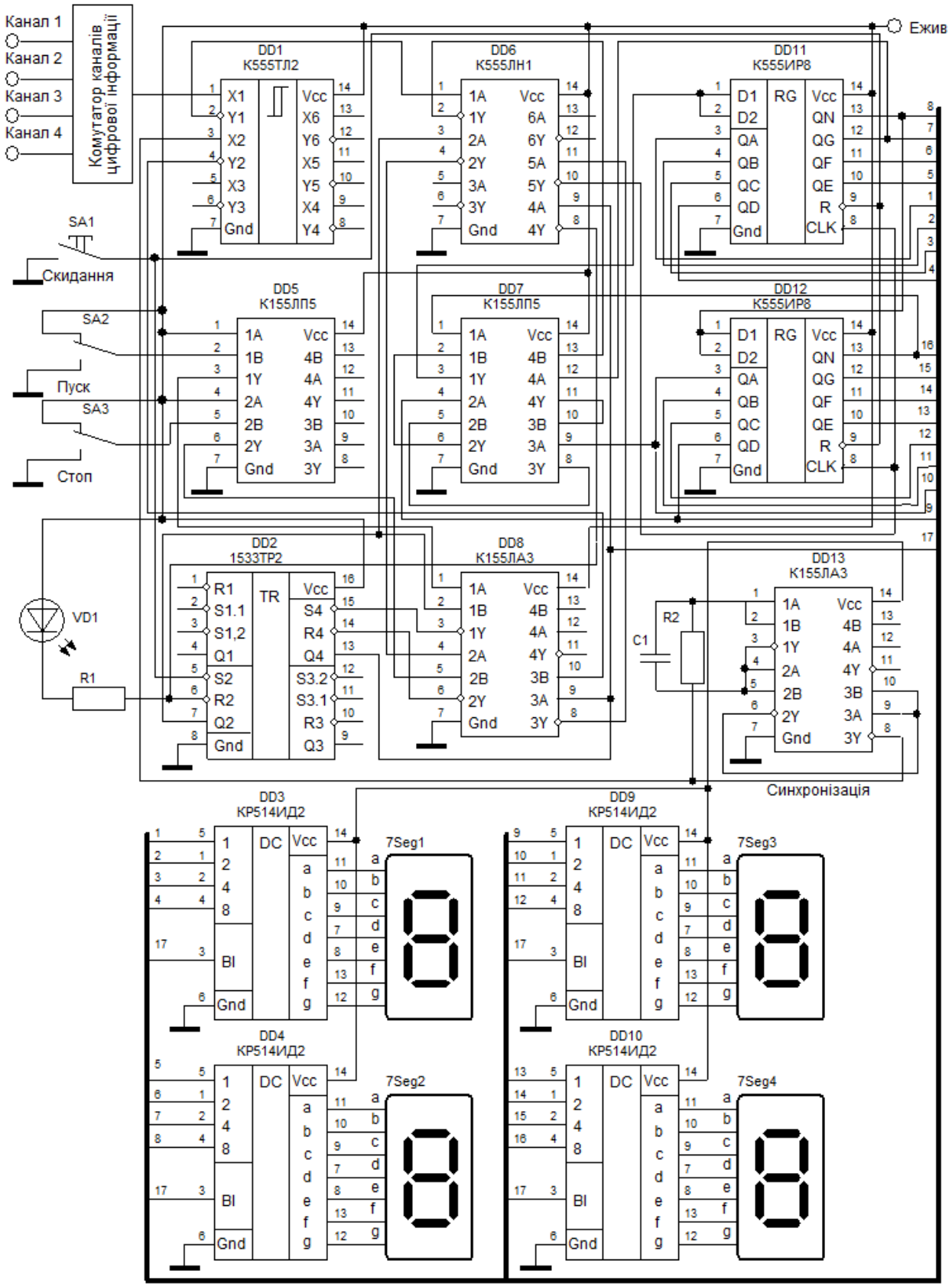


Рисунок 2.23 - Загальна схема багатоканального сигнатурного аналізатора параметрів цифрової інформації

Переваги сигнатурного аналізатора:

- не вимагає високої кваліфікації оператора;

- дозволяє спостерігати двійкові послідовності великої довжини (50 біт і більше);

- являється практично єдиним пристроєм, який дозволяє в умовах експлуатації виявити несправні компоненти цифрових пристроїв;

- забезпечує високу достовірність діагностування;

- має досить просту апаратну і програмну реалізацію порівняно з іншими засобами діагностування.

До недоліків апаратних варіантів сигнатурних аналізаторів відносяться:

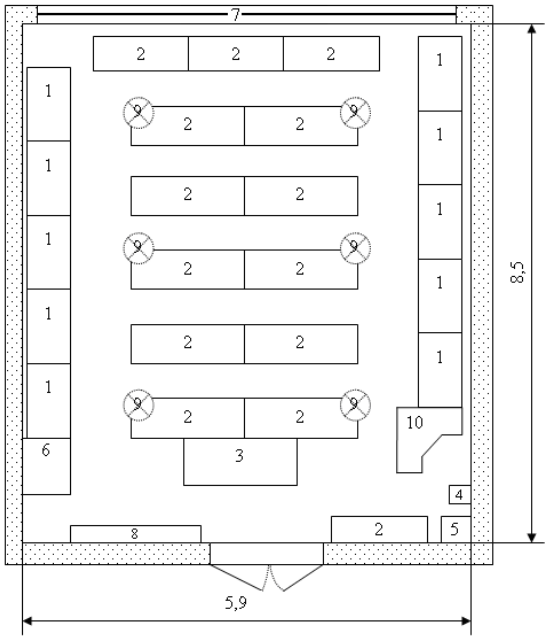
- мала інформативність (на індикаторі висвічується сигнатура, а пошук несправності ведеться оператором за принциповою схемою або по спеціальній документації);

- стомлюваність операторів при діагностиці складних цифрових плат.

3 Охорона праці та техногенна безпека

3.1 Характеристика потенційних небезпечних та шкідливих виробничих факторів

При виконанні дипломної роботи комп’ютерне моделювання та розрахунок електронної схеми сигнатурного аналізатора проводилися в приміщенні кафедри ЕІСПЗ, макет якої представлено на рисунку 3.1.



1 - стіл комп'ютерний; 2 - стіл аудиторний; 3 - стіл викладача; 4 - автомат відключення електричного живлення; 5 - шафа силова; 6 - шафа універсальна; 7 - вікно; 8 - дошка аудиторна; 9 - світильник 4-х ріжковий; 10 - стіл адміністратора мережі

Рисунок 3.1 – Макет приміщення в якому проводилися роботи

Площа приміщення складає 50,15 м^2; об’єм 175,52 м^3; довжина приміщення 8,5 м; ширина приміщення 5,9 м; висота приміщення 3,5 м; число вікон 1; число робочих місць 10; освітлення: природне (через бічне вікно) і за-

гальне штучне. Параметри приміщення задовольняють нормативним значенням: площа 6м^2, об’єм 20м^3 на одного працюючого.

Лабораторія являється приміщенням легкої категорії (виконуються легкі фізичні роботи), тому повинні дотримуватися такі вимоги (період року – холодний) [11]:

- оптимальна температура повітря – 22…24 ^{o}C (допустима – 20…24 ^{o}C);
- оптимальна відносна вологість – 40…60% (допустима не більше 75%);
- швидкість руху повітря не більше 0,1 м/с .

Оцінка шкідливих і небезпечних факторів та карта умов праці для робочого місця працівника лабораторії представлені в таблиці 3.1.

Аналіз шкідливих і небезпечних факторів дозволяє зробити висновок, що умови праці в лабораторії характеризуються наявністю нешкідливих виробничих чинників, які не призводять до зростання захворюваності з втратою працездатності та проявом початкових ознак професійної патології.

На ділянці проведення експерименту значна частина моделювання вироблялася на персональному комп'ютері і макетному стенді, оснащеному блоками живлення, програмованими пристроями вхідних дій, реєструючим і вимірювальним устаткуванням. Печатні плати виготовлялися за технологією травлення фольгованого текстоліту на спеціальному стенді з витяжною шафою, розташованому в науково-дослідній лабораторії кафедри.

Тривала робота перед екраном монітора наводить до різних функціональних розладів організму, навантаження на очі. Захворювання поступово накопичуються. В основному страждають кисті, зап'ястя, плечі, шийна область.

3.2 Заходи з поліпшення умов праці

При проведенні моделювання схеми приладу, якість експерименту багато в чому залежить від освітлення, тому в лабораторії має бути передбачене штучне освітлення [12].

Таблиця 3.1 – Оцінка факторів виробничого та трудового процесу працівника лабораторії

№ п/п	Фактори виробничого середовища та трудового процесу	Нормативне значення	Фактичне значення	III клас: шкідливі та небезпечні умови, характер праці			Час дії фактора
				I ступінь	II ступінь	III ступінь	
1	Шкідливі хімічні речовини, мг/м^3: I клас небезпеки _____ II клас небезпеки _____ III-IV клас небезпеки _____						
2	Пил переважно фіброгенної дії, мг/м3						
3	Вібрація (загальна і локальна), дБ						
4	Шум, дБА						
5	Інфразвук, дБ						
6	Ультразвук, дБ						
7	Неіонізуючі випромінювання: - радіочастотний діапазон, В/м - діапазон промислової частоти, кВ/м - оптичний діапазон (лазерне випромінювання), Вт/м^2						
8	Мікроклімат в приміщенні: - температура повітря, ºС (тепл. п) - швидкість руху повітря, м/с - відносна вологість повітря, % - інфрачервоне випромінювання, Вт/м^2	 23 – 25 ≤ 0 ,2 40 – 60 100	 23 0,1 60				 100 100 100
9	Важкість і напруженість праці	категорія важкості праці - легка, категорія напруженості праці - мало напружена					

Незадовільне освітлення може спотворити інформацію, крім того, викликає стомлення організму в цілому. Неправильне освітлення може з'явитися причиною травматизму.

Залежно від класу приміщення по вибухонебезпеці і від чистоти середовища виробничих приміщень, визначається схема розташування світильників, їх марка і конструктивного виконання [12].

Для освітленості приміщення з розмірами А = 8,5 м, В = 5,9 м та висотою Н = 3,5 м використовуються 6 світильників з чотирма лампами розжарювання. Коефіцієнти віддзеркалення світлового потоку від стелі, стін і підлоги відповідно рівні $p_{пот}$ = 70%, $p_{ст}$ = 50%, $p_{полу}$ = 10%. Затінювання робочих місць немає. Висота світильника h_c = 0,9 м, висота робочої поверхні над рівнем підлоги h_p = 0,8 м. Нормативна величина освітленості робочих місць з відео-терміналами складає $E_н$ = 300 ÷ 500 лк. В даному приміщенні освітленість 350 – 500 лк.

При монтажі компонентів на плату і формуванні топологічного рисунка струмопровідного шару виникає потенційна небезпека небажаної дії на організм речовин, що звертаються в технологічному процесі, і матеріалів. Всі речовини, що забруднюють повітря, надають шкідливу дію, якщо вони потрапляють в організм в кількостях, що перевищують деяку порогову величину (ГДК). У виробництві плат застосовують певні речовини, які шкідливі для організму. Клас небезпеки шкідливих речовин встановлюється залежно від гранично допустимої концентрації речовин в повітрі робочої зони. Це та концентрація яка переноситься без відхилень від нормального стану в перебігу робочого дня при щоденному диханні. Встановлено чотири класи шкідливих речовин: 1-й клас – речовини надзвичайно небезпечні; 2-й клас – речовини високо небезпечні; 3-й клас – речовини помірно небезпечні; 4-й клас – речовини мало небезпечні. Дія токсичних речовин виявляється в гострих і хронічних отруєннях.

При монтажі електронних плат застосовують ацетон, етиловий спирт для знежирення і очищення від пилу мікросхеми, а також олово і каніфоль для припаювання ніжок напівпровідникового приладу до плати. Спирт, ацетон викликає сухість шкіри. При систематичному вдиханні можливі захворювання сітківки ока. Також можливі нервово - психічні захворювання.

Каніфоль дратівливо діє на слизисті оболонки дихальних доріг і на шкіру, що наводить до дерматитів.

Основні засоби техніки безпеки – герметизація апаратури і устаткування, наявність припливний витяжній вентиляції в приміщенні проведення робіт і витяжна шафа для виготовлення печатних плат і монтажу компонентів паянням (рис. 3.2).

Витяжна шафа оснащена вентилятором моделі CE 140L-125. Вентилятор має крильчатки із заломленими вперед лопатками і двигун із зовнішнім ротором. Корпус виготовлений з листової сталі, що гальванізується. Для захисту двигуна від перегріву вентилятор оснащений вбудованими термоконтактами з ручним перезапуском.

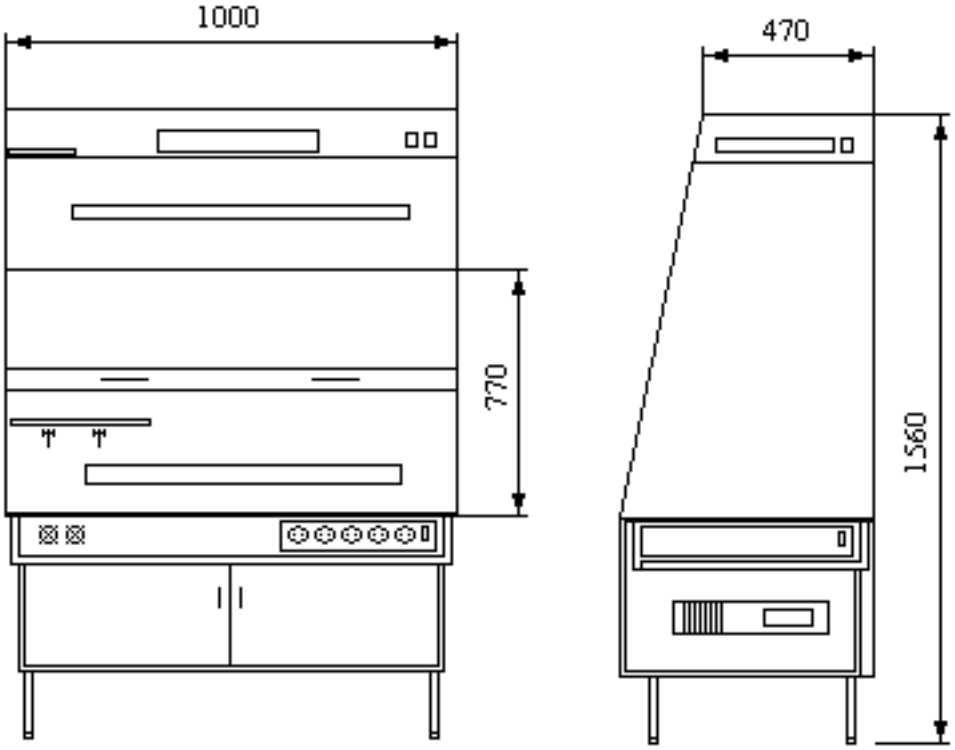


Рисунок 3.2 – Витяжна шафа для виготовлення печатних плат

3.3 Виробнича санітарія

У виробничих приміщеннях, в яких робота на відео терміналах і персональних комп'ютерах є допоміжною, температура, відносна вологість і швид-

кість руху повітря на робочих місцях повинні відповідати діючим санітарним нормам мікроклімату виробничих приміщень [13].

У виробничих приміщеннях, в яких робота на відео терміналах і персональних комп'ютерах є основною, повинні забезпечуватися оптимальні параметри мікроклімату відповідно до таблиці 3.2.

Таблиця 3.2 - Оптимальні норми мікроклімату для приміщень з відеотерміналами і персональними комп'ютерами

Період року	Категорія робіт	Температура повітря, °С (не більше)	Відносна вологість повітря %	Швидкість руху повітря м/с
Холодний	Легка – 1а	22-24	40-60	0.1
Теплий	Легка – 1а	23-25	40-60	0.1

До категорії 1а відносяться роботи, які виконуються сидячи і що не вимагають фізичної напруги, при яких витрата енергії складає до 120 ккал/ч. До категорії 1б відносяться роботи, які виконуються сидячи, стоячи або пов'язані з ходьбою і які супроводяться деякою фізичною напругою, при яких витрата енергії складає від 120 до 150 ккал/год.

У приміщенні проведення експерименту підтримується мікроклімат відповідний нормативам, для категорії робіт «Легка – 1а»

Ергономічне розташування робочого міста за персональним комп’ютером оцінюється вимогами:

- до візуальних параметрів засобів відображення інформації індивідуального користування;

- до емісійних параметрів ПК - параметрів випромінювань дисплеїв, системних блоків, джерел живлення, зокрема безаварійного та ін.

Робота з дисплеями при неправильному виборі яскравості і освітленості екрану, контрастності знаків, квітів знаку і фону, за наявності відблисків на

екрані, тремтіння і мигтіння зображення - приводить до зорового стомлення, головних болів, до значного фізіологічного і психічного навантаження, до погіршення зору.

Візуальні параметри і світловий клімат визначають зоровий дискомфорт, який може виявлятися при використанні будь-яких типів екранів дисплеїв, - на електронно-променевих трубках, рідкокристалічних, газорозрядних, електролюмінісцентних панелях або на інших фізичних принципах.

3.4 Електробезпека

Для забезпечення захисту від поразки електричним струмом у використовуваних електроустановках повинні застосовуватися технічні способи і засоби захисту.

Приміщення за ступенем небезпеки ураження людей електричним струмом відповідно до ПУЕ і ДСТу 12.1.013-95 являється приміщенням без підвищеної небезпеки. Приміщення сухе, добре опалюване з струмонепровідною підлогою, з температурою 18-24 °С, з вологістю 40-50%. З електроустаткувань в ньому знаходяться відео термінальні пристрої та учбові стенди, які знаходяться під напругою U = 220 В, частотою f = 50 Гц.

Вибір того або іншого способу або засобу захисту (або їх поєднань) в конкретному електроприладі, і ефективність його вживання залежать від цілого ряду чинників, у тому числі від:

- номінальної напруги;
- роду, форми і частоти струму використовуваного приладу;
- способу електропостачання (від стаціонарної мережі, від автономного джерела живлення електроенергією);
- вигляду виконання (стаціонарні, пересувні, переносні);
- умов зовнішнього середовища;

- схеми можливого включення людини в ланцюг протікання струму (прямий однофазний, прямий двофазний дотик; включення під напругу кроку);

- вигляду робіт (монтаж, наладка, випробування) і ін.

Основними технічними засобами захисту є:

- захисне заземлення;

- автоматичне відключення живлення (занулення);

- пристрої захисного відключення;

- ізоляція струмопровідних частин.

Принцип роботи ПЗВ (рис. 3.3) полягає в тому, що воно постійно контролює вхідний сигнал і порівнює його з наперед заданою величиною. Якщо вхідний сигнал перевищує встановлене значення, то пристрій спрацьовує і відключає захищену електроустановку від мережі. Як вхідні сигнали пристроїв захисного відключення використовують різні параметри електричних мереж, які несуть в собі інформацію про умови поразки людини електричним струмом.

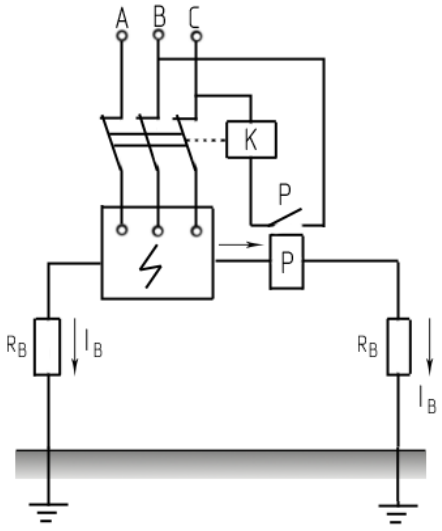


Рисунок 3.3 - Проста схема пристрою захисного відключення

Основними елементами будь-якого пристрою захисного відключення є датчик, перетворювач і виконавчий орган.

Основними параметрами, по яких підбирається те або інші ПЗВ є: номінальний струм навантаження, тобто робочий струм електроустановки, який

протікає через нормально замкнуті контакти ПЗВ в черговому режимі; номінальна напруга; встановлене значення напруги; час спрацьовування пристрою [13].

3.5 Пожежна та техногенна безпека

Виробництво напівпровідникових приладів, згідно ДБН В.1.1–7–2002, відноситься до категорії Б, оскільки це виробництво зв'язане із застосуванням речовин спирту і ацетону з температурою спалаху пари від 28 до 60°С горючих газів. Для зниження пожежної небезпеки використовують обмежену кількість матеріалів які обертаються в процесі, зберігаються, здатні горіти.

Характерними причинами виникнення пожеж в лабораторії є необережне поводження з вогнем, порушення технологічних процесів, неправильні електропроводки і устаткування, неправильне користування електричними приладами і ін. Для лабораторії встановлена категорія пожежної небезпеки В.

Основні будівельні конструкції будівлі, в якій знаходиться ділянка, виконані з тих, що не згорають і важко згорають матеріалів, що цегельних і виштукатурюють. Отже, вогнестійкість будівлі має 2 рівень. Для евакуації людей на випадок пожежі, згідно ДБН В.1.1–7–2002, в лабораторії є два евакуаційні виходи, розташованих в протилежних кінцях приміщення ділянки. Ширина дверей і сходів рівна 1,6 м, що відповідає нормі.

Відстань від найбільш видаленого робочого місця до найближчого виходу – 15 м. Швидкість пересування людей при евакуації – 16 м/хв. [13].

Згідно правилами влаштування електроустановок ПВЕ, будівля, в якій знаходиться ділянка по заходах захисту від блискавок, відноситься до категорії 3 і захищається від прямих ударів блискавок, і від замету високих потенціалів через землю, тобто підземні металеві комунікації приєднуються при введенні в об'єкт, що захищається, до заземлювачів електроустаткування. Отже, грозозахист заснований на стержневих громовідводах.

Для попередження пожеж на ділянці необхідно створити строгий протипожежний режим. Створюється загально об'єктова і лабораторна інструкція по ПБ, проводиться первинний протипожежний інструктаж на робочому місці; створюється план протипожежних заходів і евакуації людей на випадок пожежі.

Як вогнегасні речовини можна застосовувати воду, вуглекислоту, хімічну і повітряно-механічну піну. Для гасіння вогнищ усередині будівлі на майданчиках сходових кліток, в коридорах і отворі встановлюють пожежні крани, які розміщені в шафах, де знаходиться і рукав з протипожежним стволом. Для гасіння пожеж електроустановок використовується вуглекислий вогнегасник ОУ-2, в кількості двох вогнегасників на приміщення. Існують пожежна електрична сигналізація, яка забезпечує прямий зв'язок пожежної охорони з охоронним об'єктом. У даній будівлі застосовують звукову систему сигналізації. При появі сигналу сповіщення про пожежу співробітники лабораторії № 216 організовано без паніки покидають лабораторію і, залежно від місця спалаху, слідують або вліво через лабораторний корпус для виходу на вулицю Фанатську, або управо для виходу на вулицю Незалежної України (рис. 3.4).

3.6 Розрахунок захисного заземлення

Заземленню підлягають вимірювальні установки, напруга живлення яких 220 В. У якості заземлювача візьмемо сталеві вертикальні стержні довжиною l = 2,5 м, діаметром d = 0,04 м, діаметр сполучної смуги b = 0,04 м. Контур заземлення розташовано на горизонтальному майданчику біля корпусу академії. Грунт – суглинок.

Допустимий опір заземлюючого пристрою ($R_н$) дорівнює 4 Ом [12]. Визначимо питомий електричний опір ґрунту (суглинку), ρ якого дорівнює 100 Ом·м [13].

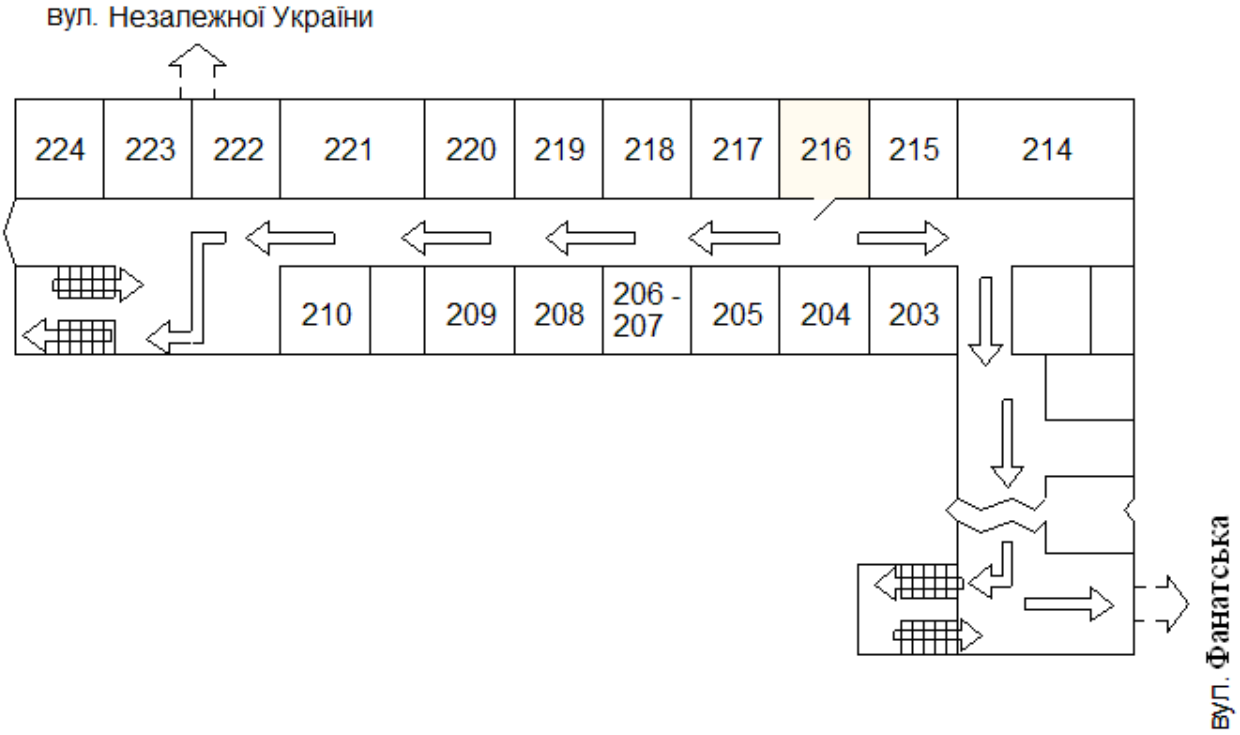


Рисунок 3.4 – План евакуації при пожежі із аудиторії № 216

Розрахуємо опір розтікання струму одного вертикального стержня:

$$R_{в} = \frac{\rho}{2\pi\pi} \cdot \ln\frac{4 \cdot l}{d} = \frac{100}{2 \cdot 3,14 \cdot 2,5} \ln\frac{4 \cdot 2,5}{0,04} = 35,1О5$$

Приймемо число заземлювачів:

$$n = \frac{R_{l}}{R_{n}} = \frac{35,1}{4} = 8,775 \approx 9$$

Визначимо довжину горизонтальної смуги (по контуру):

$$l_{г} = a \cdot n,$$

де а – відстань між вертикальними електродами (а = 2 м)

$$l_{г} = 2 \cdot 9 = 18 \text{ м}$$

Опір горизонтальної смуги:

$$R_{2c} = \frac{\rho}{\pi \cdot l_{г}} \cdot \frac{4 \cdot l_{г}}{b} = \frac{100}{3,14 \cdot 18} \cdot \ln\frac{4 \cdot 18}{0,04} = 13,2 \text{ Ом}$$

Коефіцієнт екранування для вертикального заземлювача [13]:

$$\eta_{в} = \frac{0,68 + 0,56}{2} = 0,62$$

і для горизонтальної смуги

$$\eta_г = \frac{0,34 + 0,4}{2} = 0,37$$

Опір групи вертикальних заземлювачів:

$$R_{гр} = \frac{R_{вз}}{n \cdot \eta_в} = \frac{35,1}{9 \cdot 0,62} = 6,3 \text{ Ом}$$

Опір горизонтальної смуги з врахуванням екранування:

$$R_г = \frac{R_{го}}{\eta_г} = \frac{13,2}{0,37} = 35,6 \text{ Ом}$$

Опір заземлювача в цілому:

$$R_з = \frac{R_{гр} \cdot R_г}{R_{гр} + R_г} = \frac{6,3 \cdot 35,6}{6,3 + 35,6} = 5,3 \text{ Ом}$$

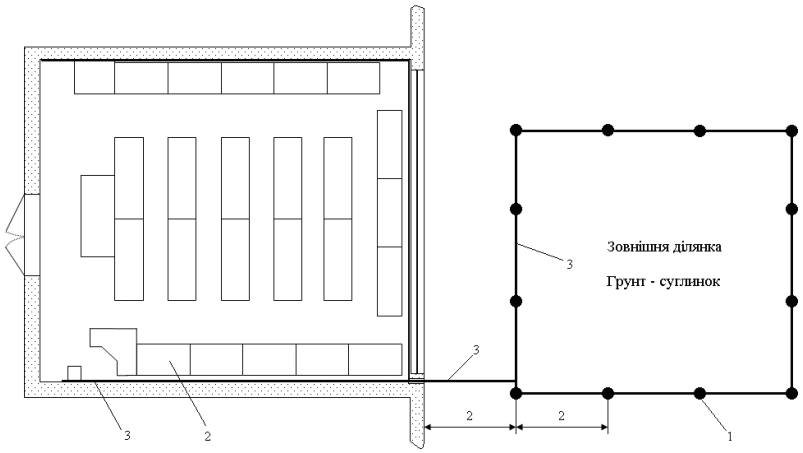
Як видно, опір заземлювача перевищує нормативний (4 Ом), тому збільшимо кількість заземлювачів:

$$n = 10,$$

тоді опір заземлювача в цілому складе $R_з = 4,6$ Ом, що теж більше $R_н$.

Якщо n = 11, то $R_з = 4,2 > R_н$, якщо n = 12, то $R_з = 3,99 < R_н$.

Число заземлювачів дорівнює 12, які розміщені по контуру зовнішньої ділянки, як показано на рисунку 3.5.



1 – заземлювачі

2 – електроустаткування що заземлюється

3 – сполучна смуга

Рисунок 3.5 – Розміщення заземлюючих електродів на зовнішній ділянці та сполучної смуги лабораторії проведення експерименту

Таким чином, для виконання захисного заземлення використовується 12 вертикальних стержнів діаметром 0,04 м, завдовжки 2,5 м, кожен з яких має опір 31,5 Ом. Опір сполучної смуги 13,2 Ом. Опір заземлювачів в цілому складе 3,99 Ом, що забезпечує безпечну роботу на установках лабораторії.

Висновки та рекомендації

1. Розроблена структурна схема сигнатурного аналізатора являється простою в застосуванні та може використовуватись в пристроях, які виконують високоякісну і швидку діагностику складних цифрових пристроїв в умовах експлуатації.

2. Розробити схема одноканального сигнатурного аналізатора використовує метод стиснення довгих послідовностей цифрових сигналів у коротку комбінацію символів, яка називається сигнатурою.

3. Розробити схема багатоканального сигнатурного аналізатора параметрів цифрової інформації дозволяє спостерігати двійкові послідовності великої довжини та забезпечує високу достовірність діагностування.

Рекомендується подальша дослідницька робота по збільшенню розрядності сигнатури.

Перелік посилань

1. Діагностування цифрових пристроїв : навч. посіб. / О. Д.Азаров, С. І. Перевозніков, Н. О. Біліченко та ін. Вінниця : Універсум-Вінниця, 2009. 74 с.

2. Альошин Г. В., Панченко С. В., Приходько С. І. Оптимізація цифрових систем передачі : підручник. Харків : УкрДУЗТ, 2019. 142 с.

3. Цифрова схемотехніка : підручник / Л. Л. Верьовкін, М. В. Світанько, Є. М. Кісельов та ін. Запоріжжя : ЗДІА, 2016. 214 с.

4. Бойко В. І., Багрій В. В. Цифрова схемотехніка. Київ : ІЗМН, 2001. 228 с.

5. Гавриленко С. Ю., Клименко А. М., Носков В. І. Логіка дискретних автоматів : навч. посіб. Харків : НТУ ХПІ, 2014. 129 с.

6. Кривуля Г. Ф., Таранов В. Б. Використання паралельних сигнатурних аналізаторів для контролю і діагностування цифрових пристроїв. АСУ та прилади автоматики, 1988. Вип. 85. С. 32-36.

7. Рябенький В. М., Жуйков В. Я., Гулий В. Д.. Цифрова схемотехніка : навч. посіб. Львів : Новий Світ-2000, 2019. 736 с.

8. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. / О. В. Задерейко, Н. І. Логінова, О. Г. Трофименко та ін. Одеса : Фенікс, 2021. 163 с. URL: https://hdl.handle.net/11300/14473 (дата звернення: 01.05.2026).

9. Бойко В. І., Гуржій А. М., Жуйков В. Я. Основи схемотехніки електронних систем : підручник. Київ : Вища шк., 2004. 527 с.

10. Мікросхемотехніка : підручник / І. І. Гельжинський, Р. Л. Голяка, З. Ю. Готра та ін. Львів : Ліга-Прес, 2015. 492 с.

11. Кожемякін Г. Б., Рижков В. Г., Бєлоконь К. В. Охорона праці та техногенна безпека: методичні вказівки до виконання розділу магістерських робіт для студентів ЗДІА всіх спеціальностей денної та заочної форм навчання. Запоріжжя : ЗДІА, 2012. 48 с.

12. Ткачук К. Н. Охорона праці і довкілля в радіоелектронній промисловості. Київ : Вища шк., 1988. 240 с.

13. Горобець А. І. Степаненко А. І. Охорона праці в радіоелектронній промисловості. Київ : Техніка, 1987. 345 с.