Міністерство освіти і науки України
Інженерний навчально-науковий інститут
ім. Ю. М. Потебні Запорізького національного університету

Л. Л. Верьовкін,
М. В. Світанько

ФУНКЦІОНАЛЬНІ ВУЗЛИ МІКРОПРОЦЕСОРНИХ СИСТЕМ

Методичні рекомендації до лабораторних занять
для здобувачів ступеня вищої освіти бакалавра спеціальності
G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка»
освітньо-професійної програми
«Мікро- та наносистемна техніка»

Затверджено
вченою радою ЗНУ
Протокол № від

Запоріжжя
2026

УДК 621.38 (076)
В377

Верьовкін Л. Л., Світанько М. В. Функціональні вузли мікропроцесорних систем : методичні рекомендації до лабораторних занять для здобувачів ступеня вищої освіти бакалавра спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка» освітньо-професійної програми «Мікро- та наносистемна техніка». Запоріжжя : Запорізький національний університет, 2026. 86 с.

Методичні рекомендації розроблені відповідно до силабуса навчальної дисципліни. У виданні подано зміст лабораторних робіт, спрямованих на формування практичних навичок проєктування та дослідження роботи сучасних мікропроцесорних систем. Розглянуто принципи побудови та функціонування ключових вузлів, зокрема: інтерфейсних модулів, таймерів, аналого-цифрових та цифрово-аналогових перетворювачів, а також систем керування зовнішніми пристроями. Кожна лабораторна робота містить короткі теоретичні відомості, опис лабораторного стенду, порядок виконання завдань, вимоги до оформлення звітів та контрольні запитання для самоперевірки. Методичні рекомендації містять перелік використаної та рекомендованої літератури, інформаційні ресурси дисципліни «Функціональні вузли мікропроцесорних систем».

Видання призначене для здобувачів ступеня вищої освіти бакалавра спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка», які навчаються за освітньо-професійною програмою «Мікро- та наносистемна техніка», а також може бути корисним для фахівців, які займаються розробкою електронних схем.

Рецензент
В. Л. Коваленко, доктор технічних наук, професор кафедри електричної інженерії та кіберфізичних систем ІННІ ім. Ю. М. Потебні ЗНУ.

Відповідальний за випуск
Т. В. Критська, доктор технічних наук, професор, завідувачка кафедри електроніки, мікроелектронних систем та програмного забезпечення ІННІ ім. Ю. М. Потебні ЗНУ.

Зміст

Вступ …….. 4
Інструкція з техніки безпеки ……..... 6
Лабораторна робота №1 Логічний синтез цифрового комбінаційного пристрою, призначеного для логічних операцій ……... 8
Лабораторна робота №2 Дослідження детекторів помилок бінарного коду... 13
Лабораторна робота №3 Арифметичний логічний пристрій …….. 19
Лабораторна робота №4 Дослідження схем пріоритетних шифраторів …..... 23
Лабораторна робота №5 Дослідження перетворювачів сигналів мікропроцесорних систем …… 29
Лабораторна робота №6 Дослідження мультиплексорів мікропроцесорних систем …… 34
Лабораторна робота №7 Функціональний контроль схем багаторозрядних суматорів з накопиченням інформації …… 40
Лабораторна робота №8 Функціональний контроль схем порівняння багаторозрядних цифрових кодів …… 48
Лабораторна робота №9 Дослідження пристроїв введення цифрової інформації …….. 53
Лабораторна робота №10 Дослідження постійних запам'ятовувальних пристроїв ……... 61
Лабораторна робота №11 Дослідження послідовністних вузлів для зберігання і перетворення багаторозрядних двійкових чисел ……. 64
Лабораторна робота №12 Дослідження універсального регістра К555ИР11.. 69
Лабораторна робота №13 Дослідження послідовністних вузлів для розподілення та підрахунку числа вхідних сигналів……. 74
Лабораторна робота №14 Дослідження послідовністних вузлів на синхронних лічильниках …….. 79
Вимоги до змісту та оформлення звіту за результатами виконаної роботи… 83
Література, інформаційні джерела …….. 84

Вступ

Метою викладання дисципліни «Функціональні вузли мікропроцесорних систем» є формування повного уявлення про принципи функціонування та розрахунки складових вузлів мікроконтролерів, побудови мікропроцесорних систем та їх використання в електронних приладах.

Основними **завданнями** вивчення дисципліни «Функціональні вузли мікропроцесорних систем» є: отримання знань складових частин мікропроцесорних систем; набуття уміння практично використовувати сучасні програмні засоби для аналізу функціонування вузлів мікропроцесорних систем.

У результаті вивчення навчальної дисципліни студент повинен

знати:

– загальні принципи побудови мікропроцесорних систем;

– основні пристрої обробки інформації мікроконтролерів;

– запам'ятовувальні пристрої мікропроцесорних систем;

– пристрої послідовністного та комбінаційного типу.

вміти:

– розв’язувати спеціалізовані задачі мікропроцесорних систем;

– розраховувати схемотехніку оперативних пристроїв комбінаційного типу;

– розраховувати схемотехніку оперативних пристроїв;

– виконувати аналіз схем з метою їх удосконалення.

Згідно з вимогами освітньо-професійної програми студенти повинні досягти таких **компетентностей**:

– здатність застосовувати знання у практичних ситуаціях;

– навички використання інформаційних і комунікаційних технологій;

– здатність працювати автономно та в команді;

– здатність використовувати знання і розуміння наукових фактів, концепцій, теорій, принципів і методів для проектування та застосування мікро- та наносистемної техніки;

– здатність застосовувати існуючі та розробляти нові методи, методики, технології та процедури для вирішення інженерних завдань мікро- та наносистемної техніки;

– здатність використовувати математичні принципи і методи для проектування та застосування мікро- та наносистемної техніки;

– здатність застосовувати відповідні наукові та інженерні методи, сучасні інформаційні технології і комп'ютерне програмне забезпечення, комп'ютерні мережі, бази даних та Інтернет-ресурси для розв’язання професійних задач в галузі мікро- та наносистемної техніки;

– здатність застосовувати знання з моделювання функціональних вузлів мікроелектроніки та конструювання приладів на їх основі.

Методичні рекомендації містять лабораторні роботи з курсу «Функціональні вузли мікропроцесорних систем», відповідно до кожної теми, Лабораторні роботи виконуються на стендовому обладнанні та на комп’ютері з відповідним програмним забезпеченням. Для підготовки до лекцій,

лабораторних занять та самостійного засвоєння матеріалу студенти можуть використати теоретичні відомості з курсу.

Виконання кожної лабораторної роботи складається з двох етапів.

1. Підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання усіх розрахунків, складання плану досліджень.

2. Складання з розрахованих і підібраних елементів робочої схеми і дослідження її відповідності зі складеним планом, оформлення теоретичних і практичних результатів і їхній аналіз, оформлення звіту з лабораторної роботи.

У процесі підготовки до лабораторної роботи студент повинен чітко усвідомити собі кінцеву мету лабораторного дослідження, форму і характер зміни вхідних і вихідних параметрів досліджуваної схеми і виконати необхідні розрахунки.

Звіт, підготовлений до лабораторної роботи, повинен містити назву і мету роботи, розрахунки, досліджувані схеми і часові діаграми, які пояснюють їхню роботу, план досліджень.

Часові діаграми виконуються у вигляді робочої панелі логічного аналізатора, обов'язково складаються таким чином, щоб вони знаходились синхронізовано, одна під іншою, і були ілюстрацією фізичних процесів, які протікають у схемі.

Оформлення протоколів виконується відповідно до вимог ЄСКД до текстових документів.

Порядок, виконання досліджень у лабораторії:

1. Студент допускається до виконання чергової лабораторної роботи при наявності підготовленого, відповідно до приведених вище вимог звіту.

2. Звіт попередньої роботи підписується викладачем по його пред'явленню на наступному лабораторному занятті після занесення до нього усіх матеріалів досліджень та їхнього аналізу.

3. Звіти усіх робіт зберігаються у студента до виконання останньої роботи у загальному журналі з відповідною кількістю сторінок.

4. Після дозволу виконувати дослідження студент збирає схему і самостійно налагоджує її. У випадку, якщо схема не працює або працює неправильно, він має знайти причину несправності й усунути її.

5. Наладнавши схему, перевіривши відповідність її вихідних сигналів розрахунковим даним, студент запрошує викладача для огляду і перевірки.

6. Після цього виконуються заплановані дослідження, по закінченню яких результати пред'являються викладачу. Після цього, за дозволом викладача, схема розбирається і робоче місце звільняється від зайвих елементів.

7. До виконання наступної лабораторної роботи остаточно оформлюється звіт, який надається викладачу.

Перед виконанням кожної лабораторної роботи викладач опитує студентів як по змісту самої роботи, так і за методикою її виконання.

Інструкція з техніки безпеки

Кожна лабораторна робота виконується на окремому робочому місці. Виконання роботи передбачає складання схем, вимірювання, обробку отриманого дослідного матеріалу та складання звіту спостережень.

Перед початком лабораторних занять студенти повинні ознайомитися з правилами техніки безпеки і суворо дотримуватися їх при виконанні лабораторних завдань. Необхідно дотримуватись наступних правил безпеки:

1. Перед початком роботи слід перевірити відсутність напруги на затискачах джерела.
2. Увімкнути схему під напругу, переконавшись, що ніхто не дотикається до струмопровідних частин схеми.
3. Перед вмиканням кола під напругу попередити про це всіх членів бригади.
4. Вмикати схему в мережу без попередньої перевірки її викладачем або лаборантом категорично забороняється.
5. Після вмикання схеми забороняється торкатися руками проводів і частин приладів, що знаходяться під напругою.
6. Будь-які зміни в схемі кола виконувати тільки після вимкнення її з мережі. Вмикання в мережу після внесених змін проводити з дозволу викладача.
7. При виявленні відхилень у роботі елементів кола негайно відключити його від мережі і повідомити про це викладача або лаборанта.
8. Категорично забороняється залишати без нагляду електроустановку, що знаходиться під напругою.
9. Розбирати коло тільки після відключення його від джерел напруги на робочому місці.
10. Головні вимикачі вмикаються й вимикаються тільки викладачем або лаборантом.
11. При нещасному випадку негайно вимкнути напругу і надати першу допомогу тому, хто постраждав від електричного струму.

При роботі з комп’ютерами студенти зобов’язані:

1. Дотримуватись тиші і порядку.
2. Виконувати вимоги викладача та інженера/лаборанта.
3. Дотримуватись режиму роботи.
4. Після закінчення роботи завершити всі активні програми і коректно вимкнути комп’ютер.
5. Залишити робоче місце чистим.

Необхідно дотримуватись правил:

1. Відстань від екрану до очей 70 – 80 см.
2. Вертикально пряма спина.
3. Плечі опущені і розслаблені.
4. Ноги на підлозі і не схрещені.

Алгоритм дій учасників освітнього процесу у разі оголошення сигналу «Увага! Повітряна тривога!» під час здійснення освітнього процесу
(очний формат)

1. При оголошенні сигналу «Увага! Повітряна тривога!» викладач перериває заняття, оголошує маршрут руху та спрямовує всіх здобувачів до укриття в навчальному корпусі. Після виходу всіх здобувачів з аудиторії, закриває її і слідує в укриття.

2. Після надходження сигналу «Увага! Відбій повітряної тривоги!» навчальні заняття відновлюються згідно графіку (розкладу) у запланованому форматі.

Алгоритм дій учасників освітнього процесу у разі оголошення сигналу «Увага! Повітряна тривога!» під час здійснення освітнього процесу
(дистанційний формат)

1. При оголошенні сигналу «Увага! Повітряна тривога!» викладач перериває заняття та оголошує, що заняття переходить в асинхронний режим дистанційної роботи.

2. Учасники освітнього процесу під час оголошення сигналу «Увага! Повітряна тривога!» прямують до найближчого укриття.

3. Після надходження сигналу «Увага! Відбій повітряної тривоги!» навчальні заняття які згідно графіку (розкладу) розпочинаються не раніше як через 30 хв. після оголошення сигналу «Відбій повітряної тривоги» відновлюються у запланованому форматі.

При загрозі виникнення надзвичайних ситуацій дотримуватись норм та положень «Інструкції щодо дій в умовах надзвичайних ситуацій в Запорізькому національному університеті»

Лабораторна робота №1

Логічний синтез цифрового комбінаційного пристрою, призначеного для логічних операцій

Метою виконання роботи є ознайомлення з принципами синтезу цифрових пристроїв призначених для логічних операцій мікропроцесорних систем.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Представлення функції у вигляді досконалої диз'юнктивної нормальної форми (ДДНФ).
2. Представлення функції у вигляді досконалої кон'юнктивної нормальної форми (ДКНФ).
3. Методи мінімізації логічних функцій.
4. Представлення функції у заданому елементному базисі.
5. Побудова схеми електричної принципової заданого комбінаційного цифрового пристрою на реальних інтегральних мікросхемах в програмному забезпеченні SPLAN 5.0.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Послідовність операцій при синтезі цифрового пристрою комбінаційного типу.

1. Складання таблиці істинності комбінаційного цифрового пристрою згідно його визначення, призначення, словесного опису принципу роботи.

Таблиця істинності містить усі 2^k (k – кількість логічних змінних) можливих набора значень логічних змінних і значення функції, які відповідають кожному з наборів [1].

2. Складання логічної функції згідно таблиці істинності.

Аби здійснити перехід від табличного представлення до алгебраїчного, кожному набору змінних ставиться у відповідність мінтерм або макстерм [1].

Мінтерм (конституєнта одиниці) – кон'юнкція всіх змінних, які входять в прямому вигляді, якщо значення даної змінної в наборі дорівнює 1, або в інверсному вигляді – якщо значення змінної дорівнює 0.

Таке представлення функції називається її досконалою диз'юнктивною нормальною формою (ДДНФ).

Макстерм (конституєнта нуля) – диз'юнкція всіх змінних, які входять в прямому вигляді, якщо значення даної змінної дорівнює 0, або в інверсному вигляді, якщо, значення змінної дорівнює 1.

Таке представлення функції називається її досконалою кон'юнктивною нормальною формою (ДКНФ).

3. Спрощення логічної функції.

Структурні функції, отримані у вигляді ДДНФ і ДКНФ, у більшості випадків не сприяють побудові найбільш простих функціональних схем логічних пристроїв. Процес знаходження виразів, які виконують ту ж саму логічну функцію, що і попередньо задана, але для реалізації яких потребується менша кількість елементів, і складає принцип методу мінімізації.

При відносно невеликому числі змінних ($k \le 6$) вельми зручним і наочним є графічне представлення логічних функцій у вигляді карт мінтермів. Найбільш розповсюдженою їх формою є карти Карно. У результаті отримуються МДНФ або МКНФ логічних функцій [2].

4. Запис мінімізованої логічної функції у заданому логічному базисі.

Запис в базисі І-НЕ: над правою частиною отриманої формули ставиться два знаки інверсії і за допомогою теореми де Моргана здійснюється перехід в базис І-НІ [1].

Запис в базисі АБО-НЕ: над правою частиною отриманої формули проставляються два знаки інверсії, і за допомогою теореми де Моргана здійснюється перехід в базис АБО-НЕ [1].

5. Побудова функціональної схеми заданого комбінаційного цифрового пристрою.

Логічні операції між елементами мінімізованої логічної функції у заданому логічному базисі замінюються логічними елементами І-НЕ, АБО-НЕ, ураховуючи операції інверсії над змінними [2].

6. Аналіз функціонування розробленої схеми в програмному забезпеченні Electronics Workbench.

На наборному полі програмного забезпечення Electronics Workbench будується функціональна схема комбінаційного цифрового пристрою, задаються відповідні режими функціонування, проміжні точки контролю

7. Побудова схеми електричної принципової заданого комбінаційного цифрового пристрою.

Логічні елементи функціональної схеми замінюються на реальні елементи заданої варіантом серії мікросхем.

Послідовність і порядок проведення роботи.

Завданням роботи являється розрахунок, побудова та дослідження логічного операційного пристрою зведення в квадрат двійкових чисел від 0 до 15.

1) Скласти таблицю істинності пристрою зведення в квадрат двійкових чисел (табл. 1.1).

2) Скласти логічні функції згідно таблиці істинності.

F0 = D.

F1 = 0.

$F2 = \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}\overline{D}$.

$F3 = \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + A\overline{B}CD + AB\overline{C}D$.

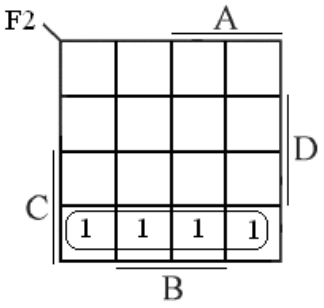
Скласти функції F4, F5, F6, F7 згідно з таблицею 1.1.

Таблиця 1.1 – Таблиця істинності пристрою зведення в квадрат двійкових чисел від 0 до 15

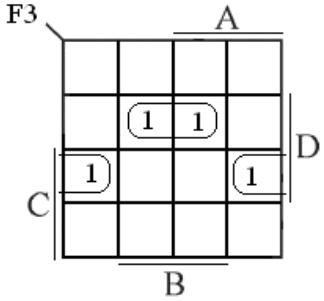
№	A	B	C	D	F7 (128)	F6 (64)	F5 (32)	F4 (16)	F3 (8)	F2 (4)	F1 (2)	F0 (1)
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	1	0	0
3	0	0	1	1	0	0	0	0	1	0	0	1
4	0	1	0	0	0	0	0	1	0	0	0	0
5	0	1	0	1	0	0	0	1	1	0	0	1
6	0	1	1	0	0	0	1	0	0	1	0	0
7	0	1	1	1	0	0	1	1	0	0	0	1
8	1	0	0	0	0	1	0	0	0	0	0	0
9	1	0	0	1	0	1	0	1	0	0	0	1
10	1	0	1	0	0	1	1	0	0	1	0	0
11	1	0	1	1	0	1	1	1	1	0	0	1
12	1	1	0	0	1	0	0	1	0	0	0	0
13	1	1	0	1	1	0	1	0	1	0	0	1
14	1	1	1	0	1	1	0	0	0	1	0	0
15	1	1	1	1	1	1	1	0	0	0	0	1

3) Провести спрощення логічних функцій розрядів квадратів двійкових чисел від 0 до 15. Виконати запис логічних функцій в базисі І-НЕ.

1. F0 = D.
2. F1 = 0.
3. $F2 = C\overline{D} = \overline{\overline{C\overline{D}}}$.



4. $F3 = B\overline{C}D + \overline{B}CD = \overline{\overline{B\overline{C}D + \overline{B}CD}} = \overline{\overline{B\overline{C}D} \cdot \overline{\overline{B}CD}}$.



Провести спрощення та представити в базисі І-НЕ функції F4, F5, F6, F7.

4) Побудувати функціональну схему комбінаційного цифрового операційного пристрою зведення в квадрат двійкових чисел від 0 до 15 (рис. 1.1).

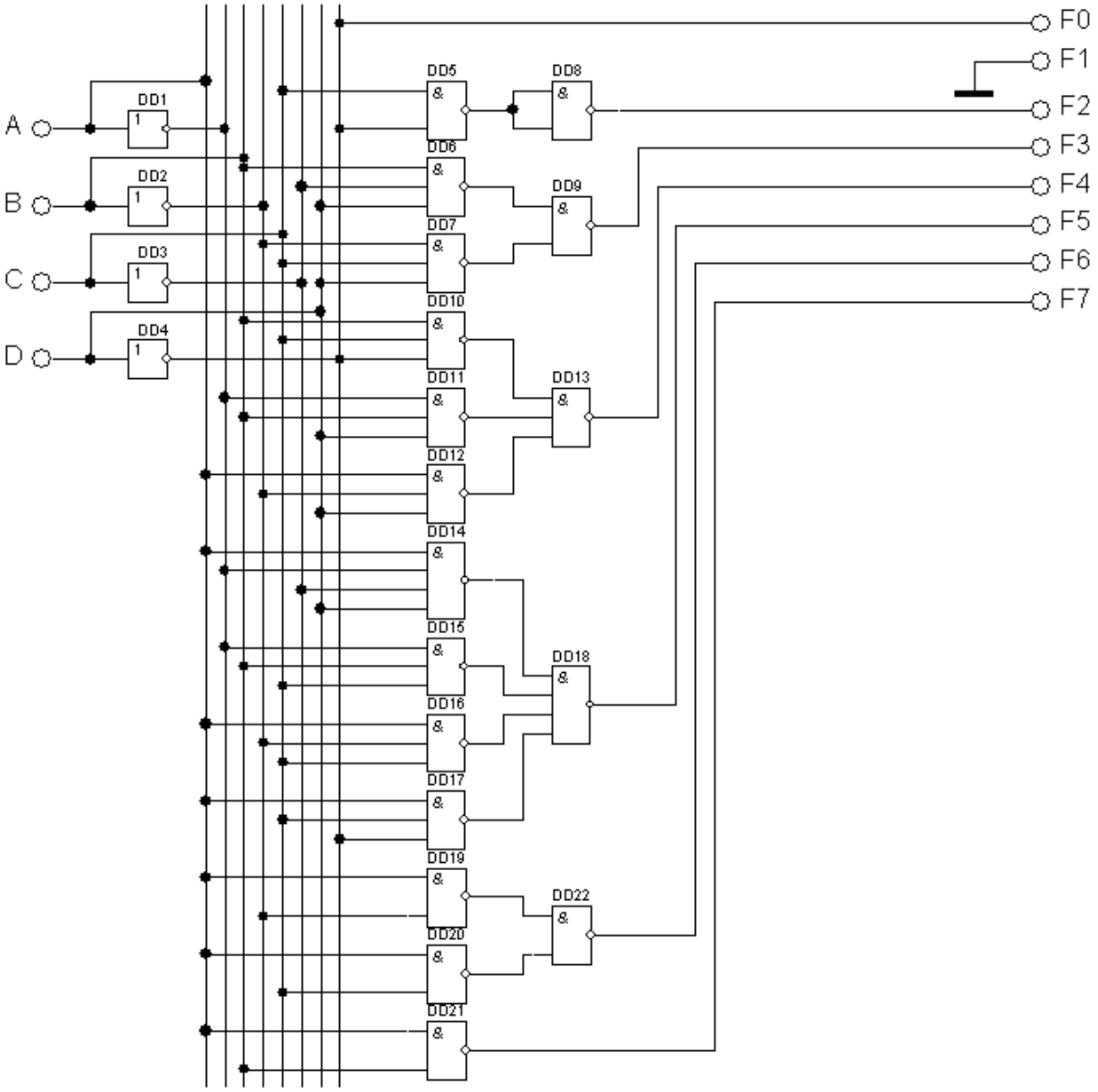


Рисунок 1.1 – Функціональна схема комбінаційного цифрового операційного пристрою зведення в квадрат двійкових чисел від 0 до 15

5) Провести аналіз функціонування пристрою зведення в квадрат двійкових чисел від 0 до 15 в програмному забезпеченні Electronics Workbench, за допомогою індикаторів на відповідність таблиці істинності.

6) Зняти діаграму функціонування пристрою.

Опис віртуального EWB стенду.

Схема лабораторного стенду в програмному забезпеченні Electronics Workbench (рис. 1.2) забезпечує індикаторний та діаграмний контроль функціонування схеми комбінаційного цифрового операційного пристрою зведення в квадрат двійкових чисел від 0 до 15. Аналіз правильності отримання

інформації повинен базуватись на таблиці істинності (табл. 1.1) і отриманих розрахункових рівняннях F0, F2, F3, F3, F4, F5, F6, F7.

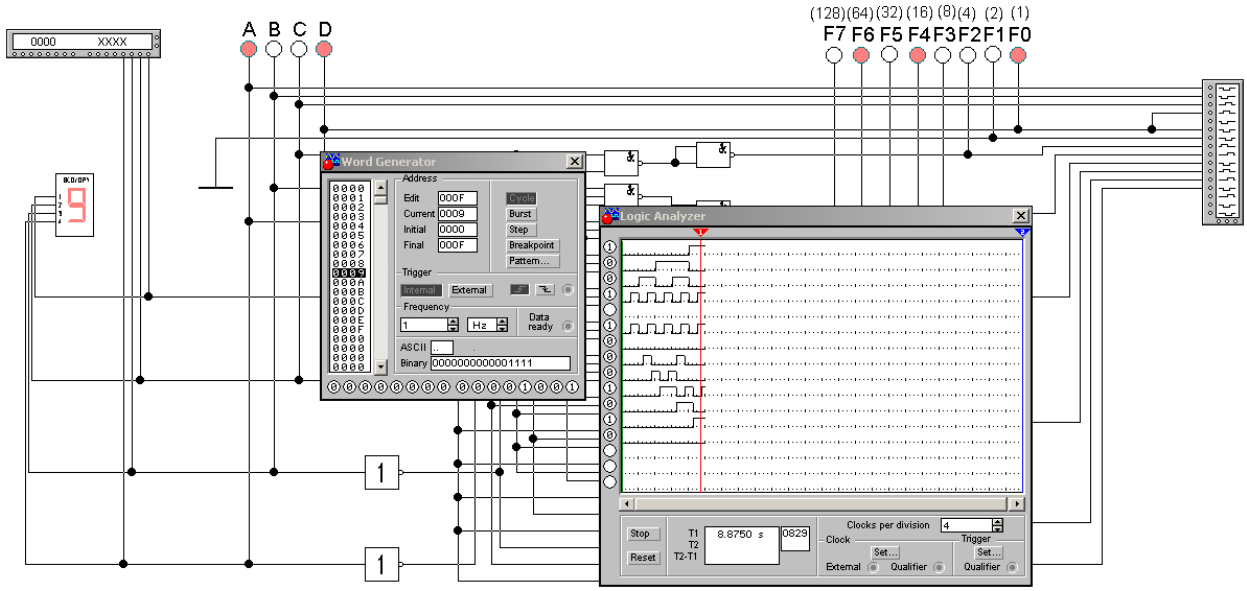


Рисунок 1.2 – Лабораторний стенд для дослідження схеми комбінаційного цифрового операційного пристрою зведення в квадрат двійкових чисел від 0 до 15

Діаграма функціонування знімається за допомогою Logic Analyzer (рис. 1.3)

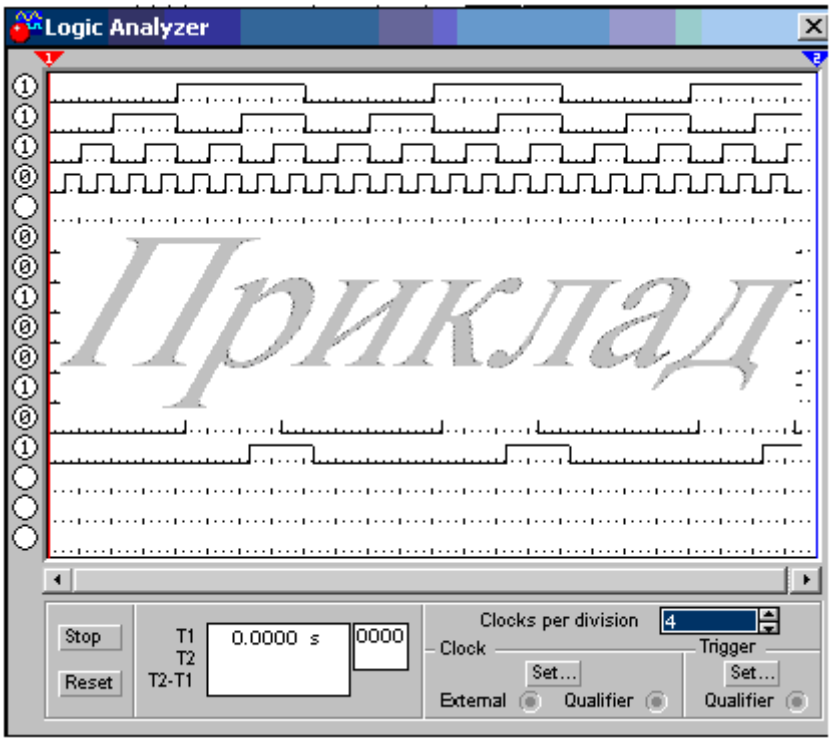


Рисунок 1.3 – Діаграма функціонування цифрового операційного пристрою зведення в квадрат двійкових чисел від 0 до 15

Лабораторна робота №2

Дослідження детекторів помилок бінарного коду

Метою виконання роботи є ознайомлення із забезпеченням високонадійних каналів передачі інформації допоміжними схемами, які дають можливість впевнитись в відсутності помилок.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Маскування помилок за рахунок введення надмірності.
2. Метод використання надлишкових комбінацій.
3. Використання трьохкратного резервування.
4. Метод контролю по парності і непарності.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Незважаючи на високу надійність та завадостійкість цифрових систем передачі інформації, вірогідність виникнення помилок завжди існує. Тому, усі високонадійні канали передачі інформації забезпечуються допоміжними схемами, які дають можливість впевнитись в відсутності помилок.

У багатьох випадках виключення помилок є життєво важливим завданням, при вирішенні якого мета контролю може бути різною:

– запобігання помилкам шляхом використання високоякісних елементів, виключення впливу довкілля і тому подібне, що не гарантує повного позбавлення від них;

– виявлення (оскільки вони неминучі) і виправлення (маскування) помилок за рахунок введення надмірності.

Простий спосіб визначення помилок в словах, які передаються, базується на припущенні, що найбільша вірогідність збою можлива тільки в одному біті, тобто при появі помилкової одиниці або нуля. Тому для визначення наявності такого збою використовують контроль парності або контроль непарності одиниць у переданому слові (Parity Check) [3].

Одним з простих способів виявлення помилок є використання надлишкових комбінацій (рис. 2.1).

Невизначеність дозволяє скласти рівняння функції надлишкових комбінацій [1].

$$F_{пом} = A\bar{B}C\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD$$

Мінімізуємо функцію за допомогою карти Карно (рис. 2.2).

Отримаємо рівняння функції помилок $F_{пом}$ бінарного коду як суму надлишкових комбінацій

$$F_{пом} = AB + AC = A(B + C)$$

Двійковий код				F	
A	B	C	D	Інформаційний код	
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
				$F_{пом}$	
1	0	1	0	×	Надлишкові комбінації
1	0	1	1	×	
1	1	0	0	×	
1	1	0	1	×	
1	1	1	0	×	
1	1	1	1	×	

Рисунок 2.1 – Визначення надлишкових комбінацій бінарного коду

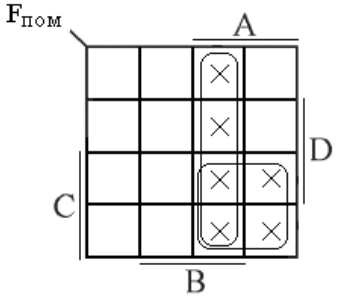


Рисунок 2.2 - Мінімізація функції надлишкових комбінацій

Формуючи функцію помилок $F_{пом}$ бінарного коду як суму надлишкових комбінацій, можна за допомогою додаткової структури детектора (рис. 2.3) фіксувати помилки в роботі старших розрядів.

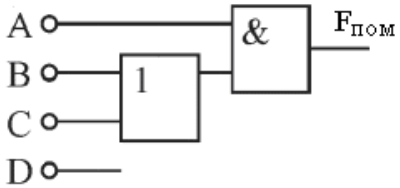


Рисунок 2.3 – Структурна схема детектора помилок бінарного коду

Один з методів маскування – використання трьохкратного резервування з виробленням вихідного сигналу шляхом «голосування» за допомогою мажоритарних елементів, коли помилка в одному (двох) каналах не впливає на кінцевий результат [2].

Однорозрядний мажоритарний елемент на 3 входи згідно таблиці істинності (рис. 2.4) виробляє вихідний сигнал F і розряди a_1, a_0.

A	B	C	F	a_1	a_0	№ каналу
0	0	0	0	0	0	–
0	0	1	0	1	1	3
0	1	0	0	1	0	2
0	1	1	1	0	1	1
1	0	0	0	0	1	1
1	0	1	1	1	0	2
1	1	0	1	1	1	3
1	1	1	1	0	0	–

Рисунок 2.4 – Таблиця істинності мажоритарного елемента на 3 входи

Рівняння функцій згідно з таблицею істинності:

$$F - \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC;$$

$$a_1 - \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + AB\overline{C};$$

$$a_0 - \overline{A}\,\overline{B}C + \overline{A}BC + A\overline{B}\,\overline{C} + AB\overline{C}$$

Мінімізуємо функцію вихідного сигналу F та функції розрядів номеру каналу помилки за допомогою карти Карно (рис. 2.5) [1].

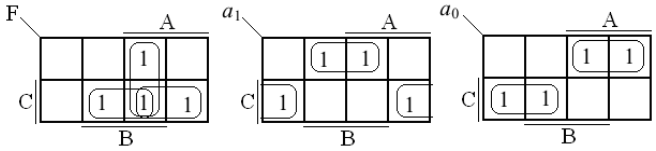


Рисунок 2.5 – Мінімізація функцій мажоритарного елемента

Отримаємо рівняння функцій однорозрядного мажоритарного елемента на 3 входи

$$F = AB + AC + BC = \overline{\overline{AB} \cdot \overline{AC} \cdot \overline{BC}}$$

$$a_1 = B \oplus C$$

$$a_0 = A \oplus C$$

Схема (рис. 2.6) виробляє вихідний сигнал F по більшості змінних A, B, C в наборах, а розряди a_1, a_0 показують номер каналу, де появилась помилка.

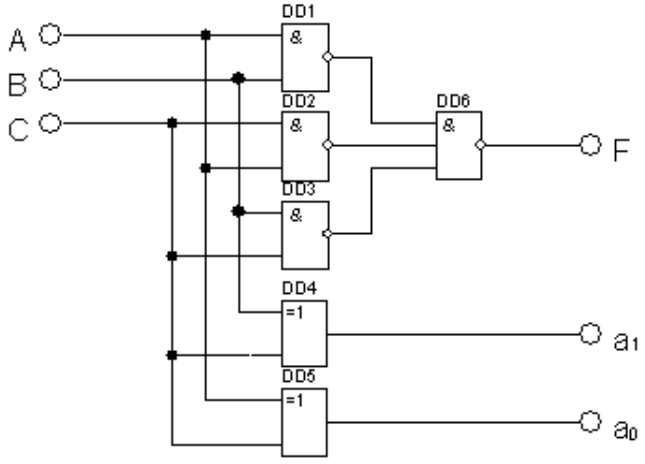


Рисунок 2.6 - Однорозрядний мажоритарний елемент на 3 входи

Метод контролю парності заснований на підрахунку числа одиниць в порції інформації, яка передається в лінію або направляється в пам'ять на зберігання. Причому, якщо число одиниць парне - функція парності P (Parity) дорівнює нулю [1].

При одиночній помилці парність (непарність) вага слова міняється, що легко виявляється схемами контролю. Логічні можливості обох форм контролю однакові, деякі переваги тієї або іншої форми можуть виявлятися при технічній реалізації.

З таблиці істинності методу контролю по модулю 2 (по парності / непарності) (рис. 2.7) отримані вирази для значень $P_ч$ і $P_н$ контрольного розряду. При парній кількості одиниць вказана сума дорівнює 0, а при непарній 1.

Після спроби мінімізації за допомогою карт Карно (рис. 2.8), розрахунковим методом отримані вирази для $P_ч$ і $P_н$ контрольного розряду.

A	B	C	D	$P_п$(Y=0)	$P_н$(Y=1)
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

Рисунок 2.7 - Таблиця істинності виявлення помилок методом контролю за модулем 2 (по парності/непарності)

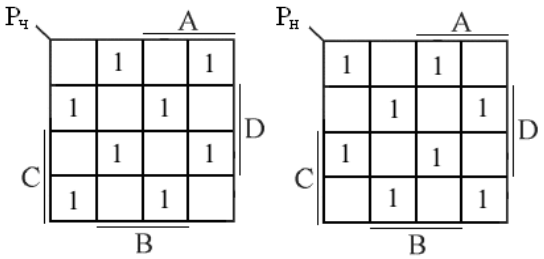


Рисунок 2.8 – Мінімізація виразів для $P_ч$ і $P_н$ контрольного розряду

$$P_ч = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}CD + AB\overline{C}D + ABC\overline{D} =$$

$$= \overline{A}\overline{B}(\overline{C}D + C\overline{D}) + \overline{A}B(\overline{C}\overline{D} + CD) + A\overline{B}(\overline{C}\overline{D} + CD) + AB(\overline{C}D + C\overline{D}) =$$

$$= \overline{A}\overline{B}(C \oplus D) + \overline{A}B(\overline{C \oplus D}) + A\overline{B}(\overline{C \oplus D}) + AB(C \oplus D) =$$

$$= (C \oplus D)(\overline{A \oplus B}) + (\overline{C \oplus D})(A \oplus B) = (C \oplus D) \oplus (A \oplus B)$$

$$P_н = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + AB\overline{C}\overline{D} + ABCD =$$

$$= \overline{A}\overline{B}(\overline{C}\overline{D} + CD) + \overline{A}B(\overline{C}D + C\overline{D}) + A\overline{B}(\overline{C}D + C\overline{D}) + AB(\overline{C}\overline{D} + CD) =$$

$$= \overline{A}\overline{B}\overline{(C \oplus D)} + \overline{A}B(C \oplus D) + A\overline{B}(C \oplus D) + AB\overline{(C \oplus D)} =$$

$$= \overline{(C \oplus D)}\,\overline{(A \oplus B)} + (C \oplus D)(A \oplus B) = \overline{(C \oplus D) \oplus (A \oplus B)}$$

Контролюючий код з простим повторенням ґрунтується на повторенні передачі повідомлення, тобто контрольні біти повторюють інформаційні. Результуюча кодова комбінація буде представлена у вигляді [4]:

ABCD ABCD

Контрольний код ABCD повторює інформаційний код ABCD. Прийнята кодова комбінація порівнюється. Якщо є не співпадіння у відповідних розрядах, то фіксується наявність помилки в кодовій комбінації. Рівняння функціонування контрольного автомата:

$$P_п = (A \oplus A) \oplus (B \oplus B) \oplus (C \oplus) \oplus (D \oplus D)$$

Рівняння для $P_п$ та $P_н$ реалізуються схемами згортки пірамідального типу (рис. 2.9).

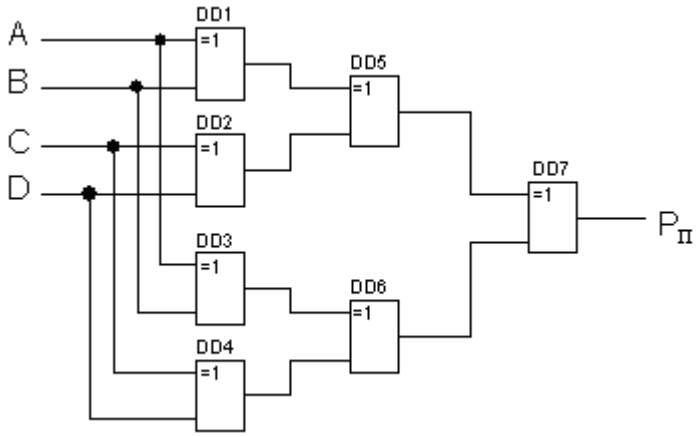


Рисунок 2.9 – Контрольна схема згортки пірамідального типу

Послідовність і порядок проведення роботи.

1. Послідовно збирати стенди в програмному забезпеченні EWB для проведення аналітичних досліджень схем детекторів бінарного коду.

2. Провести експериментальні дослідження з правильністю проходження сигналів і імітацією помилок в лініях зв’язку.

3. Привести діаграми функціонування стендового обладнання і провести їх аналіз.

4. Зробити аналітичні висновки по результатах досліджень.

Опис віртуального EWB стенду.

1. Формуючі функції помилок $F_{пом}$ бінарного коду як суми надлишкових комбінацій, за допомогою додаткової структури детектора (рис. 2.10), фіксувати помилки в роботі старших розрядів. Побудувати діаграму функціонування детектора.

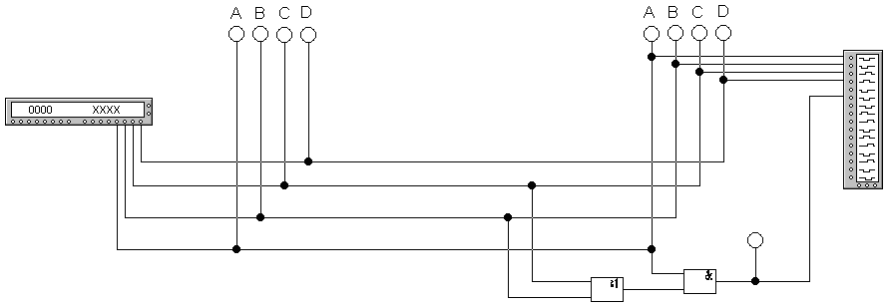


Рисунок 2.10 - Лабораторний стенд для дослідження надлишкових комбінацій бінарного коду.

2. Однорозрядний мажоритарний елемент на 3 входи, згідно таблиці істинності виробляє вихідний сигнал F і розряди a_1, a_0 (рис. 2.11). Побудувати діаграму функціонування мажоритарного елемента.

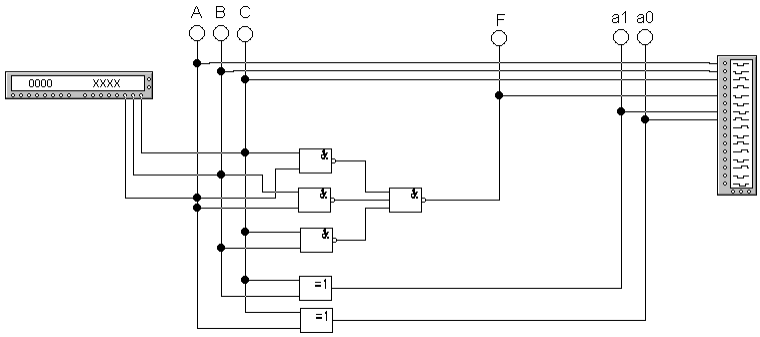


Рисунок 2.11 - Лабораторний стенд для дослідження однорозрядного мажоритарного елемента.

3. Метод згортки пірамідального типу дозволяє визначити одиничні помилки при передачі інформації (рис. 2.12). Побудувати діаграму функціонування схеми контролю парності/непарності.

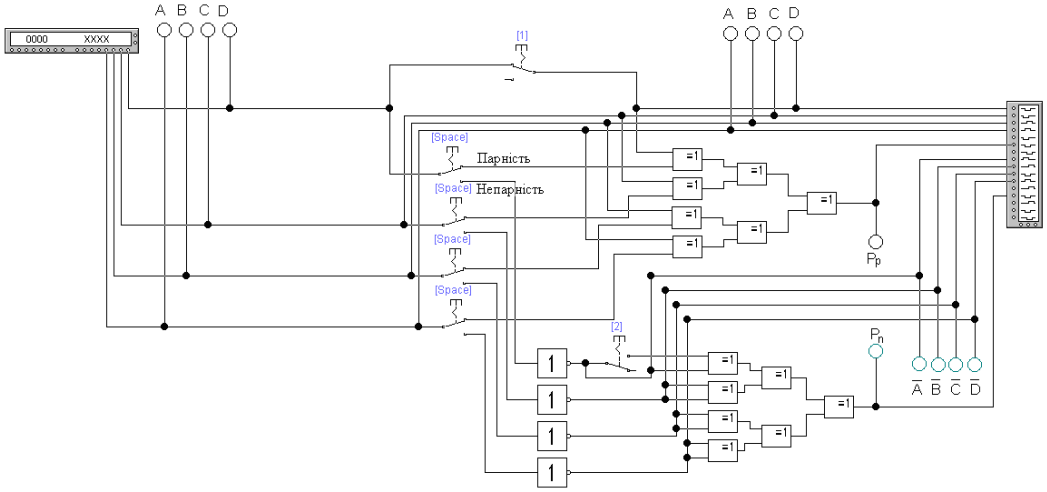


Рисунок 2.12 - Лабораторний стенд метода контролю за модулем 2 (по парності/непарності)

Перемикачем Space схема перемикається в режими контролю правильності проходження інформації по парності і непарності. Перемикач 1 імітує помилку в режимі контролю по парності. Перемикач 2 імітує помилку в режимі контролю по непарності. Сигнали в стендах лабораторної роботи відображаються на індикаторах.

Лабораторна робота №3

Арифметичний логічний пристрій

Метою виконання роботи є ознайомлення з типовими вузлами мікропроцесорів, здобуття навиків перевірки субблоків, які виготовляються з використанням мікросхем середньої і малої міри інтеграції.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Призначення АЛП.
2. Алгоритм виконання логічних операцій АЛП.
3. Алгоритм виконання логіко-арифметичних операцій АЛП.
4. Використання схем порівняння багаторозрядних чисел.
5. Використання АЛП як компаратор.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Арифметичні логічні пристрої (АЛП) – це спеціалізовані мікросхеми (рис. 3.1), які виконують відповідно до програми на входах арифметичні або логічні перетворення двійкової інформації [5]. У мікропроцесорних системах АЛП є базовими елементами – вони використовуються у поєднанні з регістрами пам'яті і зрушення, оперативними запам'ятовувальними пристроями, і іншими цифровими вузлами. АЛП, які належать до різних типів логік (ТТЛ, ТТЛШ, КМОП, ЕЗЛ), функціонально багато в чому збігаються, у тому числі і по розводці виводів.

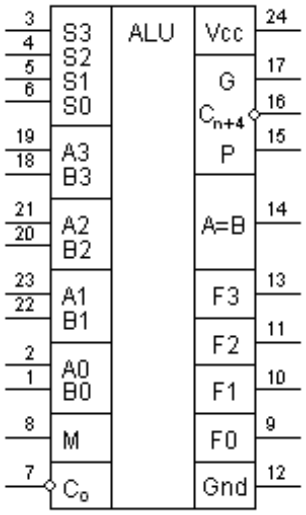


Рисунок 3.1 – Умовне графічне позначення мікросхеми К155ИП3

Мікросхема К555ИП3 призначена для дій з двома чотирьохрозрядними двійковими кодами: A = A3A2A1A0 і B = B3B2B1B0. Конкретний вигляд операції, яка виконується мікросхемою, задається п’ятирозрядним кодом на виходах MS3S2S1S0. Всього це АЛП здатне виконати 2^5 = 32 операції: 16

логічних і 16 арифметичних і арифметико-логічних. Операції складання і віднімання проводяться з прискореним перенесенням з розряду в розряд. Крім того, є вхід прийому сигналу перенесення С [6].

На виходах F0F1F2F3 формуються результати логічних перетворень і арифметичних дій. На виході перенесення С4 утворюється сигнал старшого (п'ятого) розряду при виконанні арифметичних операцій. Додаткові виходи – утворення прискореного перенесення G і поширення прискореного перенесення P – використовуються лише при організації багаторозрядних АЛП в разі їх поєднання з блоком прискореного перенесення К555ИП4.

Слова А і В, які підлягають обробці, можуть бути представлені в позитивній або негативній логіці. Таблиці істинності для кожного варіанту логіки різні. Для позитивної логіки дійсна таблиця 3.1 [7]. Старший розряд коду вибору операції (вхід М) визначає характер дій, які виконуються АЛП. Коли на цьому вході сигнал високого рівня, АЛП виконує логічні операції порозрядно над кожною парою біт слів А і В, а перенесення між розрядами забороняються.

Таблиця 3.1 - Функціональна залежність виходів мікросхеми К555ИП3 від стану входів

Вибір функції				M = 1 логічні операції	M = 0 арифметичні операції	
S_3	S_2	S_1	S_0		C = 0	C = 1
0	0	0	0	$\overline{A}$	A	A+1
0	0	0	1	$\overline{A \vee B}$	$A \vee B$	$(A \vee B)+1$
0	0	1	0	$\overline{A} \wedge B$	$A \vee \overline{B}$	$(A \vee \overline{B})+1$
0	0	1	1	0	−1 (доповнена до 2)	0
0	1	0	0	$\overline{A \wedge B}$	$A+(A \vee \overline{B})$	$A+(A \vee \overline{B})+1$
0	1	0	1	$\overline{B}$	$(A \vee B)+(A \wedge \overline{B})$	$(A \vee B)+(A \wedge \overline{B})+1$
0	1	1	0	$A \oplus B$	$A+\overline{B}$	$A+\overline{B}+1$
0	1	1	1	$A \wedge \overline{B}$	$(A \wedge \overline{B})+1$	$(A \wedge \overline{B})+1+1$
1	0	0	0	$\overline{A} \vee B$	$A+(A \wedge B)$	$A+(A \wedge B)+1$
1	0	0	1	$\overline{A \oplus B}$	A+B	A+B+1
1	0	1	0	B	$(A \vee \overline{B})+(A \wedge B)$	$(A \vee \overline{B})+(A \wedge B)+1$
1	0	1	1	$A \wedge B$	$(A \wedge B)+1$	$(A \wedge B)+1+1$
1	1	0	0	1	A+A	A+A+1
1	1	0	1	$A \vee \overline{B}$	$(A \vee B)+A$	$(A \vee B)+A+1$
1	1	1	0	$A \vee B$	$(A \vee \overline{B})+A$	$(A \vee \overline{B})+A+1$
1	1	1	1	A	$\overline{A}+1$	$\overline{A}+1+1$

При М = 0 АЛП виконує арифметико-логічні операції. При цьому логічні операції виконуються порозрядно, а арифметичні - з перенесенням. Результати арифметичних операцій виражені в додатковому коді. Числа в додатковому і в зворотному коді зв'язані простим співвідношенням $N_{дод}=N_{зв}+1$ або $N_{зв}=N_{дод}-1$. Тому в тих рядках таблиці, де вказана операція «мінус 1», результат арифметичних дій представлений в зворотному коді.

Вихідний результат формується з урахуванням стану входу перенесення. Обидва сигнали перенесення – вхідний C і вихідний C4 – інверсні відносно сигналів на входах A і B, тобто коли слова A і B – в позитивній логіці, сигналу перенесення відповідає низький рівень напруги на відповідному виході, а в негативній логіці – навпаки.

Якщо АЛП виконує логико-арифметичну операцію, логічна функція реалізується порозрядно, а арифметична – з перенесенням. Наприклад, вхідному коду MS3S2S1S0 = 01000 відповідає операція A^B плюс A, де (A^B) - логічне множення двох слів. Якщо A = 0101 і B = 1011, то перша логічна операція множення дає A^B = 0001, друга арифметична операція сума дає 0001 плюс 0101 = 0110.

При використанні АЛП як компаратор, сигнал знімають з виходу A = B (вивід 14). Цей вихід з відкритим колектором, до джерела живлення його слід підключати через зовнішній резистор 1 кОм. Режим компаратора забезпечується при M = 0 і S3S2S1S0 = 1001. Коли числа A і B рівні, на виході A = B формується сигнал високого рівня.

Принципова схема приведена на рисунку 3.2. Вона включає АЛП DD1.

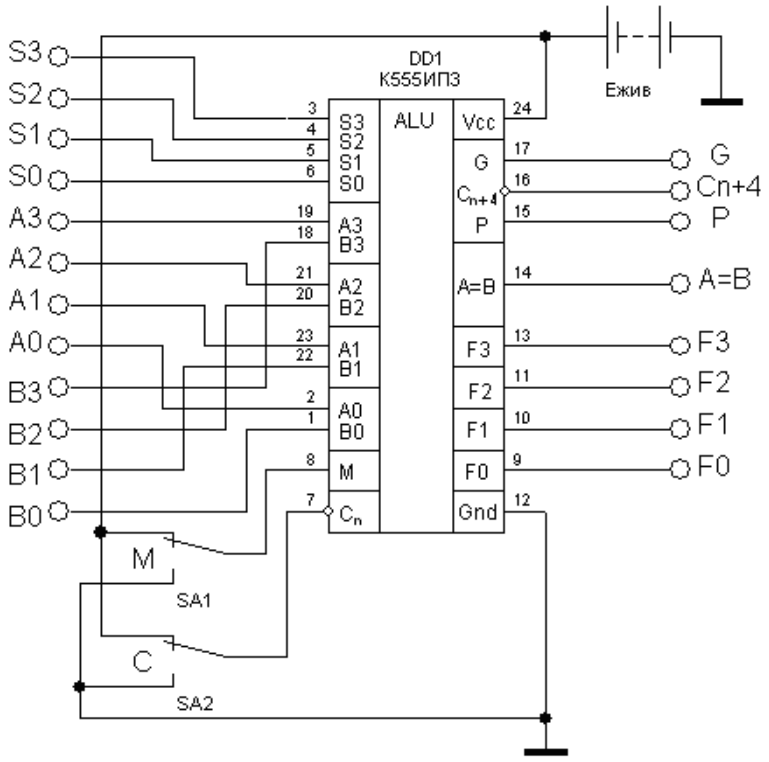


Рисунок 3.2 – Принципова схема підключення АЛП К555ИП3

Послідовність і порядок проведення роботи.

1. Зібрати лабораторний стенд в програмному забезпеченні EWB.

2. Задатись двійковими словами A і B за допомогою клавіатури і зафіксувати їх як варіант індивідуального завдання.

3. Набрати за допомогою клавіатури управляючі двійкові коди (M, C) і за допомогою Word Generator, по черзі, у режимі Step, перебирати значення управляючих сигналів S3S2S1S0 від 0000 (F0) до 1111 (F15). Зафіксувати

результати на виходах C_{n+4}, F3, F2, F1, F0, A=B кожній логічній і арифметичній операції.

4. Привести принципову схему, таблицю істинності, дати теоретичне пояснення кожного отриманого результату.

Опис віртуального EWB стенду.

АЛП 74181 (мікросхема К155ИП3) – комбінаційна схема, призначена для виконання арифметичних і логічних операцій над чотирьохрозрядними кодами чисел, причому, операції виконуються над однойменними зарядами. Для збільшення розрядності чисел, наприклад до восьми необхідно використовуватися два таких пристрої.

Сигнал на виході C_n+4 молодших чотирьох розрядів повинен поступити на вхід C_n старших чотирьох розрядів. Таке з'єднання дозволить збільшити розрядність оброблюваних чисел до 4n, де n – ціле позитивне число.

На входи A3A2A1A0 АЛП подається чотирьохрозрядний код числа A, на входи.B3B2B1B0 – код числа B (рис. 3.3).

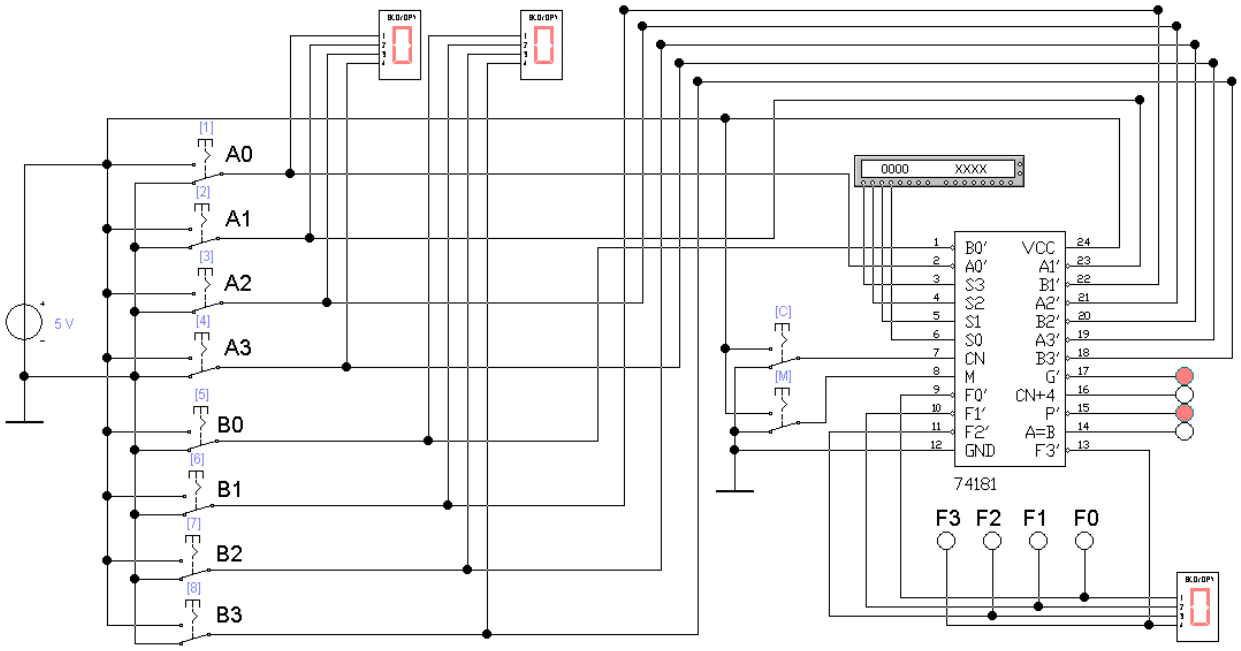


Рисунок 3.3 – Схема лабораторного стенду дослідження функціонування АЛП 74181

Двійковим кодом, поданим на входи.S3S2S1S0 АЛП, задається код однієї з 16 операцій обробки операндів A і B. Якщо на управляючому вході M, при цьому встановлений рівень логічної одиниці, то в АЛП виконується логічна операція, а якщо M=0, то логіко-арифметична.

При виконанні логічних операцій (M=1) усередині АЛП розриваються міжрозрядні зв'язки.

При виконанні арифметичних операцій (M=0) ці зв'язки включаються і, крім того, враховується значення сигналу на вході перенесення. Якщо C_n = 0, то

вважається, що перенесення є, а якщо $C_n = 1$, то перенесення немає. Результат операції над операндами з'являється на виходах F3F2F1F0.

Обидва сигнали перенесення – вхідний C_n і вихідний C_n+4 – інверсні відносно сигналів на входах A і B, тобто коли слова A і B – в позитивній логіці, сигналу перенесенню відповідає низький рівень напруги на відповідному виході, а в негативній логіці високий рівень напруги. на відповідному виході

АЛП має вихід, який позначений A=B. Високий логічний сигнал утворюється, якщо F0=F1=F2=F3=1. Цей вихід виконаний по схемі з відкритим колектором. Виходи P і G використовуються при побудові АЛП, які оброблюють числа з розрядністю більше чотирьох.

Лабораторна робота №4

Дослідження схем пріоритетних шифраторів

Метою виконання роботи є ознайомлення з призначенням та принципами побудови шифраторів.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Принцип функціонування непріоритетних шифраторів.
2. Таблиця функціонування та рівняння непріоритетних шифраторів.
3. Рівняння функціонування пріоритетного шифратора "8 в 3".
4. Робота мікросхеми КР555ИВ1.
5. Принцип нарощування розрядності пріоритетних шифраторів.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Шифратори застосовуються в контролерах переривань роботи мікропроцесора зовнішніми пристроями, в паралельному перетворювачі напруги в код і для кодування номера клавіші.

Шифратор – це комбінаційний пристрій, який перетворює десяткові числа в двійкову систему лічення, причому кожному входу може бути поставлено у відповідь десяткове число, а набір вихідних логічних сигналів відповідає певному двійковому коду. Шифратор інколи називають «кодером» (від англ. coder) і використовують, наприклад, для перекладу десяткових чисел, набраних на клавіатурі кнопкового пульта управління, в двійкові числа. Якщо кількість входів настільки велика, що в шифраторі використовуються всі можливі комбінації сигналів на виході, то такий шифратор зветься повним, якщо не всі, то неповним. Число входів і виходів в повному шифраторі зв'язане співвідношенням $n = 2^m$, де n – число входів, m — число виходів. Так, для перетворення коду кнопкового пульта в чотири розрядне двійкове число досить використовувати лише 10 входів, тоді як повне число можливих входів буде дорівнювати 16 ($n = 2^4 = 16$), тому шифратор 10×4 (з 10 в 4) буде неповним [1].

Шифратор може бути непріоритетним, якщо допускається подача лише одного активного сигналу і може бути пріоритетним, якщо допускається подача одночасно декількох активних сигналів на входи. Непріоритетний шифратор здійснює перетворення десяткового номера активного входу в двійковий еквівалент цього номера. Для непріоритетного шифратора "4 в 2" таблиця істинності має вигляд представлений в таблиці 4.1 [1].

Таблиця 4.1 – Таблиця істинності непріоритетного шифратора "4 в 2"

№ входа	Входи				Виходи	
	A	B	C	D	Q1	Q0
0	1	0	0	0	0	0
1	0	1	0	0	0	1
2	0	0	1	0	1	0
3	0	0	0	1	1	1

Для синтезу схеми непріоритетного шифратора для кожного виходу складемо таблицю Карно. Чотири вхідних змінних дають 2^4=16 комбінацій з яких за визначенням задані в таблиці лише 4. Останні 12 невизначених (заборонених) комбінацій в таблицях Карно відзначимо символом d. Оскільки поява цих комбінацій на входах не передбачена (за визначенням), то у відповідні клітки карти Карно можна підставляти будь-які значення, у тому числі такі, які дозволяють якнайповніше мінімізувати ЛФ. У обох випадках дві величини d довизначено до 1 (рис. 4.1).

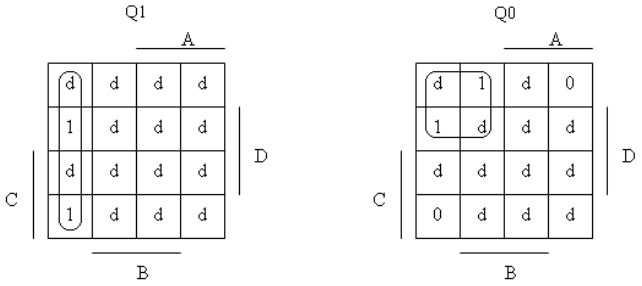


Рисунок 4.1 – Графічний аналіз функціонування непріоритетного шифратора

З приведених таблиць знаходимо Q1 і Q0:

$$Q1 = \overline{A} \cdot \overline{B} = \overline{A + B} \quad \text{і} \quad Q0 = \overline{A} \cdot \overline{C} = \overline{A + C}$$

Змінна D виявилася не використаною (рис. 4.2), але це сталося через те, що якщо немає сигналу ні на одному з перших трьох входів, то він неминуче має бути присутнім, за визначенням, на тому вході, який залишився, тобто на четвертому. Змінна D, разом з останніми може бути використана для формування функції A + B + C + D рівною 0, коли не активний жоден з входів, що може сигналізувати, наприклад, про несправність джерел сигналів. Пріоритетні шифратори виконують складнішу операцію.

При роботі ЕОМ і в інших пристроях часто вирішується завдання визначення пріоритетного претендента на користування яким-небудь ресурсом.

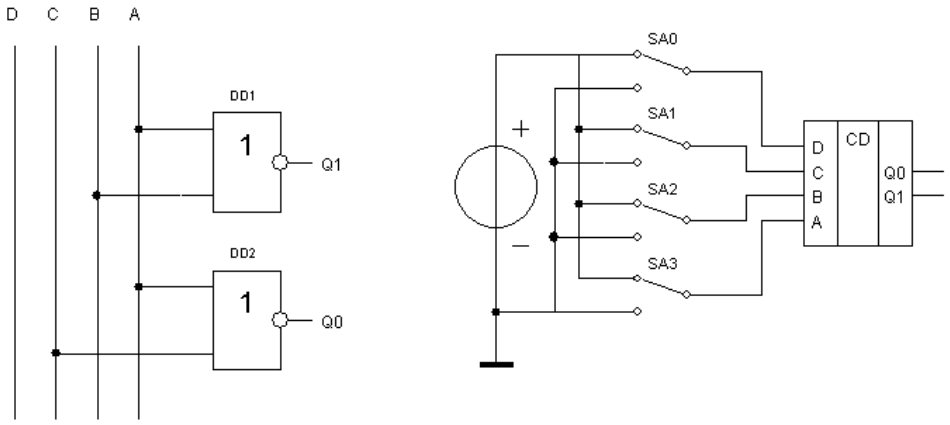


Рисунок 4.2 – Схема непріоритетного шифратора "4 в 2"

Декілька конкурентів виставляють свої запити на обслуговування, які не можуть бути задоволені одночасно. Потрібно вибрати того, кому надається право першочергового обслуговування. Простий варіант рішення вказаної задачі — привласнення кожному джерелу запитів фіксованого пріоритету. Наприклад, група з восьми запитів X7...X0 формується так, що вищий пріоритет має джерело номер сім, а далі пріоритет зменшується від номера до номера. Самий молодший пріоритет в нульового джерела – він обслуговуватиметься лише за відсутності всіх інших запитів. Якщо є одночасно декілька запитів, обслуговується запит з найбільшим номером [2].

Пріоритетний шифратор виробляє на виході двійковий номер старшого запиту. За наявності на входах декількох збуджених ліній (запитів) на виході буде збуджена лише одна, відповідна старшому запиту.

Шифратор з пріоритетом (пріоритетний шифратор) К555ИВ1 (рис. 4.3) (табл. 4.2) серії мікросхем К555 (ТТЛШ, зарубіжній аналог 74148) [1].

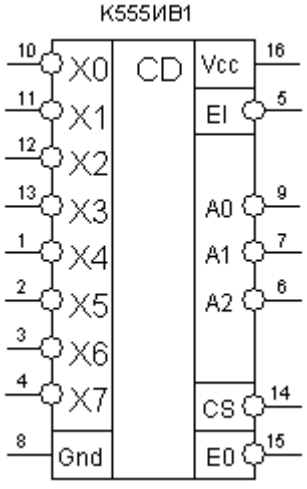


Рисунок 4.3 - Пріоритетний шифратор К555ИВ1

Мікросхема К555ИВ1 представляє собою пріоритетний шифратор 8×3, тобто має 8 інверсних входів і 3 інверсних виходу. Окрім цього вона має вхід дозволу EI, вихід перенесення E0 і вихід CS, визначаючий ознаку вхідного інформаційного сигналу.

Таблиця 4.2 – Таблиця функціонування пріоритетного шифратора К555ИВ1

Входи									Виходи				
E1	X0	X1	X2	X3	X4	X5	X6	X7	A2	A1	A0	CS	E0
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

Активним для шифратора і на вході і на виході є низький рівень сигналу. Перетворення відбувається якщо на вході дозволу E1 присутній низький рівень.

Якщо на всіх інформаційних входах логічна 1, то при подачі на вхід EI логічного 0, на виходах A0, A1, A2 і CS будуть логічні 1, а на виході перенесення E0 – логічний 0.

Якщо активізувати один з інформаційних входів (подати на нього логічний 0), то на виходах A0, A1, A2 з'явиться інверсний код, відповідний номеру активізованого входу, на вході CS – логічний 0, такий, що є ознакою подачі вхідного сигналу, а на виході E0 – логічна 1.

Якщо мікросхема не активізована, тобто на вхід дозволу EI подана логічна 1, то на всіх виходах мікросхеми також буде логічна 1 незалежно від того, що буде подане на інформаційні входи.

Для нарощування розрядності дешифрування можливе з'єднання декількох мікросхем, при цьому вхід старшого розряду шифратора X7 сполучають з входом дозволи E1 наступного шифратора. Вихід E0 є виходом схеми I вхідних шин шифратора. Вихід CS, забезпечує на виході ЛЕ ознаку вибору наступної мікросхеми.

Послідовність і порядок проведення роботи.

1. Таблиця (табл. 4.2) повністю характеризує роботу досліджуваного пріоритетного шифратора при всіх можливих комбінаціях сигналів: E1 – сигналу дозволу роботи шифратора; E0 – сигналу, який виробляється на виході шифратора за відсутності запитів на його входах для дозволу роботи наступного (молодшого) шифратора при нарощуванні розмірності шифраторів; CS – сигналу, що відзначає наявність запитів на вході шифратора; X7...X0 – запитів на входах шифратора; A2, A1, A0 – значень розрядів вихідної двійкової коди, що формує номер старшого запиту. Всі перелічені сигнали формуються за умови E1 = 1 (робота шифратора дозволена). При E1 = 0 незалежно від станів входів запитів всі вихідні сигнали шифратора стають нульовими.

Згідно з таблицею рівняння функціонування пріоритетного шифратора для виходів A2, A1, A0, CS, E0:

$$A2 = (X7 + \overline{X7}X6 + \overline{X7}\,\overline{X6}X5 + \overline{X7}\,\overline{X6}\,\overline{X5}X4)E1;$$

$$A1 = (X7 + \overline{X7}X6 + \overline{X7}\,\overline{X6}\,\overline{X5}\,\overline{X4}X3 + \overline{X7}\,\overline{X6}\,\overline{X5}\,\overline{X4}\,\overline{X3}X2)E1;$$

$$A0 = (X7 + \overline{X7}\,\overline{X6}X5 + \overline{X7}\,\overline{X6}\,\overline{X5}\,\overline{X4}X3 + \overline{X7}\,\overline{X6}\,\overline{X5}\,\overline{X4}\,\overline{X3}\,\overline{X2}X1)E1;$$

$$CS = (X7 + X6 + X5 + X4 + X3 + X2 + X1)E1;$$

$$E0 = \overline{X7}\,\overline{X6}\,\overline{X5}\,\overline{X4}\,\overline{X3}\,\overline{X2}\,\overline{X1}\,\overline{X0}E1.$$

Повторним застосуванням до кожної з функцій A_i (i = 2, 1, 0) відомого співвідношення алгебри логіки $A + F\overline{A} = A + F$ можна спростити їх і отримати вирази, які визначають внутрішню структуру шифратора пріоритету в його основній частині:

$$A2 = (X7 + X6 + X5 + X4)E1;$$

$$A1 = (X7 + X6 + \overline{X5}\,\overline{X4}X3 + \overline{X5}\,\overline{X4}X2)E1;$$

$$A0 = (X7 + \overline{X6}X5 + \overline{X6}\,\overline{X4}X3 + \overline{X6}\,\overline{X4}\,\overline{X2}X1)E1.$$

Схема досліджуємого пріоритетного шифратора згідно з рівняннями функціонування представлена на рисунку 4.4.

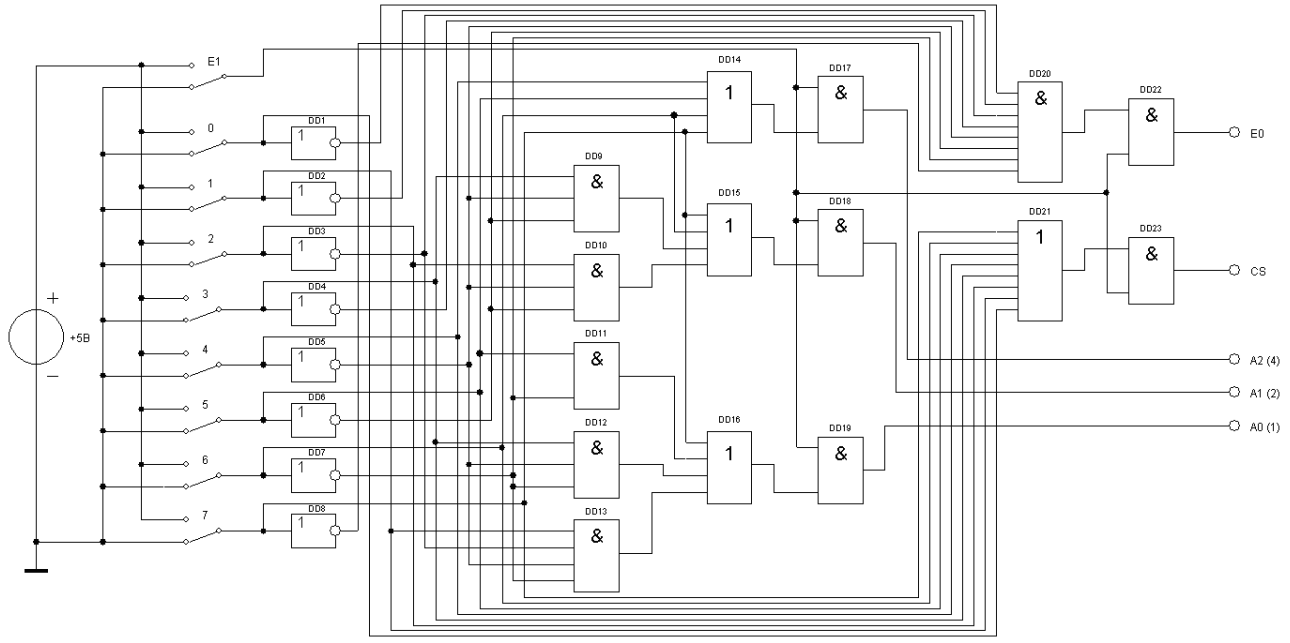


Рисунок 4.4 - Схема лабораторного стенду для дослідження пріоритетного шифратора

а) Встановити на всіх інформаційних входах логічну 1, подати на вхід EI логічний 0, дослідити сигнали на виходах A0, A1, A2, CS, E0.

б) Активізувати один з інформаційних входів (подати на нього логічну 1), зчитати код з виходів A0, A1, A2, CS, E0.

в) Активізувати декілька інформаційних входів, зчитати код з виходів A0, A1, A2, CS, E0.

г) Зробити обґрунтований висновок про принцип функціонування пріоритетного шифратора.

2. З'єднати дві мікросхеми 74148 за схемою (рис. 4.5) для здобуття пріоритетного шифратора на 16 входів.

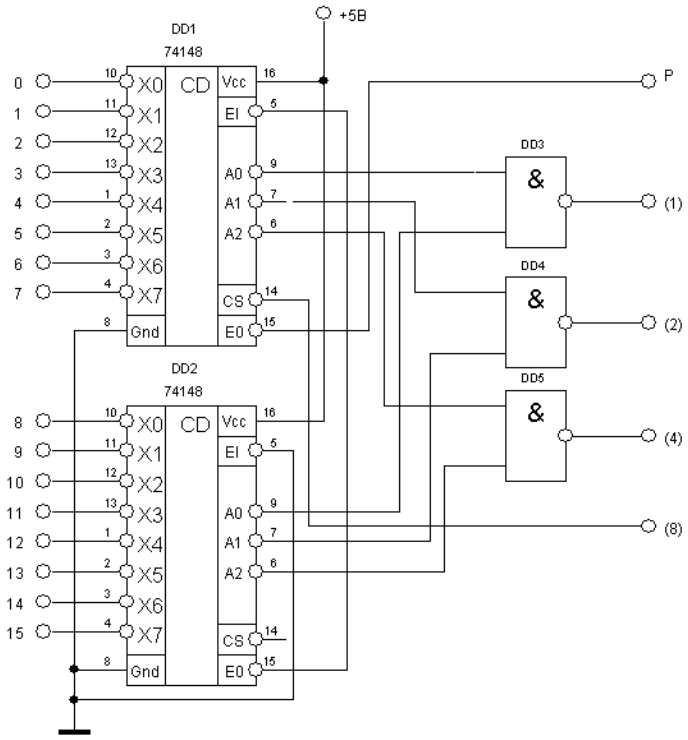


Рисунок 4.5 – Пріоритетний шифратор "16 в 4"

Якщо логічний 0 поданий на один з входів 0 - 7, на виходах DD3 – DD5 з'являться молодші розряди прямого вихідного коду, на виході CS DD1 - логічний 0, такий, що визначає розряд 8-розрядного коду, на виході E0 - логічна 1, яка є ознакою подачі вхідного сигналу. Якщо логічний 0 подати на один з входів 8 - 15, логічна 1 з виходу CS DD2 заборонить роботу DD1, молодші розряди на виходах DD3 – DD5 визначаються мікросхемою DD2, на виході 8 вихідного коду буде логічна 1.

а) Зібрати схему пріоритетного шифратора (рис. 4.5) підключивши до неї джерело живлення, джерела вхідного сигналу, контрольні індикатори.

б) Дослідити режими функціонування схеми, занести данні в таблицю функціонування.

в) Зробити обґрунтований висновок про принцип нарощування розрядності шифраторів.

Опис віртуального EWB стенду.

1. Схему лабораторного стенду для дослідження пріоритетного шифратора (рис. 4.4) зібрати в програмному забезпеченні EWB, доповнити індикаторами і логічним аналізатором.

2. Схему лабораторного стенду для дослідження пріоритетного шифратора на 16 входів (рис. 4.5) зібрати в програмному забезпеченні EWB, доповнити індикаторами, джерелом живлення, перемикачами вхідних сигналів і логічним аналізатором.

Лабораторна робота №5

Дослідження перетворювачів сигналів мікропроцесорних систем

Метою виконання роботи є ознайомлення з принципом роботи дешифраторів та шифраторів, дослідити вплив керуючих сигналів, на роботу дешифраторів, реалізувати і дослідити функціональні модулі на основі дешифраторів та шифраторів.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Принцип функціонування дешифраторів.
2. Типи дешифраторів.
3. Принцип функціонування демультиплексорів.
4. Рівняння функціонування дешифратора.
5. Рівняння функціонування демультиплексора.
6. Діаграма функціонування дешифратора.
7. Діаграма функціонування демультиплексора.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Дешифратор – логічна комбінаційна схема, яка має n інформаційних входів і 2^n виходів. Кожній комбінації логічних сигналів на входах відповідатиме активний рівень на одному з виходів.

Розглянемо дешифратор (ДШ) з n = 2 і m = 4, який зветься також дешифратором "2 в 4" і доповнимо його входом дозволу виходів OE. Активним рівнем сигналу на прямих входах/виходах буде 1, а на інверсних - 0. За цим визначенням заповнимо таблицю істинності (табл. 5.1), де величина x може набувати будь-яких значень [1].

Таблиця 5.1 – Таблиця істинності дешифратора «2 в 4»

DEC число	Входи				Виходи								ЛФ
	A	B	OE	$\overline{OE}$	F0	F1	F2	F3	$\overline{F0}$	$\overline{F1}$	$\overline{F2}$	$\overline{F3}$	
0	0	0			1	0	0	0	0	1	1	1	$F0 = OE \cdot \overline{A} \cdot \overline{B}$
1	0	1	1	0	0	1	0	0	1	0	1	1	$F1 = OE \cdot \overline{A} \cdot B$
2	1	0			0	0	1	0	1	1	0	1	$F2 = OE \cdot A \cdot \overline{B}$
3	1	1			0	0	0	1	1	1	1	0	$F3 = OE \cdot A \cdot B$
x	x	x	0	1	0	0	0	0	1	1	1	1	$Fi=0 \quad \overline{Fi}=1$

Таблиця Карно для виходу F0 і 3-х вхідних змінних матиме вигляд:

F0

OE \ A	0	0	0	0
	1	0	0	0

B

Карта Карно містить лише одну таку клітку, тому логічна функція виходу F0 матиме вигляд:

$$F0 = OE \cdot \overline{A} \cdot \overline{B}.$$

Аналогічно отримані останні три рівняння:

$$F1 = OE \cdot \overline{A} \cdot B;\ F2 = OE \cdot A \cdot \overline{B};\ F3 = OE \cdot A \cdot B.$$

Перетворимо отримані для F_i рівняння за допомогою аксіоми подвійного заперечення до базису І-НЕ:

$$\overline{\overline{F0 = OE \cdot \overline{A} \cdot \overline{B}}};\ \overline{\overline{F1 = OE \cdot \overline{A} \cdot B}};\ \overline{\overline{F2 = OE \cdot A \cdot \overline{B}}};\ \overline{\overline{F3 = OE \cdot A \cdot B}}.$$

Рівнянню відповідає схема дешифратора 2 в 8 з інверсним виходом (рис. 5.1).

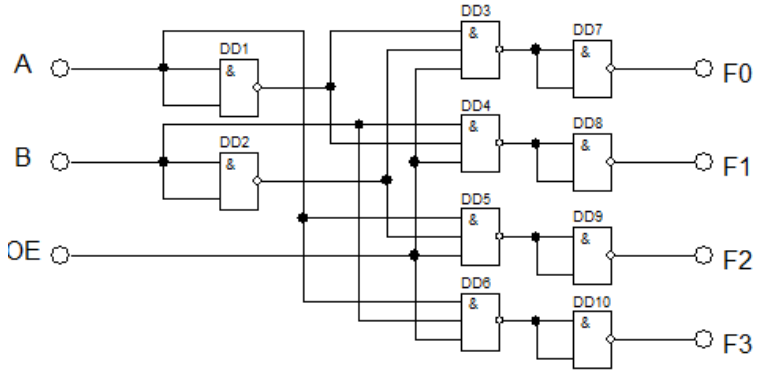


Рисунок 5.1 – Розрахована початкова схема дешифратора 2 в 4 з інверсними виходами

На входи А і В можна подати чотири різних комбінацій сигналів. Схема має 4 інверсних вихід, на одному з яких формується низький потенціал, на останніх – високий. Номер цього єдиного виходу, на якому формується активний рівень, виражається комбінацією сигналів на входах в двійковому коді. Окрім інформаційних входів дешифратори зазвичай мають додаткові входи управління ОЕ. Сигнали на цих входах управляють функціонуванням дешифратора або переводять його в пасивний стан, при якому, незалежно від сигналів на інформаційних входах, на всіх виходах встановиться рівень логічної одиниці. Можна сказати, що існує деяка функція дозволу, значення якої визначається станами управляючих входів.

Керуючий вхід може бути прямим або інверсним. У дешифраторів з прямим керуючим входом активним рівнем є рівень логічної одиниці, у дешифраторів з інверсним входом – рівень логічного нуля. На рисунку 5.1 представлений дешифратор з одним інверсним входом управління.

У дешифраторів з декількома входами управління функція дозволу, як правило, є логічне множення всіх вирішуючих сигналів управління. Зазвичай входи управління використовують для каскадування (збільшення розрядності) дешифраторів або при паралельній роботі декількох схем на загальні вихідні лінії.

Дешифратор може бути використаний і як демультиплексор – логічний комутатор, який підключає вхідний сигнал до одного з виходів [2]. В цьому

випадку функцію інформаційного входу виконує один з входів дозволу, а стан входів A, B і C задає номер виходу, на який передається сигнал з входу дозволу.

Послідовність і порядок проведення роботи.

Для виконання завдань лабораторної роботи розрахувати і побудувати лабораторний стенд в програмному забезпеченні EWB.

1. Дослідження принципу роботи дешифратора 3 в 8.

Побудувати схему представлену на рисунку 5.2.

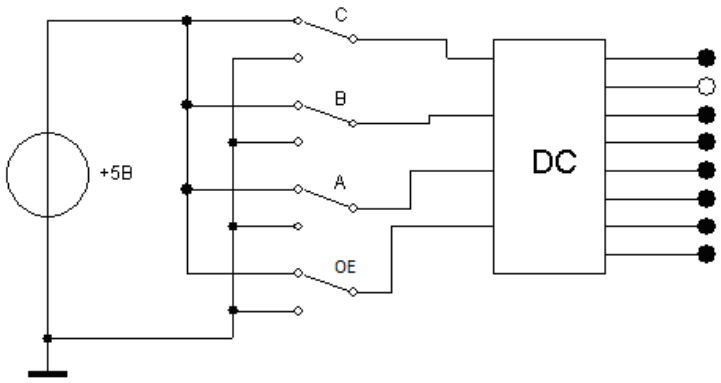


Рисунок 5.2 – Схема лабораторного стенду до завдань 1 і 2

Подати на вхід OE логічну одиницю. Подаючи всі можливі комбінації рівнів логічних сигналів на входи за допомогою однойменних ключів, визначити рівні вихідних сигналів і заповнити таблицю істинності при OE = 1. Подати на вхід OE логічний нуль. Переконайтеся, що дешифратор перейшов у робочий режим і на одному з виходів встановився рівень логічного нуля. Подаючи всі можливі комбінації рівнів логічних сигналів на входи за допомогою однойменних ключів, визначити рівні вихідних сигналів і заповнити таблицю істинності при OE = 0.

2. Дослідження принципу роботи дешифратора 3 в 8 в режимі 2 в 4.

1) У схемі (рис. 5.2) підключити вхід A до загального дроту (землі), задавши A = 0. Подаючи всі можливі комбінації рівнів логічних сигналів на входи B і C за допомогою однойменних ключів, визначити рівні вихідних сигналів і заповнити таблицю істинності дешифратора.

Вкажіть виходи, на яких рівень сигналу не міняється. Побудуйте діаграму функціонування.

2) Виконайте пункт 1 при A = 1. Побудуйте діаграму функціонування.

3) Виконайте пункт 1), заземливши вхід B (B = 0), а на входи A і C подаючи всі можливі комбінації логічних рівнів. Заповните таблицю істинності. Вкажіть виходи, на яких рівень сигналу не міняється. Побудуйте діаграму функціонування.

3. Дослідження роботи дешифратора в якості демультиплексора.

Побудувати схему, представлену на рисунку 5.3. Для дослідження застосовується генератор слів, який потрібно запрограмувати так, щоб отримувати послідовно комбінації від 0 до 7. Перевести генератор в режим покрокової роботи натисненням кнопки «Step». Кожне натиснення кнопки

«Step» викликає перехід до чергового слова заданої послідовності, яке подається на вихід генератора. Послідовно подаючи на входи A, B і C слова із заданої послідовності, заповнити таблицю функціонування. Переконатись, що сигнал, який змінюється, на вході OE по черзі з'являється на виходах дешифратора. Побудувати діаграму функціонування.

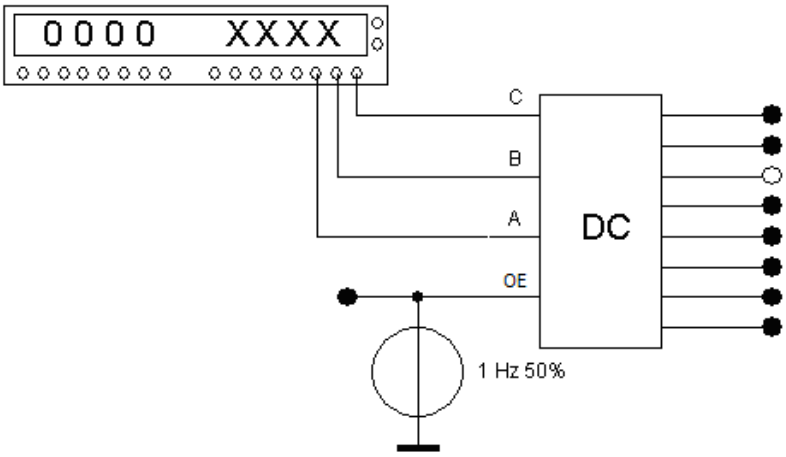


Рисунок 5.3 – Схема лабораторного стенду до завдання 3

4. Дослідження роботи дешифратора з логічною схемою на виході.

Побудувати схему, представлену на рисунку 5.4. Встановить генератор слів в покроковий режим. Послідовно подаючи на входи A, B і C слова із заданої послідовності, заповните таблицю істинності функції F, яка реалізується схемою. По таблиці записати аналітичне вираження функції. Побудувати діаграму функціонування.

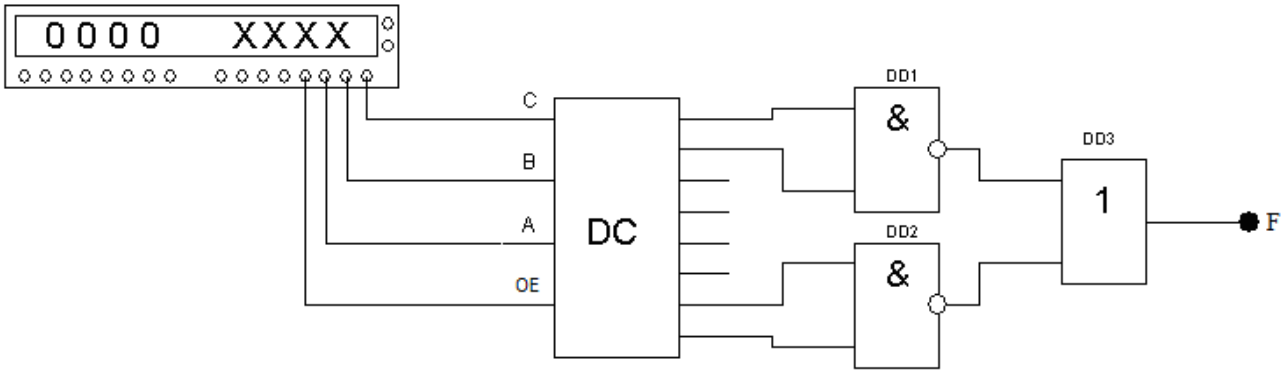


Рисунок 5.4 – Схема лабораторного стенду до завдання 4

5. Дослідження мікросхеми 74138.

Побудувати схему в програмному забезпеченні EWB. Встановити генератор слів в покроковий режим.

1) За допомогою відповідних ключів встановити стан управляючих входів G1 = 0, G2A = G2B = 1. Послідовно подаючи на входи A, B і Із слова із заданої послідовності, заповните таблицю функціонування дешифратора 74138.

2) Повторити операції пункту 1) при G1 = G2A = 1, G2B = 0. Заповнити таблицю функціонування дешифратора 74138.

в) Повторити операції пункту а) при G1 = 1, G2A = G2B = 0. Заповнити таблицю функціонування дешифратора 74138.

г) Встановити генератор слів в покроковий режим. За допомогою відповідних ключів встановити стан управляючих входів G1 = 1, G2A = G2B = 0. Подаючи слова від генератора слів, отримати часові діаграми роботи дешифратора на екрані логічного аналізатора і замалюйте їх. Провести аналіз часових діаграм у порівнянні з таблицею функціонування дешифратора.

Опис віртуального EWB стенду.

1. Для побудови лабораторних стендів для завдань 1, 2, 3, 4, необхідно виділити фрагмент розрахованої схеми, як показано на рисунку 5.5.

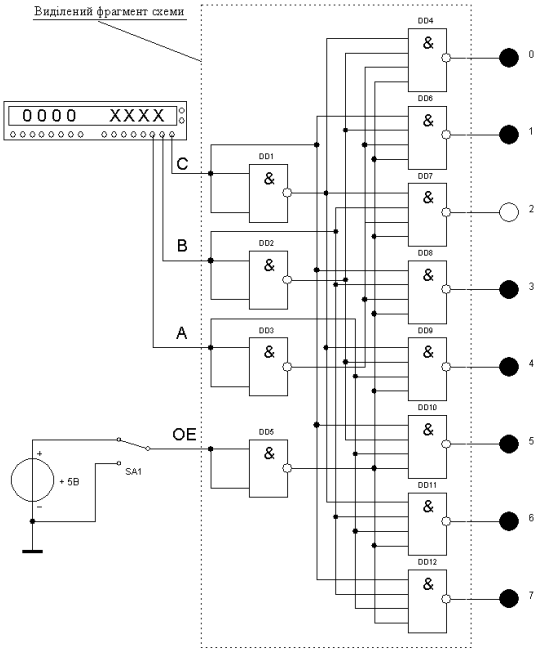


Рисунок 5.5 – Розрахована схема дешифратора 3 в 8

На панелі інструментів натиснути кнопку (1) Create Subcircuit (рис. 5.6). В області екрану з’явиться віконце в яке записується назва пристрою DC. Далі виконується операція Copy from Circuit.

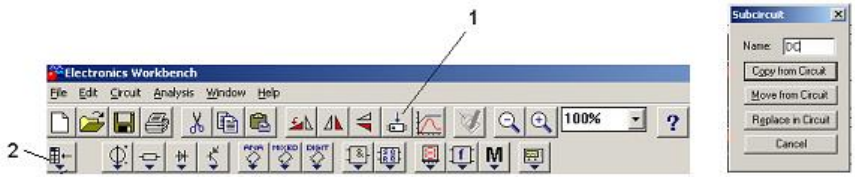


Рисунок 5.6 – Панель інструментів EWB

Тепер при натисненні кнопки (2) Favorites (рис. 5.7) з'явиться вікно (рис. 5.8). Слід витягнути значок SUB на поле екрану. Розвернути значок ▭, який з'явився, і отримати наступне вікно. Підтвердити вибір схеми командою Accept и отримати схему, яка буде використовуватись при виконанні завдань лабораторної роботи.

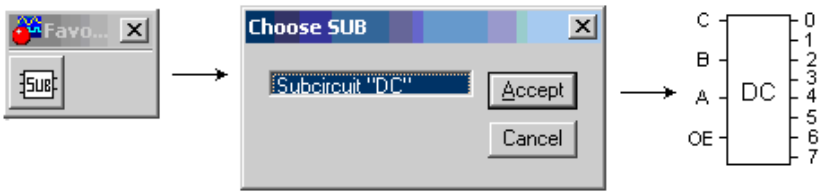


Рисунок 5.7 – Робочій елемент схеми для виконання лабораторної роботи

2. Для виконання завдання 5 лабораторний стенд зібрано на IMC 74138 (рис. 5.8).

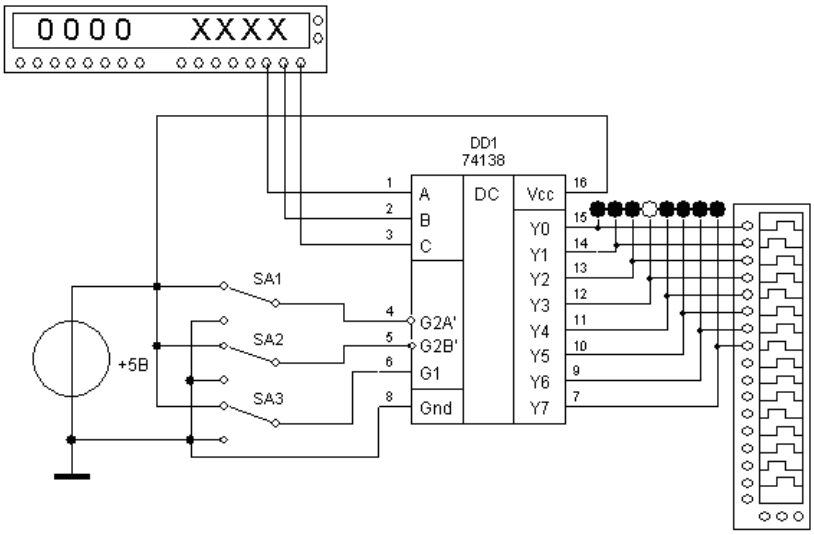


Рисунок 5.5 - Схема лабораторного стенду до завдання 5

Лабораторна робота № 6

Дослідження мультиплексорів мікропроцесорних систем

Метою виконання роботи є ознайомлення з принципом роботи мультиплексорів, дослідити вплив сигналів керування на роботу мультиплексорів, реалізувати і дослідити функціональні модулі на основі мультиплексорів.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Принцип функціонування мультиплексорів.
2. Види тригерів. Принципи їх функціонування.
3. Рівняння функціонування тригерів.
4. Принцип функціонування цифрових генераторів.
5. Рівняння функціонування мультиплексора.
6. Діаграма функціонування мультиплексора.
7. Використання мультиплексорів.

Хід виконання лабораторної роботи
(методика експериментальних досліджень)

Мультиплексор передає сигнал з одного з інформаційних входів x_i на єдиний вихід Q, причому номер цього входу дорівнює десятковому еквіваленту двійкового коду на адресних входах D_i. Якщо є вхід дозволу виходу OE, то "0" на цьому вході повинен перевести вихід в пасивний стан (табл. 6.1). Розглянемо мультиплексор "4 в 1", що має 4 інформаційних входів і log4 = 2 адресних входів [1].

Таблиця 6.1 – Таблиця істинності мультиплексора "4 в 1"

Десяткове число	Входи								Вихід Q	ЛФ
	A	B	OE	$\overline{OE}$	D0	D1	D2	D3		
0	0	0			X0	×	×	×	X0	$Q = X0 \cdot OE \cdot \overline{A} \cdot \overline{B}$
1	0	1	1	0	×	X1	×	×	X1	$Q = X1 \cdot OE \cdot A \cdot \overline{B}$
2	1	0			×	×	X2	×	X2	$Q = X2 \cdot OE \cdot \overline{A} \cdot B$
3	1	1			×	×	×	X3	X3	$Q = X3 \cdot OE \cdot A \cdot B$
×	×	×	0	1	×	×	×	×	0	Q=0

Величина X може набувати будь-яких значень. Кількість вхідних змінних дорівнює 7, і таблиця істинності повинна мати 128 рядків. У таблиці в 4-х основних рядках упаковано 64 початкові (з врахуванням значень X0 ... X3) і в останньому рядку, останні 64 строчки. Аналіз 0 рядка, наводить до виводу, що Q = X0, якщо A = 0 и B = 0 и OE = 1, незалежно від змінних X1 ... X3. Тому для цього вхідного набору можна записати: $Q = X0 \cdot OE \cdot \overline{A} \cdot \overline{B}$. Аналогічно записується Q для останніх трьох наборів змінних. Загальне рішення тоді матиме вигляд:

$$Q = OE(X0\,\overline{A}\,\overline{B} + X1\overline{A}B + X2A\,\overline{B} + X3AB)$$

Застосовуючи аксіоми подвійного заперечення і подвійності до правої частини рівняння отримаємо:

$$Q = \overline{\overline{OEX0\overline{A}\,\overline{B}} \cdot \overline{OEX1\overline{A}B} \cdot \overline{OEX2A\,\overline{B}} \cdot \overline{OEX3AB}}$$

Вираженню відповідає схема, приведена на рисунку 6.1.

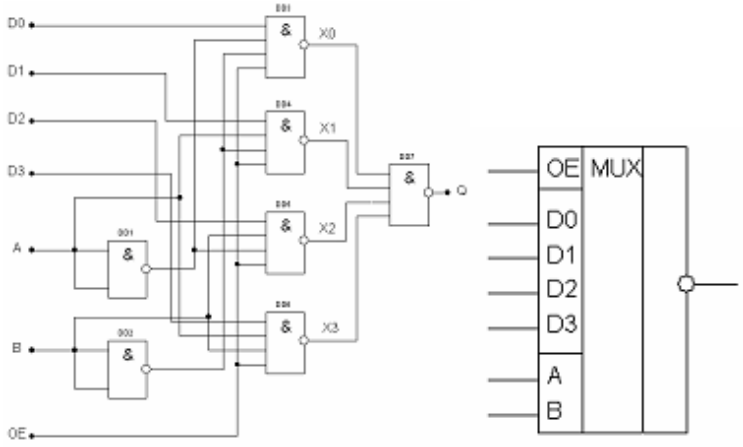


Рисунок 6.1 – Схема та УГП мультиплексора «4 в 1»

Діаграма функціонування мультиплексора представлена на рис. 6.2.

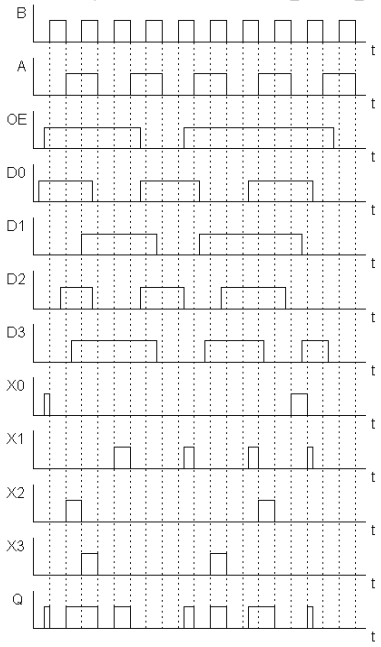


Рисунок 6.2 – Діаграма функціонування мультиплексора

Якщо на адресні входи подати комбінацію AB = 11(BIN)= 3(DEC), то до виходу Q буде підключений вхід D3, за умови, якщо OE=1.

Мультиплексор може мати інверсний вихід, а також третій стан цього виходу, який наголошується на схемі ромбом з поперечною лінією [2].

Мультиплексори знаходять широке використання в обчислювальній техніці, наприклад багато виводів в мікропроцесорів "мультиплексовані", тобто до одного виходу підключається декілька внутрішніх джерел різних сигналів. Це можуть бути сигнали ліній шини даних і шини адреси, які передаються послідовно в часі, що дозволяє скоротити загальне число виводів мікропроцесора. За допомогою мультиплексора з "n" адресними входами можна реалізувати будь-яку ЛФ з "n" змінними, подаючи на інформаційні входи мультиплексора значення D_i [3].

Послідовність і порядок проведення роботи.

Розрахувати схему мультиплексора «4 в 1» та побудувати її в програмному забезпеченні EWB. Для подальшої роботи необхідно отримати робочу схему (рис. 6.3) для виконання лабораторної.

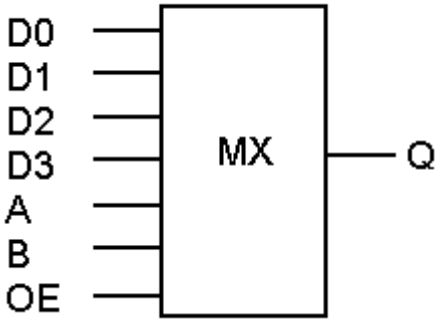


Рисунок 6.3 – Робоча схема для виконання лабораторної роботи

1. Дослідження принципу роботи мультиплексора «4 в 1».

Побудувати схему представлену на рисунку 6.4. Подайте на вхід OE логічну одиницю. До інформаційних входів D_i підключити генератори прямокутних імпульсів з різною частотою (інформацією). Подаючи всі можливі комбінації рівнів логічних сигналів на адресні входи A, B за допомогою однойменних ключів, визначити рівні вихідних сигналів і заповните таблицю істинності при OE = 1. При дослідженні функціонування схеми за допомогою Logic Analyzer змінять інформацію на інформаційних входах D_i.

Подати на вхід OE логічний нуль. Переконаєтеся, що мультиплексор перейшов в режим очікування дозволу проходження інформації. Заповнити таблицю істинності при OE = 1, OE = 0. Побудувати діаграми функціонування.

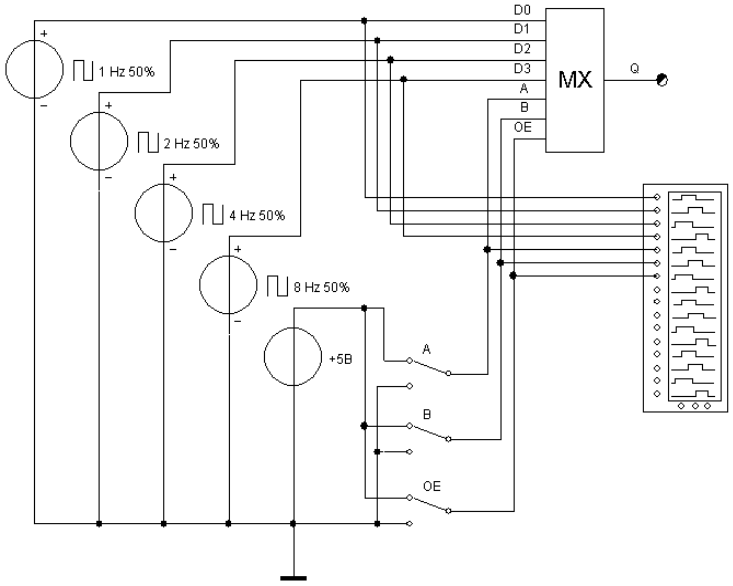


Рисунок 6.4 - Схема дослідження принципу роботи мультиплексора «4 в 1»

2. Дослідження схеми мультиплексування інформації з генератора числових послідовностей.

Послідовністні пристрої – генератори чисел, які називають також розподільниками сигналів, оскільки послідовність двійкових чисел на їх виходах використовується для управління роботою інших цифрових вузлів. Число станів генератора називається довжиною послідовності чисел L_n, яка дорівнює кількості тактів, після якої послідовність чисел на виході генератора повторюється. По своїй структурі генератори чисел близькі або до лічильників, або до регістрів.

Будь-який лічильник можна вважати генератором послідовності чисел, що має L_n, = $K_{сч}$. Як правило, необхідне число розрядів генератора дорівнює числу двійкових розрядів m в числах, що генеруються. Якщо $m > \log 2\ L_n$, то для зменшення числа використовуваних тригерів структура генераторів змінюється. В цьому випадку генератор доцільніше будувати у вигляді лічильника з модулем рахунку $K_c = L_n$ і підключеною до його виходів комбінаційною схемою, що синтезує необхідні значення двійкових чисел послідовності.

Розглянемо генератор чисел 2–3–4–12. Оскільки $L_n = 4$, то за основу генератора можна узяти двохрозрядний лічильник з $K_{сч.} = 4$, який генерує числа

0–1–2–3. Підключивши до виходів лічильника комбінаційну схему, що виконує перетворення коду таблиці функціонування, отримаємо структуру генератора, відповідно до утворюючого задану послідовність чисел (рис. 6.5).

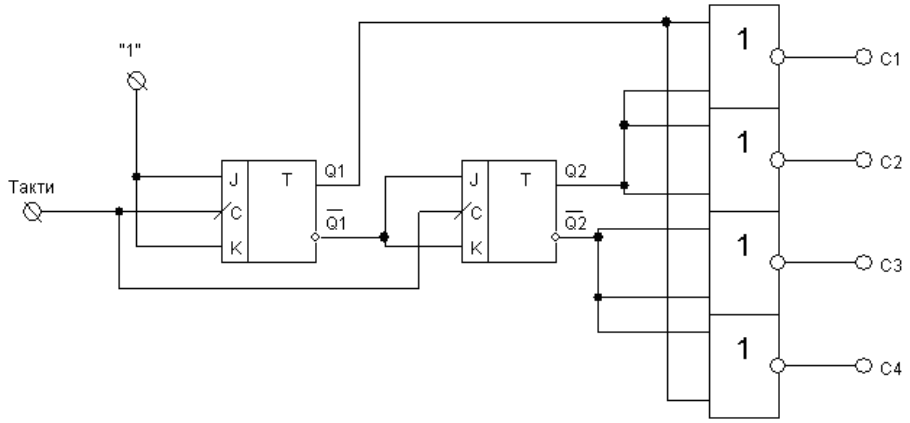


Рисунок 6.5 - Генератор числової послідовності 2–3–4–12 на основі лічильника з вихідною комбінаційною схемою

Часова діаграма роботи генератора приведена на рисунку 6.6.

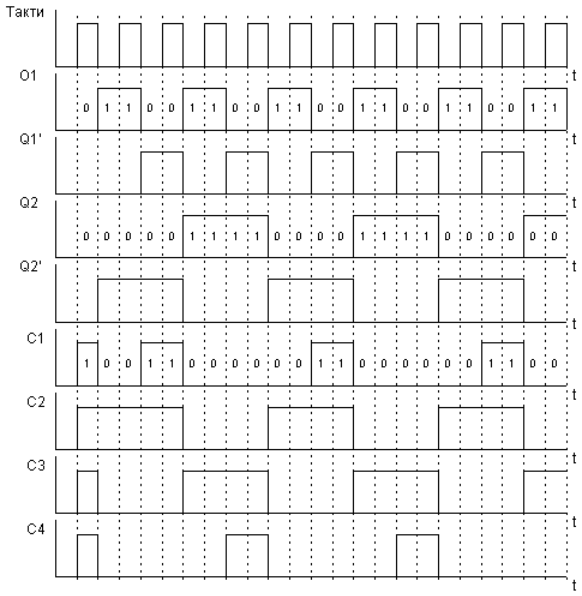


Рисунок 6.6 – Часова діаграма роботи генератора

а) Проаналізувати роботу схеми генератора числових послідовностей (рис. 6.5). Побудувати таблицю функціонування. Визначити рівняння функціонування тригерів та комбінаційної схеми.

б) Побудувати в програмному забезпеченні EWB генератор числової послідовності 2–3–4–12 за схемою на рисунку 6.5.

в) Провести аналіз його функціонування, побудувати часові діаграми.

г) Побудувати в програмному забезпеченні EWB схему лабораторного стенду для схеми мультиплексування інформації з генератора числових послідовностей на мультиплексорі 74153.

д) Визначити рівняння функціонування мультиплексора.

е) Провести повний аналіз функціонування схеми. Обґрунтувати вибір елементів схеми та режими їх функціонування.

ж) Побудувати часову діаграму функціонування схеми мультиплексування інформації з генератора числової послідовності 2–3–4–12.

Опис віртуального EWB стенду.

1. Реалізація схеми генератора числової послідовності 2–3–4–12 на реальних мікросхемах до пунктів (а – в) завдання 2 в програмному забезпеченні EWB представлена на рисунку 6.6.

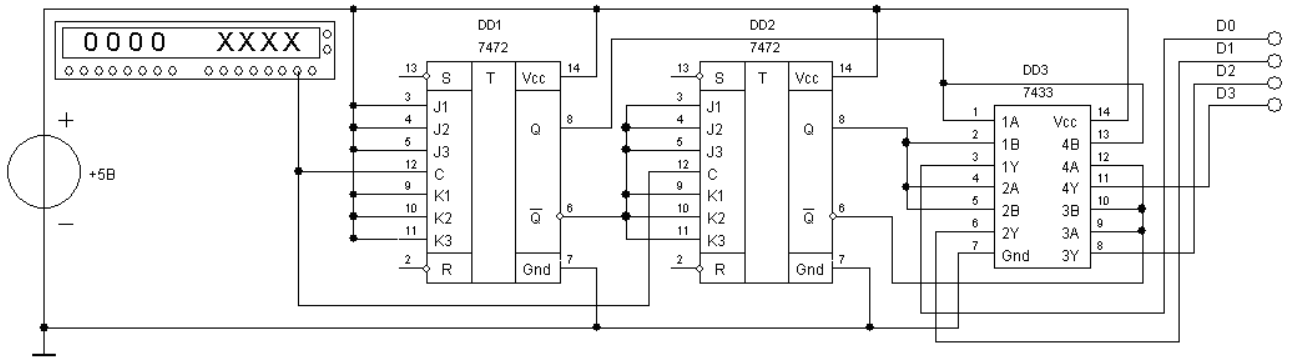


Рисунок 6.7 - Генератор числової послідовності 2–3–4–12 лабораторного стенду до пунктів (а – в) завдання 2

2. Реалізація схеми генератора числової послідовності 2–3–4–12 на реальних мікросхемах до пунктів (г – ж) завдання 2 в програмному забезпеченні EWB представлена на рисунку 6.8. Мультиплексор 74153 відповідно до постійної адреси опитує виходи генератора і передає інформацію на один вихід, який в послідовному коді видає інформацію стану виходів генератора.

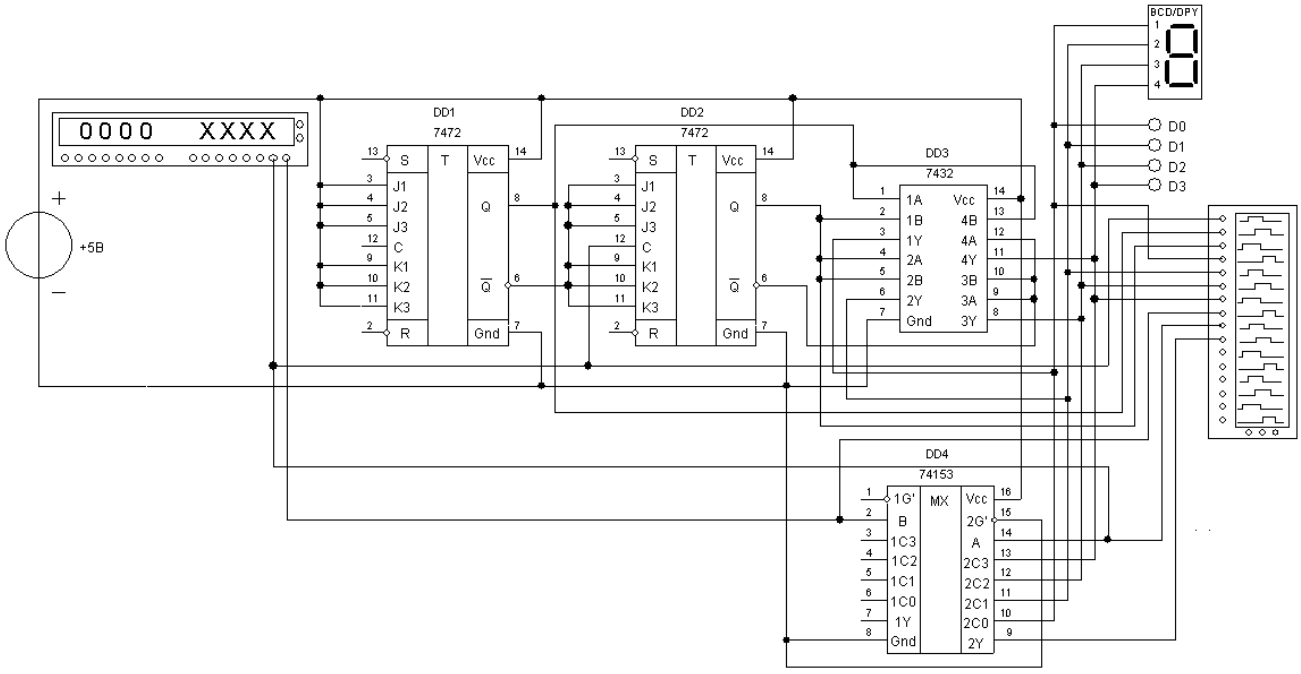


Рисунок 6.8 - Схема лабораторного стенду до завдання 2.2

Лабораторна робота № 7

Функціональний контроль схем багаторозрядних суматорів з накопиченням інформації

Метою виконання роботи є вивчення методів синтезу оперативних вузлів арифметичних логічних пристроїв.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Арифметичні операції цифрової схемотехніки.
2. Принцип роботи n-розрядного суматора.
3. Основні характеристики суматорів.
4. Напівсуматори: принцип роботи, основні характеристики.
5. Принципи побудови багато розрядних суматорів.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Арифметичні суматори призначені для арифметичного цифрового підсумовування, в загальному випадку, багаторозрядних чисел [1].

1. По внутрішній структурі суматори діляться на комбінаційні (які не містять елементів пам'яті) і нагромаджуючі (суматори з пам'яттю за модулем 2).

2. По довжині оброблюваних слів суматори розподіляються згідно з рисунком 7.1.

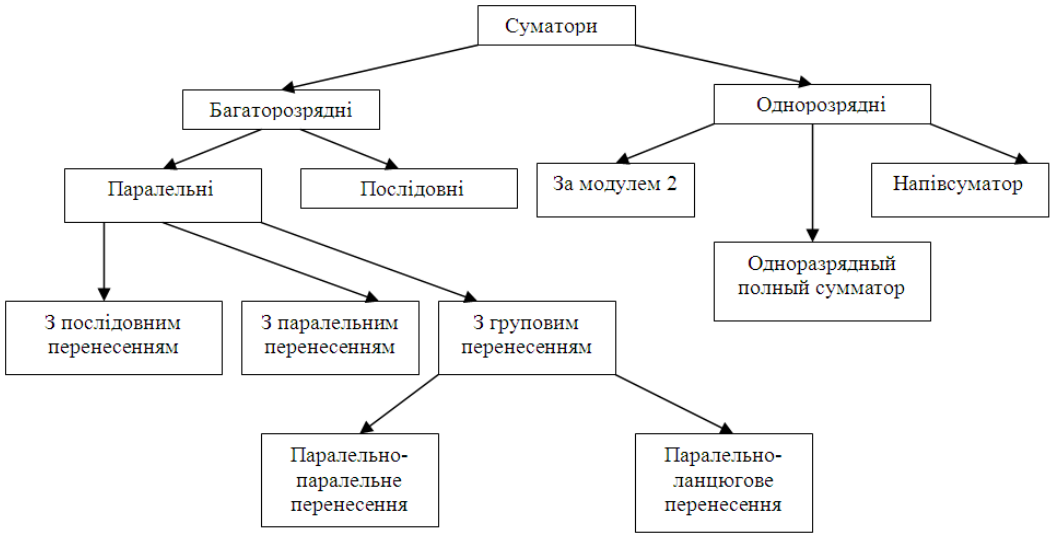


Рисунок 7.1 - Розподіл суматорів по довжині оброблюваних слів

3. По системі числення, яка використовується - на двійкові, двійково-десяткові та інших систем числення.

Умовне графічне позначення суматора містить розряди чисел A0A1A2A3 і B0B1B2B3, перенесення з молодшого розряду P_i перенесення до старшого розряду P_{i+1} та сума у результаті складання S0S1S2S3 (рис. 7.2) [2].

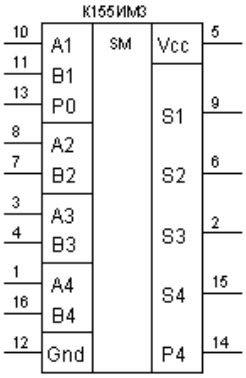


Рисунок 7.2 - Умовне графічне позначення суматора

4. Однорозрядні повні суматори призначені для арифметичного складання одного і-розряду двох чисел. З принципу складання багаторозрядних двійкових чисел виходить, що в кожному і-розряді знаходиться сума S_i трьох чисел по модулю два: доданків A_i, B_i і перенесення, яке надійшло із молодшого розряду P_i, та формується сигнал перенесення в старший розряд P_{i+1} (рис.. 7.3).

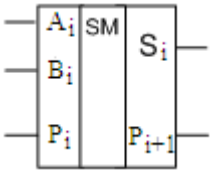


Рисунок 7.3 - Однорозрядний повний суматор

Таблиця функціонування однорозрядного суматора представляє алгоритм арифметичного розрахунку суми і перенесення (табл. 7.1).

Таблиця 7.1 – Алгоритм функціонування однорозрядного повного суматора

Входи			Виходи	
A_i	B_i	P_i	S_i	P_{i+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Згідно з таблицею функціонування можливо скласти рівняння функціонування.

$$S_i = \overline{A_i} B_i \overline{P_i} + A_i \overline{B_i} \overline{P_i} + \overline{A_i} \overline{B_i} P_i + A_i B_i P_i$$

$$P_i = A_i B_i \overline{P_i} + \overline{A_i} B_i P_i + A_i \overline{B_i} P_i + A_i B_i P_i$$

По цих функціях можна побудувати однорозрядний повний суматор на елементах І, АБО (рис. 7.4).

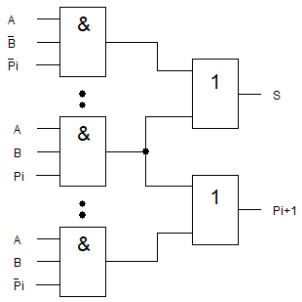


Рисунок 7.4 – Однорозрядний повний суматор на елементах І-АБО

Логічний елемент “Виключне АБО” застосовується як суматор по модулю 2. Якщо до елементу “Виключне АБО” додати елемент, який є формувачем одиниці старшого розряду (генератор перенесення, який створює вихід Р), то отримаємо однорозрядний напівсуматор (рис. 7.5) [1].

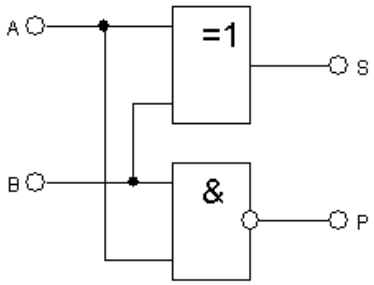


Рисунок 7.5 – Схема напівсуматора на елементі “Виключне АБО”

Схема дає при A = B = 1 результат S = 0 (це молодший розряд суми) і P = 1 (старший розряд, який тут має назву одиниці перенесення). У цьому випадку на обох виходах напівсуматора міститься двохрозрядне двійкове вихідне слово $A + B = 01 + 01 = 10_{(2)}$. Його десятковий еквівалент $1+1 = 2_{(10)}$.

Схему повного однорозрядного суматора можна отримати на основі двох схем напівсуматорів і схеми «АБО», як показано на рисунку 7.6.

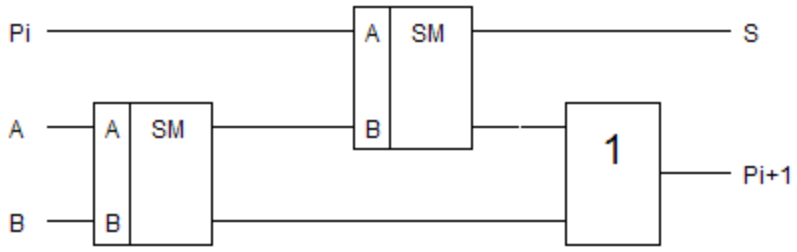


Рисунок 7.6 – Схема повного однорозрядного суматора

5. Методи підсумовування багаторозрядних чисел [2]:

- послідовне підсумовування;
- паралельне підсумовування з послідовним перенесенням;
- паралельне підсумовування з паралельним перенесенням.

При послідовному підсумовуванні використовується один суматор, загальний для всіх розрядів (рис. 7.7).

Операнди повинні вводитися в суматор через входи A_i і B_i синхронно, починаючи з молодших розрядів.

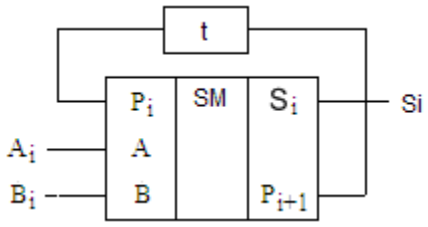


Рисунок 7.7 – Послідовне підсумовування багаторозрядних чисел

Коло затримки забезпечує зберігання імпульсу перенесення P_{i+1} на час одного такту, до приходу пари доданків наступного розряду, з якими він буде підсумований. Затримку виконує D-тригер. Результати підсумовування також прочитуються послідовно, починаючи з молодших розрядів. Для зберігання і введення операндів на входи суматора, а також для запису результату підсумовування, використовуються регістри зрушення. Перевага цього методу малі апаратні витрати. Недолік – невисока швидкодія, оскільки одночасно підсумовується лише пара доданків.

Схема паралельного суматора з послідовним перенесенням приведена на рисунку 7.8.

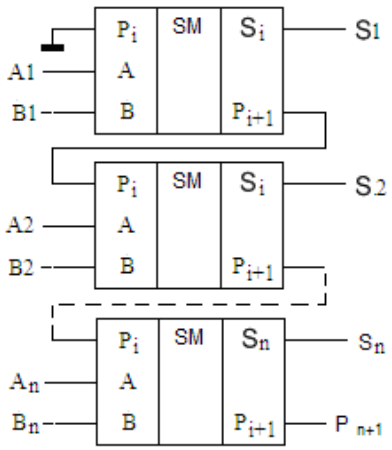


Рисунок 7.8 – Паралельне підсумовування багаторозрядних чисел з послідовним перенесенням

Кількість суматорів дорівнює числу розрядів чисел. Вихід перенесення P_{i+1} кожного суматора з'єднується з входом перенесення P_i наступного більш старшого розряду.

У вигляді окремих мікросхем випускаються однорозрядні, двохрозрядні і чотирьохрозрядні суматори. У сімействі ТТЛ це мікросхеми відповідно К155ИМ1 (SN7480), К155ИМ2 (SN7482) і К155ИМ3 (SN7483).

Послідовність і порядок проведення роботи.

1. Дослідити схему повного чотирьохрозрядного паралельного суматора з накопиченням інформації.

Число напівсуматорів тут дорівнює числу розрядів. Вихід перенесення P кожного суматора сполучений з входом перенесення наступного, більш старшого розряду. Доданки A_i і B_i складаються у всіх розрядах одночасно, а

перенесення P поступає із закінченням операції складання в попередньому розряді.

Схема функціонування чотирьох розрядного паралельного суматора представлена на рисунку 7.9.

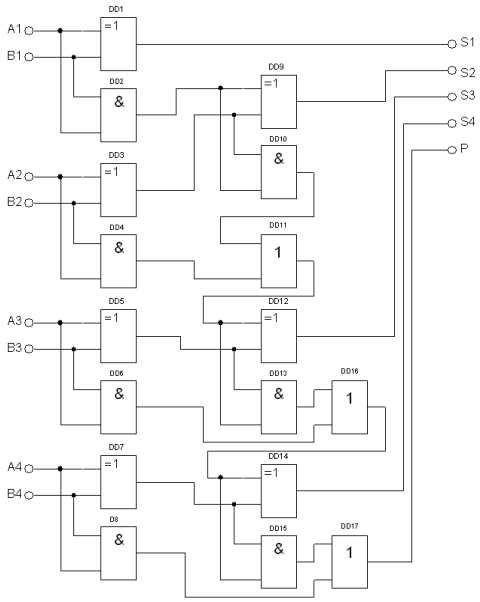


Рисунок 7.9 - Схема функціонування чотирьох розрядного паралельного суматора

Суматор, який досліджується, з накопиченням інформації, отже в ньому можна використовувати мікросхему чотирьохрозрядного суматора К155ИМ3 (SN7483) і схему регістрової пам'яті на мікросхемах К155ТМ2 (SN7474).

Схема електрична принципова чотирьох розрядного паралельного суматора з накопиченням інформації представлена на рисунку 7.10.

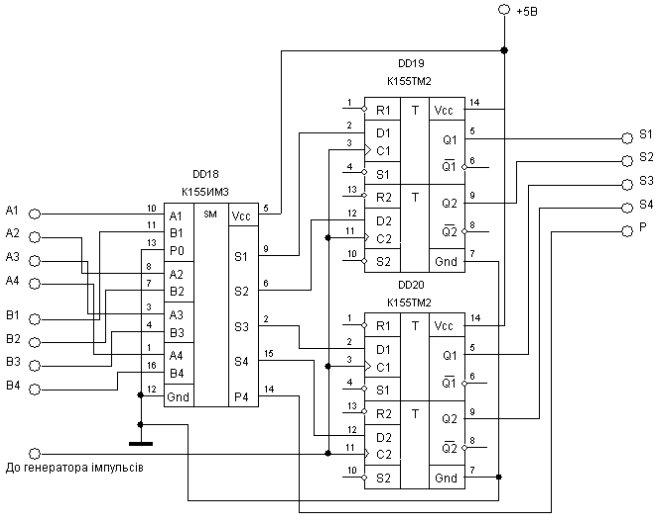


Рисунок 7.10 - Схема електрична принципова чотирьохрозрядного паралельного суматора з накопиченням інформації

2. Провести перевірку функціонування схеми в програмному забезпеченні Electronics Workbench.

3. Дослідити схему повного чотирьохрозрядного паралельного віднімаючого суматора з накопиченням інформації.

Цілочисельне віднімання двох чисел А і В генерується в двійковій системі точно так, як і в десятковій системі – по розрядах. При цьому до зменшуваного додається від'ємник, представлений в точному додатковому коді. Наприклад: десяткова операція віднімання 46 – 36 = 10, у вигляді двійкової арифметичної операції виглядатиме таким чином:

$A_{10} = 46$ $A_2 = 101110$

$B_{10} = 36$ $B_2 = 100100$ $\overline{B_2} = 011011$ $B_{2д} = 011100$

$$\begin{array}{r} 101110 \\ + \\ 011100 \\ \hline (1)\ 001010 \end{array}$$

Відповідно до завдання оперативний вузол арифметичного логічного пристрою є чотирьох розрядний паралельний віднімаючий суматор з накопиченням інформації. Число напівсуматорів тут дорівнює числу розрядів. Вихід перенесення Р кожного суматора сполучений з входом перенесення наступного, більш старшого розряду. Доданки A_i і B_i складаються у всіх розрядах одночасно, а перенесення Р поступає із закінченням операції складання в попередньому розряді.

Для того, щоб суматор виконував функцію віднімання, число B4B3B2B1 необхідно представити в додатковому коді F4F3F2F1 (табл. 7.2).

Таблиця 7.2 – Алгоритм перетворення двійкового коду у додатковий код

Dec	B4	B3	B2	B1	$\overline{B4}$	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$	F4	F3	F2	F1
0	0	0	0	0	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	0
3	0	0	1	1	1	1	0	0	1	1	0	1
4	0	1	0	0	1	0	1	1	1	1	0	0
5	0	1	0	1	1	0	1	0	1	0	1	1
6	0	1	1	0	1	0	0	1	1	0	1	0
7	0	1	1	1	1	0	0	0	1	0	0	1
8	1	0	0	0	0	1	1	1	1	0	0	0
9	1	0	0	1	0	1	1	0	0	1	1	1
10	1	0	1	0	0	1	0	1	0	1	1	0
11	1	0	1	1	0	1	0	0	0	1	0	1
12	1	1	0	0	0	0	1	1	0	1	0	0
13	1	1	0	1	0	0	1	0	0	0	1	1
14	1	1	1	0	0	0	0	1	0	0	1	0
15	1	1	1	1	0	0	0	0	0	0	0	1

Рівняння функціонування згідно з алгоритмом перетворення:

$F1 = \sum(1, 3, 5, 7, 9, 11, 13, 15)$; $F2 = \sum(1, 2, 5, 6, 9, 10, 13, 14)$;

$F3 = \sum(1, 2, 3, 4, 9, 10, 11, 12)$; $F4 = \sum(1, 2, 3, 4, 5, 6, 7, 8)$.

Спрощення рівнянь методом карт Карно (рис. 7.11):

$$F1 = B1;\ F2 = \overline{B2}B1 + B2\overline{B1};\ F3 = B3\overline{B2}\,\overline{B1} + \overline{B3}B1 + \overline{B3}B2;$$

$$F4 = \overline{B4}B3 + \overline{B4}B1 + \overline{B4}B2 + B4\overline{B3}\,\overline{B2}\,\overline{B1}$$

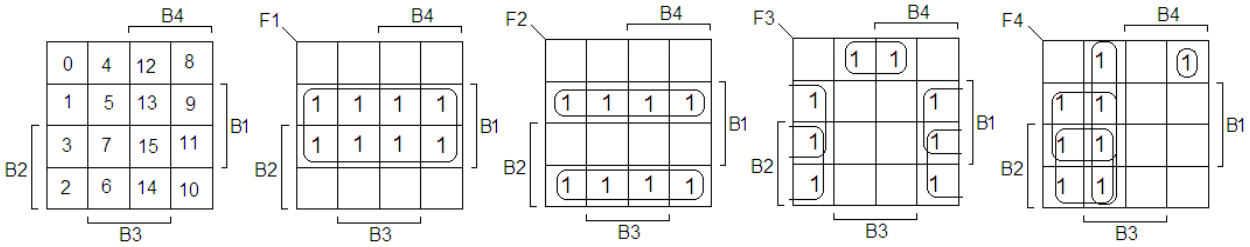


Рисунок 7.11 – Спрощення рівнянь методом карт Карно

Приведемо рівняння до єдиного елементного базису І-НЕ:

$$F1 = B1;$$

$$F2 = \overline{B2}B1 + B2\overline{B1} = \overline{\overline{B2}B1 + B2\overline{B1}} = \overline{\overline{B2}B1 \cdot B2\overline{B1}};$$

$$F3 = B3\overline{B2}\,\overline{B1} + \overline{B3}B1 + \overline{B3}B2 = \overline{B3\overline{B2}\,\overline{B1} + \overline{B3}B1 + \overline{B3}B2} = \overline{B3\overline{B2}\,\overline{B1} \cdot \overline{B3}B1 \cdot \overline{B3}B2};$$

$$F4 = \overline{B4}B3 + \overline{B4}B1 + \overline{B4}B2 + B4\overline{B3}\,\overline{B2}\,\overline{B1} = \overline{\overline{B4}B3 + \overline{B4}B1 + \overline{B4}B2 + B4\overline{B3}\,\overline{B2}\,\overline{B1}} =$$

$$= \overline{\overline{B4}B3 \cdot \overline{B4}B1 \cdot \overline{B4}B2 \cdot B4\overline{B3}\,\overline{B2}\,\overline{B1}}$$

Побудуємо функціональну схему перетворювача двійкового коду в додатковий код (рис. 7.12).

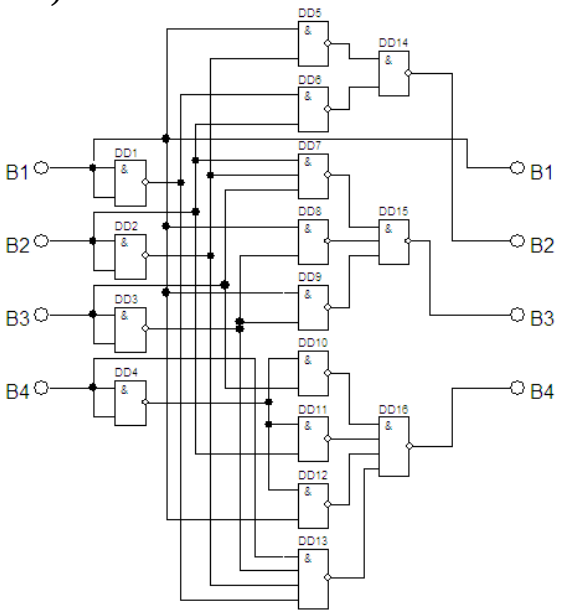


Рисунок 7.12 - Функціональна схема перетворювача двійкового коду в додатковий код

Мікросхема К155ПП7 – перетворювач двійкового коду в додатковий код. Накопичення результату виконується за допомогою D-тригерів мікросхеми К155ТМ2 (SN7474).

Схема електрична принципова повного чотирьохрозрядного паралельного віднімаючого суматора з накопиченням інформації представлена на рисунку 7.13.

4. Провести перевірку функціонування схеми в програмному забезпеченні Electronics Workbench.

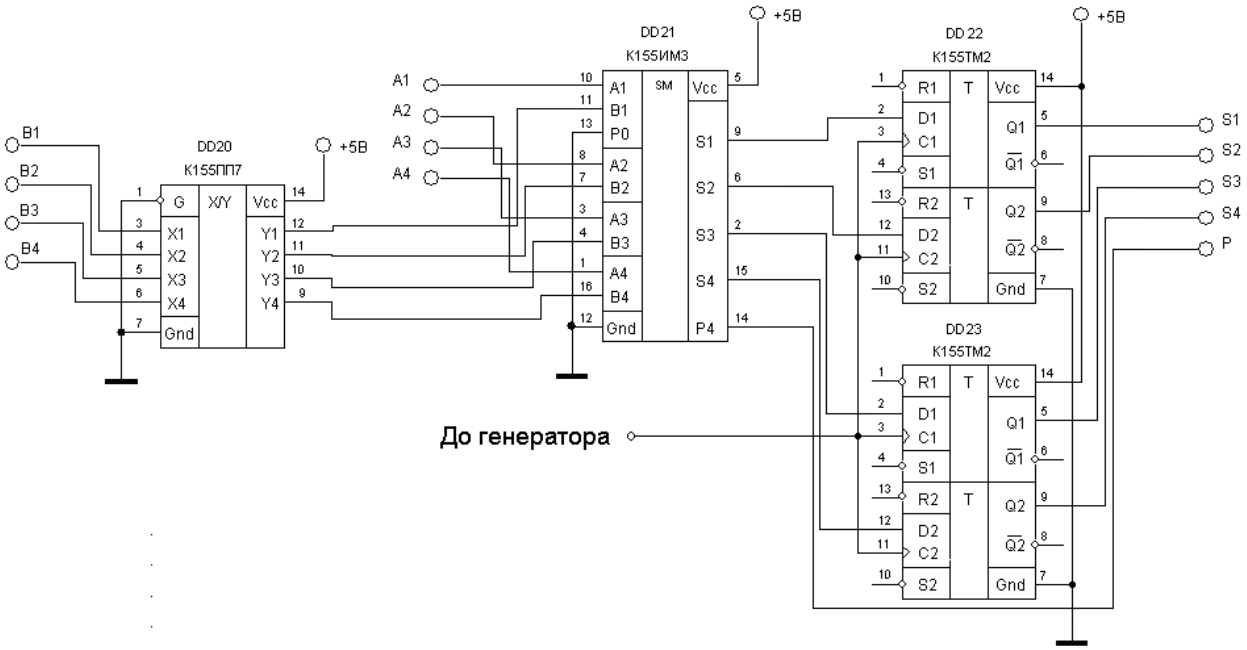


Рисунок 7.13 - Схема електрична принципова повного чотирьохрозрядного паралельного віднімаючого суматора з накопиченням інформації

Опис віртуального EWB стенду.

1. Стенд для проведення перевірки функціонування схеми чотирьохрозрядного паралельного суматора з накопиченням інформації (рис. 7.14).

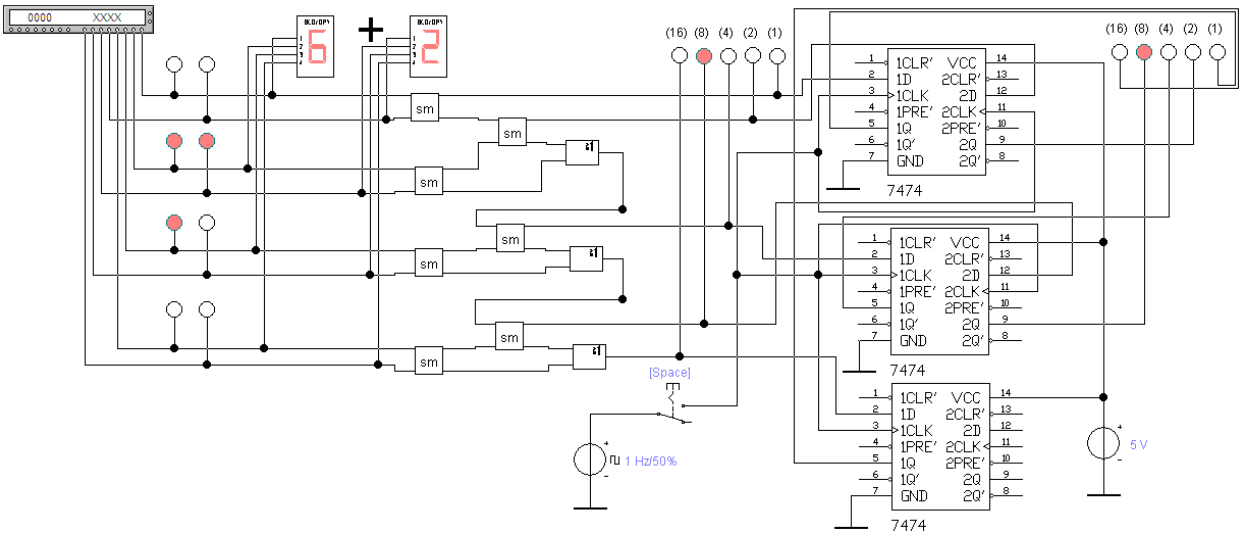


Рисунок 7.14 – Аналіз функціонування чотирьохрозрядного паралельного суматора з накопиченням інформації

У у бібліотеці програмного забезпечення відсутня мікросхема повного чотирьохрозрядного суматора 7483, тому імітуємо її роботу логічною схемою (рис. 7.9).

2. Стенд для проведення перевірки функціонування схеми повного чотирьохрозрядного паралельного віднімаючого суматора з накопиченням інформації (рис. 7.15).

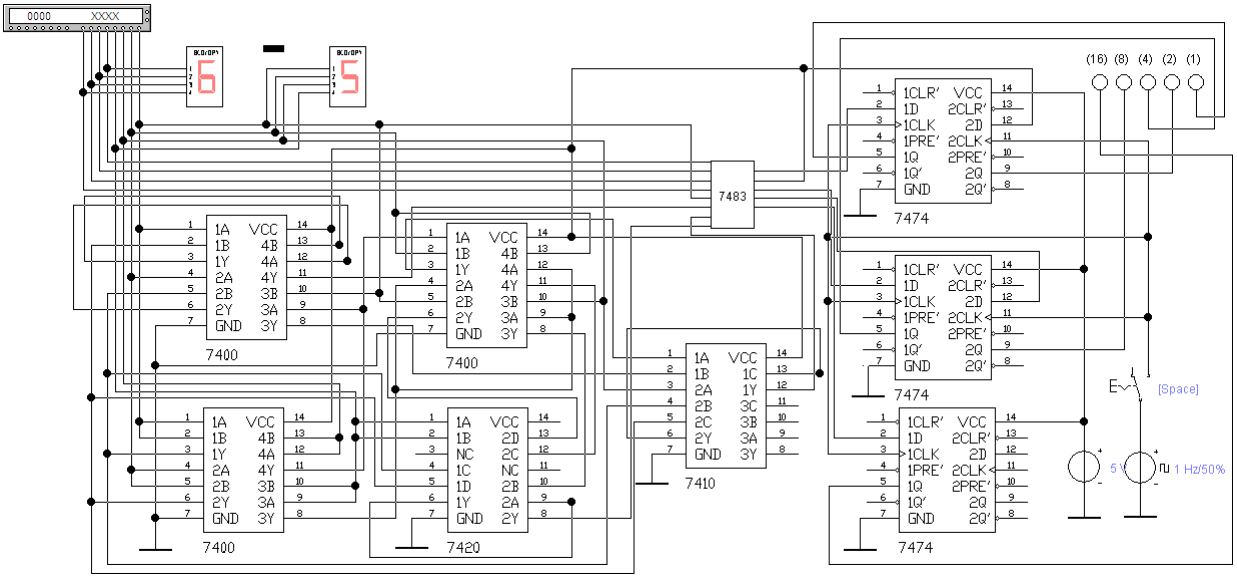


Рисунок 7.15 - Аналіз функціонування чотирьохрозрядного паралельного суматора , який віднімає, з накопиченням інформації

Лабораторна робота №8

Функціональний контроль схем порівняння багаторозрядних цифрових кодів

Метою виконання роботи є вивчення принципів побудови багаторозрядних цифрових компараторів на схемах складання за модулем 2.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Функціонування цифрового компаратора.
2. Функціонування схеми складання за модулем 2.
3. Використання схем порівняння багаторозрядних чисел.
4. Принципи побудови схем порівняння багато розрядних чисел.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Схеми порівняння, або компаратор, зазвичай будуються як порозрядні. Вони широко використовуються і автономно, і у складі складніших схем, наприклад при побудові суматорів [1].

Таблиця істинності (табл. 8.1) відображає логіку роботи і-го розряду схеми порівняння, при порівнянні двох векторів – А і В. На рисунку 8.1 показана структурна схема компаратора.

Таблиця 8.1 Таблиця істинності компаратора

Входи		Виходи
A_i	B_i	Y_i
0	0	1
0	1	0
1	0	0
1	1	1

Логічна залежність компаратора:

$$Y_i = \overline{A_i}\,\overline{B_i} + A_i B_i = \overline{\overline{A_i} B_i + A_i \overline{B_i}} = \overline{A_i \oplus B_i}$$

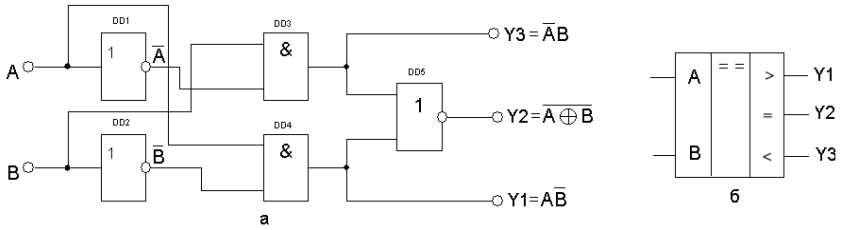


Рисунок 8.1 - Структурна схема компаратора (а) і позначення компаратора на принципових електричних схемах (б)

На схемі (рис. 8.1,б), окрім виходу Y2, який фіксує рівність значень розрядів, показані виходи Y1 і Y3, які відповідають сигналам «більше» і «менше».

Схеми складання за модулем 2 описують логіку двійкової алгебри для одного двійкового розряду [2].

Таблиця істинності схеми складання за модулем 2, представлена в таблиці 8.2, відображає логіку роботи і-го розряду. На рисунку 8.2 показана структурна схема складання за модулем 2.

Логічна залежність схеми складання за модулем 2:

$$Y_i = \overline{A_i} B_i \vee A_i \overline{B_i} = A_i \oplus B_i$$

Таблиця 8.2 Таблиця істинності схеми складання за модулем 2

Входи		Виходи
A_i	B_i	Y_i
0	0	0
0	1	1
1	0	1
1	1	0

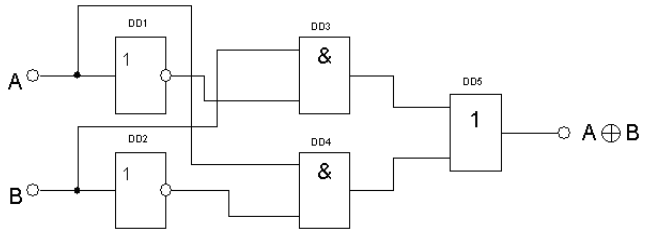


Рисунок 8.2 - Структурна схема складання за модулем 2

Синтез електричної функціональної схеми багаторозрядного цифрового компаратора полягає в побудові функціональної електричної схеми по ДДНФ з таблично-заданої функції, яка описує роботу заданої схеми. Порівняння багаторозрядних чисел ґрунтується на перевірці рівності цифр чисел. Порівняння багаторозрядних чисел виконують, починаючи із старших розрядів вхідних чисел: A і B [3].

Дано два числа: A3A2A1A0 і B3B2B1B0. Порівнюються A3 і B3, A2 і B2, A1 і B1, A0 і B0, за результатами порівняння робиться висновок: якщо збіглися і треті цифри, і другі, і перші, і нульові, то числа однакові. Передбачається рівність попередніх, відсутніх старших розрядів, тому на вхід «A=B» подається активний сигнал (одиниця), а на входи «A>B», «A<B» подається пасивний сигнал, в нашому випадку логічний рівень. Якщо порівнюються числа з розрядністю більше чотирьох, то виходи компаратора старших розрядів підключаються до однойменних входів компаратора молодших розрядів порівнюваних чисел. Виходами всього багаторозрядного компаратора кодів є виходи компаратора самих молодших порівнюваних розрядів.

При порівнянні чотирьохрозрядних кодів необхідно згідно з таблицею істинності (табл. 8.3) побудувати рівняння функціонування схеми. Рівняння приведені к єдиному елементному базису дозволяють побудувати функціональну схему.

Таблиця 8.3 - Функціональна таблиця цифрового компаратора

A4, B4	A3, B3	A2, B2	A1, B1	A<B	A>B	A=B
A4>B4	×	×	×	0	1	0
A4<B4	×	×	×	1	0	0
A4=B4	A3>B3	×	×	0	1	0
A4=B4	A3<B3	×	×	1	0	0
A4=B4	A3=B3	A2>B2	×	0	1	0
A4=B4	A3=B3	A2<B2	×	1	0	0
A4=B4	A3=B3	A2=B2	A1>B1	0	1	0
A4=B4	A3=B3	A2=B2	A1<B1	1	0	0
A4=B4	A3=B3	A2=B2	A1=B1	0	0	1

Розглянемо випадок порівняння одного і-розряду (табл. 8.4).

Таблиця 8.4 – Порівняння і-розряду

A_iB_i	$A_i>B_i$	$A_i<B_i$	$A_i=B_i$
00	0	0	1
01	0	1	0
10	1	0	0
11	0	0	1

Згідно таблиці 8.4 рівняння функціонування схеми порівняння і-розряду:

$$F_{A>B} = A\overline{B};$$

$$F_{A<B} = \overline{A}B;$$

$$F_{A=B} = AB + \overline{A}\,\overline{B} = \overline{A \oplus B}.$$

Згідно рівнянням і таблиці 8.4 складемо рівняння функціонування чотирьохрозрядного цифрового компаратора.

$$F_{A>B} = A_4\overline{B_4} + (\overline{A_4 \oplus B_4})A_3\overline{B_3} + (\overline{A_4 \oplus B_3})(\overline{A_3 \oplus B_3})A_2\overline{B_2} +$$
$$+ (\overline{A_4 \oplus B_4})(\overline{A_3 \oplus B_3})(\overline{A_2 \oplus B_2})A_1\overline{B_1} = A_4\overline{B_4} + (\overline{A_4 \oplus B_4})\cdot[A_3\overline{B_3} + (\overline{A_3 \oplus B_3})A_2\overline{B_2} +$$
$$+ (\overline{A_3 \oplus B_3})(\overline{A_1 \oplus B_1})A_1\overline{B_1}] = A_4\overline{B_4} + (\overline{A_4 \oplus B_4})\cdot[A_3\overline{B_3} + (\overline{A_3 \oplus B_3})\cdot[A_2\overline{B_2} +$$
$$+ (\overline{A_2 \oplus B_2})A_1\overline{B_1}]] = A_4\overline{B_4} + (\overline{A_4}\,\overline{B_4} + A_4B_4)\cdot[A_3\overline{B_3} + (\overline{A_3}\,\overline{B_3} + A_3B_3)\cdot[A_2\overline{B_2} +$$
$$+ (\overline{A_2}\,\overline{B_2} + A_2B_2)A_1\overline{B_1}]] = [A_4\overline{B_4} + (\overline{A_4}\,\overline{B_4} + A_4B_4)]\cdot[A_4\overline{B_4} + [A_3\overline{B_3} + (\overline{A_3}\,\overline{B_3} + A_3B_3)]\cdot$$
$$\cdot[A_3\overline{B_3} + [A_2\overline{B_2} + (\overline{A_2}\,\overline{B_2} + A_2B_2)]\cdot[A_2\overline{B_2} + A_1\overline{B_1}]]] =$$
$$= (A_4 + \overline{B_4})\cdot[A_4\overline{B_4} + (A_3 + \overline{B_3})\cdot[A_3\overline{B_3} + (A_2 + \overline{B_2})\cdot(A_2\overline{B_2} + A_1\overline{B_1})]] =$$
$$= (A_4 + \overline{B_4})\cdot[A_4\overline{B_4} + (A_3 + \overline{B_3})\cdot[A_3\overline{B_3} + A_2\overline{B_2} + (A_2 + \overline{B_2})A_1\overline{B_1})]].$$

$$F_{A<B} = \overline{A}_4B_4 + (\overline{A_4 \oplus B_4})\overline{A}_3B_3 + (\overline{A_4 \oplus B_4})(\overline{A_3 \oplus B_3})\overline{A}_2B_2 +$$
$$+ (\overline{A_4 \oplus B_4})(\overline{A_3 \oplus B_3})(\overline{A_2 \oplus B_2})\overline{A}_1B_1 = \overline{A}_4B_4 + (\overline{A_4 \oplus B_4})\cdot[\overline{A}_3B_3 + (\overline{A_3 \oplus B_3})\overline{A}_2B_2 +$$
$$+ (\overline{A_3 \oplus B_3})(\overline{A_2 \oplus B_2})\overline{A}_1B_1] = \overline{A}_4B_4 + (\overline{A_4 \oplus B_4})\cdot[\overline{A}_3B_3 + (\overline{A_3 \oplus B_3})\cdot[\overline{A}_2B_2 +$$
$$+ (\overline{A_2 \oplus B_2})\overline{A}_1B_1]] = \overline{A}_4B_4 + (\overline{A_4}\,\overline{B_4} + A_4B_4)\cdot[\overline{A}_3B_3 + (\overline{A_3}\,\overline{B_3} + A_3B_3)\cdot[\overline{A}_2B_2 +$$
$$+ (\overline{A_2}\,\overline{B_2} + A_2B_2)\overline{A}_1B_1]] = [\overline{A}_4B_4 + (\overline{A_4}\,\overline{B_4} + A_4B_4)]\cdot[\overline{A}_4B_4 + [\overline{A}_3B_3 + (\overline{A_3}\,\overline{B_3} + A_3B_3)]\cdot$$
$$\cdot[\overline{A}_3B_3 + [\overline{A}_2B_2 + (\overline{A_2}\,\overline{B_2} + A_2B_2)]\cdot[\overline{A}_2B_2 + \overline{A}_1B_1]]] =$$
$$= (\overline{A}_4 + B_4)\cdot[\overline{A}_4B_4 + (\overline{A}_3 + B_3)\cdot[\overline{A}_3B_3 + (\overline{A}_2 + B_2)\cdot(\overline{A}_2B_2 + \overline{A}_1B_1)]] =$$
$$= (\overline{A}_4 + B_4)\cdot[\overline{A}_4B_4 + (\overline{A}_3 + B_3)\cdot[\overline{A}_3B_3 + \overline{A}_2B_2 + (\overline{A}_2 + B_2)\overline{A}_1B_1)]].$$

$$F_{A=B} = (\overline{A_4 \oplus B_4})\cdot(\overline{A_3 \oplus B_3})\cdot(\overline{A_2 \oplus B_2})\cdot(\overline{A_1 \oplus B_1})$$

Розрахована структурна схема цифрового компаратора представлена на рисунку 8.5. Їй повністю відповідає мікросхема К555СП1 (SN7485) (рис. 8.6).

Мікросхема призначена для порівняння чотирьохрозрядних двійкових чисел, представлених в прямому коді. Мікросхема має засоби для нарощування розрядності порівнюваних чисел. На вхід Y=X при порівнянні самих молодших розрядів має бути поданий високий рівень напруги.

Послідовність і порядок проведення роботи.

Побудувати схему порівняння чотирьохрозрядних чисел з виведенням інформації A=B, A>B, A<B на світлодіодний індикатор ;

1. Скласти таблицю істинності схеми порівняння чотирьохрозрядних чисел.

2. Представити ДДНФ функцій порівняння чотирьохрозрядних чисел.

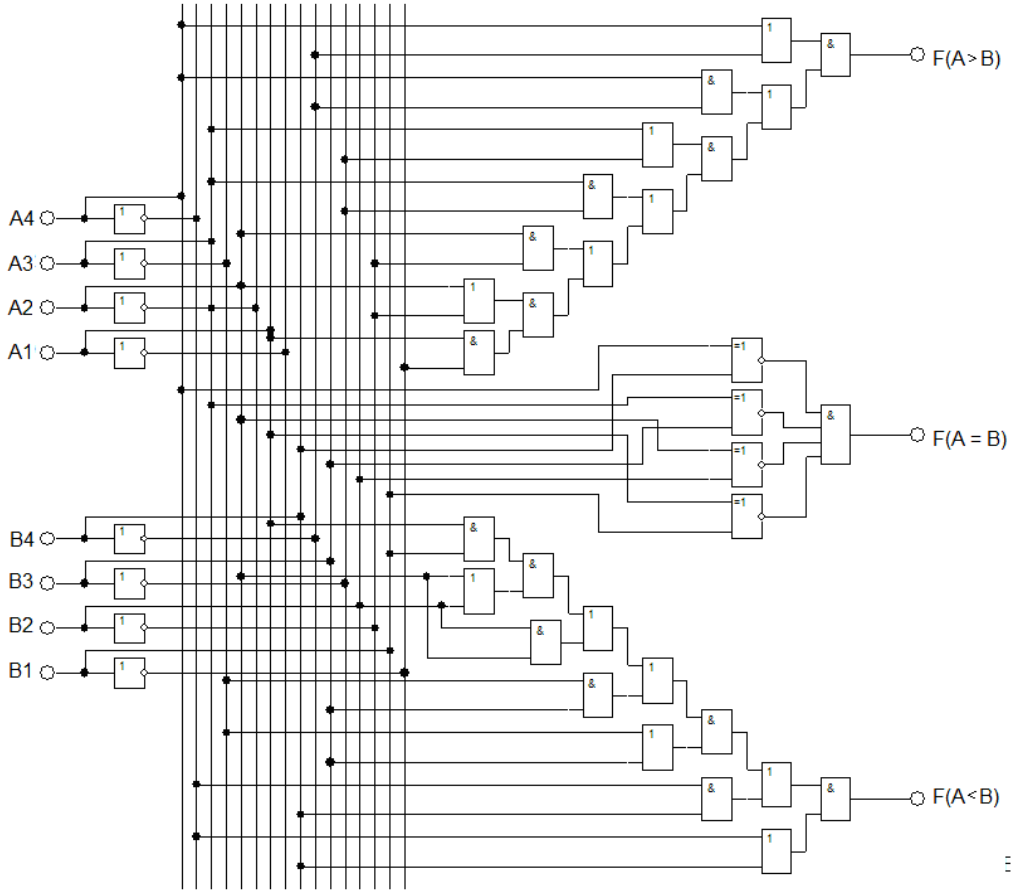


Рисунок 8.5 - Структурна схема чотирьохрозрядного цифрового компаратора

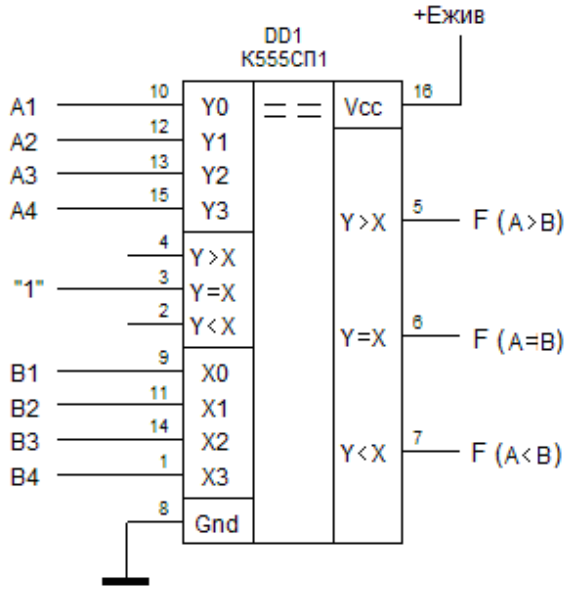


Рисунок 8.6 – Умовне графічне позначення мікросхеми К555СП1

3 Побудувати схему електричну функціональну компаратора на елементах елементарної логіки.

4 Побудувати схему електричну принципову компаратора на реальній елементній базі.

5 Провести аналіз функціонування схеми в програмному забезпеченні Electronics Workbench.

Опис віртуального EWB стенду.

Аналіз функціонування розробленої схеми порівняння двох чотирьох розрядних чисел в програмному застосуванні Electronics Workbench (рис. 8.7). У програмному забезпеченні EWB відсутня мікросхема 7485 (К555СП1). Схему стенду зібрати на логіці І, АЬО. Задатись чотирьохрозрядними числами А і В у Word Gentrator.

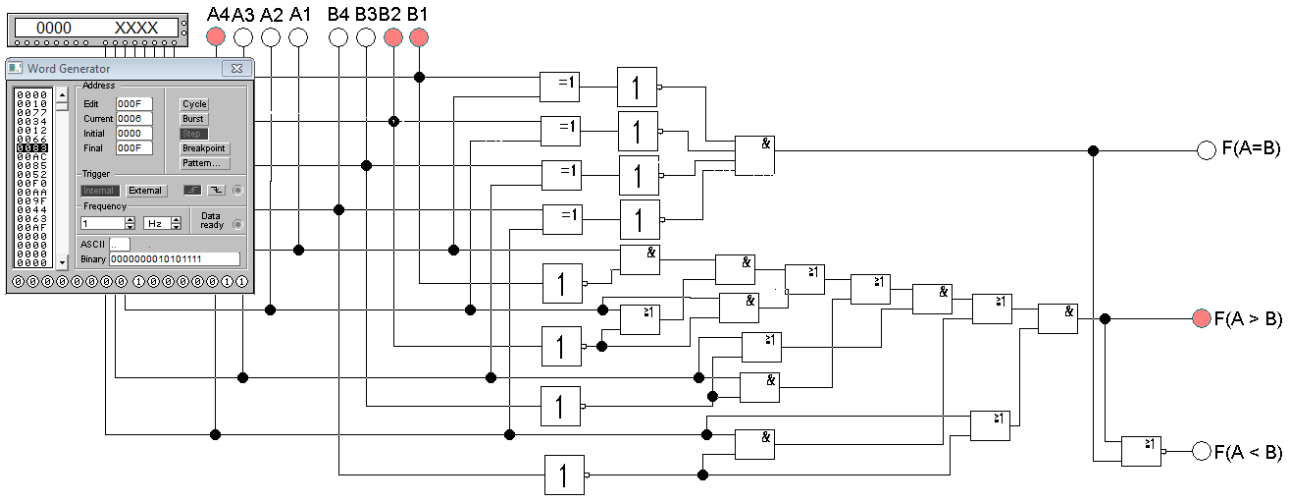


Рисунок 8.7 – Схема порівняння двох чотирьох розрядних чисел в програмному застосуванні Electronics Workbench

Змінюючи значення змінних на входах зібраної схеми перевірити працездатність схеми згідно з таблицею істинності. Побудувати часові діаграми функціонування розрахованої схеми у режимі Cycle.

Лабораторна робота №9

Дослідження пристроїв введення цифрової інформації

Метою виконання роботи є ознайомлення з принципами побудови різноманітних пристроїв введення інформації, формуванням сигналів контролю проходження інформації.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Формування сигналів за допомогою клавіатури
2. Необхідність формування сигналу готовності.
3. Побудова перетворювача кодів.
4. Призначення і принципи функціонування дешифратора.
5. Призначення і принципи функціонування лічильника.
6. Призначення і принципи функціонування мультиплексора.
7. Принципі побудови блоків сигналу «Готовий».

Хід виконання лабораторної роботи
(методика експериментальних досліджень)

Будь-яка цифрова система, разом з центральною частиною, яка виконує логічну обробку і перетворення інформації, додатково містить засоби введення і виведення інформації. Як пристрій введення, для формування кодових і управляючих сигналів, можуть використовуватися кнопкові перемикачі і контактні клавіатури. Сигнал за допомогою кнопкових перемикачів формується шляхом замикання – розмикання ними електричного кола (рис. 9.1,а).

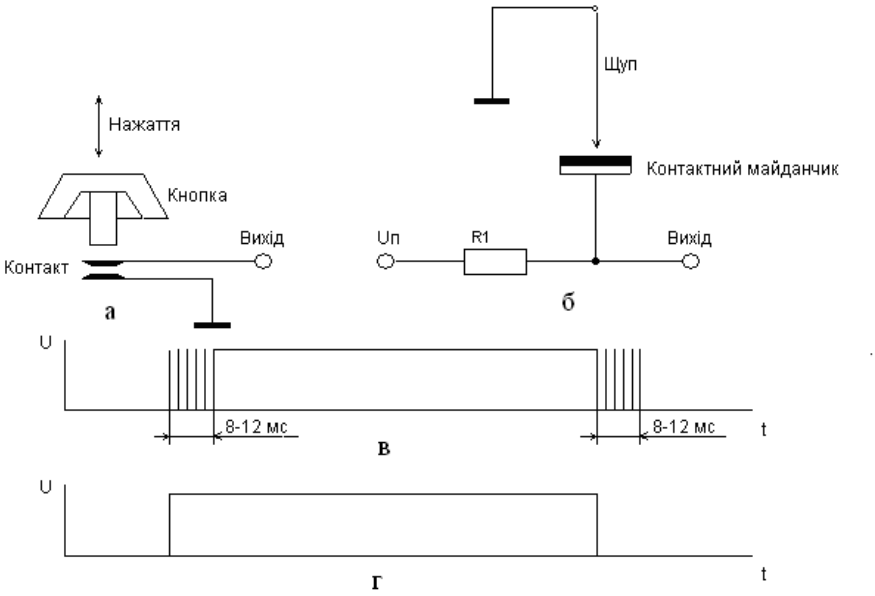


Рисунок 9.1 – Методи здобуття електричного контакту у формувачах сигналів і сигнали формувача

Іншим методом здобуття сигналу є використання «контактного щупа» (рис. 9.1,б). Тут з виходу контактного майданчика у вихідному стані знімають потенціал $U_ж$, а у момент торкання майданчика щупом рівень сигналу стає рівним нулю. Сигнали, які формуються контактною парою, супроводжуються брязкотом (рис. 9.1,в), тривалість якого складає 8 - 12 мс. Для усунення брязкоту в отримуваному сигналі (рис. 9.1,г) на виході контакту встановлюють спеціальні формувачі. На рисунку 9.2 приведені схеми найбільш поширених формувачів. У формувачі на рисунку 9.2,а використовується принцип безпосередньої установки RS-тригера відповідно до стану перемикача SB2. Форма сигналу с виходу формувача приведена на рисунку 9.1,г. Формувач на рисунку 9.2,б є однорозрядним тактованим регістром з періодом вхідних тактів $T1 \geq 10 - 20$ мс. Його роботу ілюструють діаграми на рисунку 9.2,в. Перший формувач простий, але для його підключення до перемикача SB1 потрібно два резистора (R1, R2) і двохпровідну лінію [1].

Для другого формувача потрібний один резистор R3 і однопровідна лінія, але додатково потрібна подача тактових імпульсів. Перевагою другого способу є часова прив'язка моменту появи вихідного сигналу з внутрішніми процесами пристрою, для якого цей сигнал формується, при цьому як тактові імпульси використовуються вже наявні в пристрої сигнали.

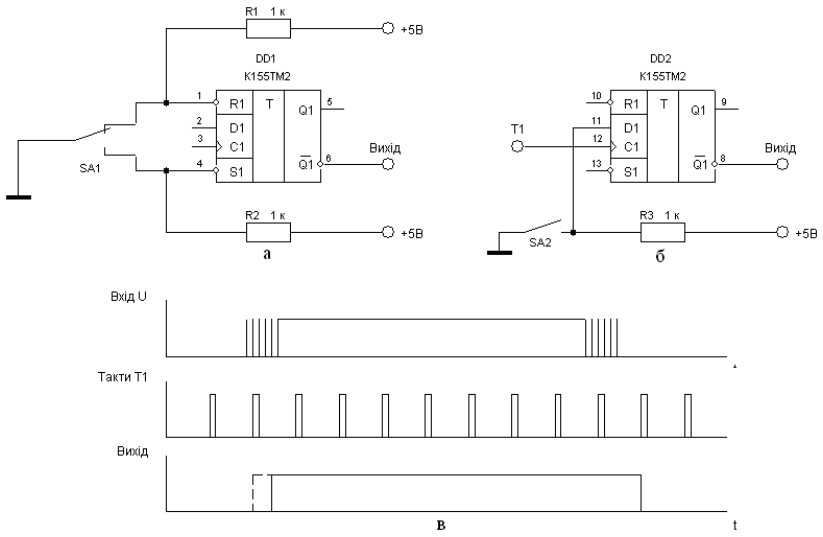


Рисунок 9.2 – Формувачі сигналів і часова діаграма формувача

Формування кодових сигналів виконується в кодуючих пристроях. Додатковими функціями кодуючого пристрою є: формування сигналу «Готовий» для управління перезаписом сформованого коду; блокування роботи при одночасному натисненні декількох клавіш і захист від брязкоту.

Кодуючий пристрій, функціональна схема якого показана на рисунку 9.3, містить: клавіатуру введення; блок кодування; вузол захисту і формування вихідних сигналів (знак n на шині показує число ліній в цій шині). Найбільшого поширення набули комбінаційні кодуючи пристрої і пристрої із сканованою клавіатурою.

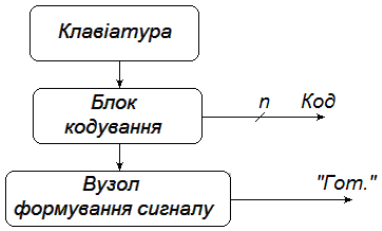


Рисунок 9.3 – Структурна схема кодуючого пристрою

1. Комбінаційний інтерфейс введення інформації побудовано по схемі непріоритетного шифратора, який здійснює перетворення десяткового номера активного входу в двійковий еквівалент цього номера. Клавіатура з 10 клавіш формує 10 двійкових чотирьохрозрядних кодів (табл. 9.1) [1].

Таблиця 9.1 - Таблиця істинності кодуючого блоку «10 в 4»

Входи	Виходи			
SA_i	F4	F3	F2	F1
SA0	0	0	0	0
SA1	0	0	0	1
SA2	0	0	1	0
SA3	0	0	1	1
SA4	0	1	0	0
SA5	0	1	0	1
SA6	0	1	1	0
SA7	0	1	1	1
SA8	1	0	0	0
SA9	1	0	0	1

Рівняння функціонування шифратора:

$F1 = SA1 + SA3 + SA5 + SA7 + SA9;$

$F2 = SA2 + SA3 + SA6 + SA7;$

$F3 = SA4 + SA5 + SA6 + SA7;$

$F4 = SA8 + SA9.$

Блок кодування створюють чотири елемента АБО (один п’ятивходовий DD1, два чотирьохвходових DD2, DD3 і один двохвходовий DD4) (рис. 9.4).

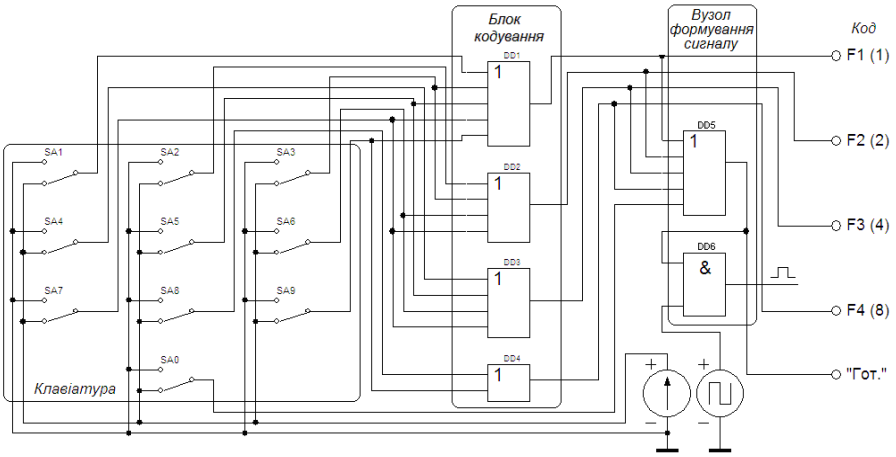


Рисунок 9.4 – Інтерфейс введення інформації комбінаційного типу

Вузол формування сигналу «Готовий» включає п’ятивходовий елемент АБО DD5 та двохвходовий елемент І DD6. З «натисненням» будь-якої з клавіш клавіатури введення вихідні сигнали з елементів АБО утворюють відповідний чотирьохрозрядний код. Формується сигнал «Готовий» з виходу DD5 на якому відтворюється логічна «1». Цей сигнал дозволяє проходження імпульсів генератора скрізь елемент DD6 на тактові входи буферного регістра.

2. Найбільшого поширення набули комбінаційні кодуючі пристрої і пристрої із сканованою клавіатурою. Перевагами пристрою із сканованою клавіатурою, в порівнянні з комбінаційними, є: менші апаратурні витрати, скорочення міжелементних зв'язків, наявність захисту від формування помилкового коду, при одночасному натисненні декількох клавіш клавіатури.

Для сканування включення клавіш використовуємо мультиплексор, який працює відповідно до таблиці станів (табл. 9.2) [2].

Таблиця 9.2 – Таблиця станів мультиплексора

Входи																					Вихід
	Адреса				Натиснуті клавіші																
№	A	B	C	D	SA0	SA1	SA2	SA_3	SA4	SA5	SA6	SA7	SA8	SA9	SA10	SA11	SA12	SA13	SA14	SA15	Q
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SA0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SA1
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	SA2
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	SA3
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	SA4
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	SA5
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	SA6
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	SA7
8	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	SA8
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	SA9
10	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	SA10
11	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	SA11
12	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	SA12
13	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	SA13
14	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	SA14
15	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	SA15

Рівняння функціонування мультиплексора:

$$Q = SA0\overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + SA1\overline{A}\,\overline{B}\,\overline{C}D + SA2\overline{A}\,\overline{B}C\overline{D} + SA3\overline{A}\,\overline{B}CD + SA4\overline{A}B\overline{C}\,\overline{D} + SA5\overline{A}B\overline{C}D +$$
$$+ SA6\overline{A}BC\overline{D} + SA7\overline{A}BCD + SA8A\overline{B}\,\overline{C}\,\overline{D} + SA9A\overline{B}\,\overline{C}D + SA10A\overline{B}C\overline{D} + SA11A\overline{B}CD +$$
$$+ SA12AB\overline{C}\,\overline{D} + SA13AB\overline{C}D + SA14ABC\overline{D} + SA15ABCD$$

Пристрій містить (рис. 9.4): клавіатуру, блок сканування (послідовно включені чотирьохрозрядний двійковий лічильник і шістнадцятивходовий мультиплексор), блок формування сигналу «Готовий», буферний регістр фіксації двійкового коду натиснутої клавіші.

На інверсному виході тригера формується сигнал логічної «1», який дозволяє проходження імпульсів генератора скрізь елемент DD3. Тактові імпульси дозволяють перезапис інформації на буферному регістрі DD6…DD9.

Вихідний код перебирається лічильником до тих пір, поки не буде натиснута необхідна клавіша, при цьому на виході мультиплексора формується сигнал логічної «1». Сигнал з виходу мультиплексора поступає на тригер DD5 і записується в нього за допомогою елемента DD4.

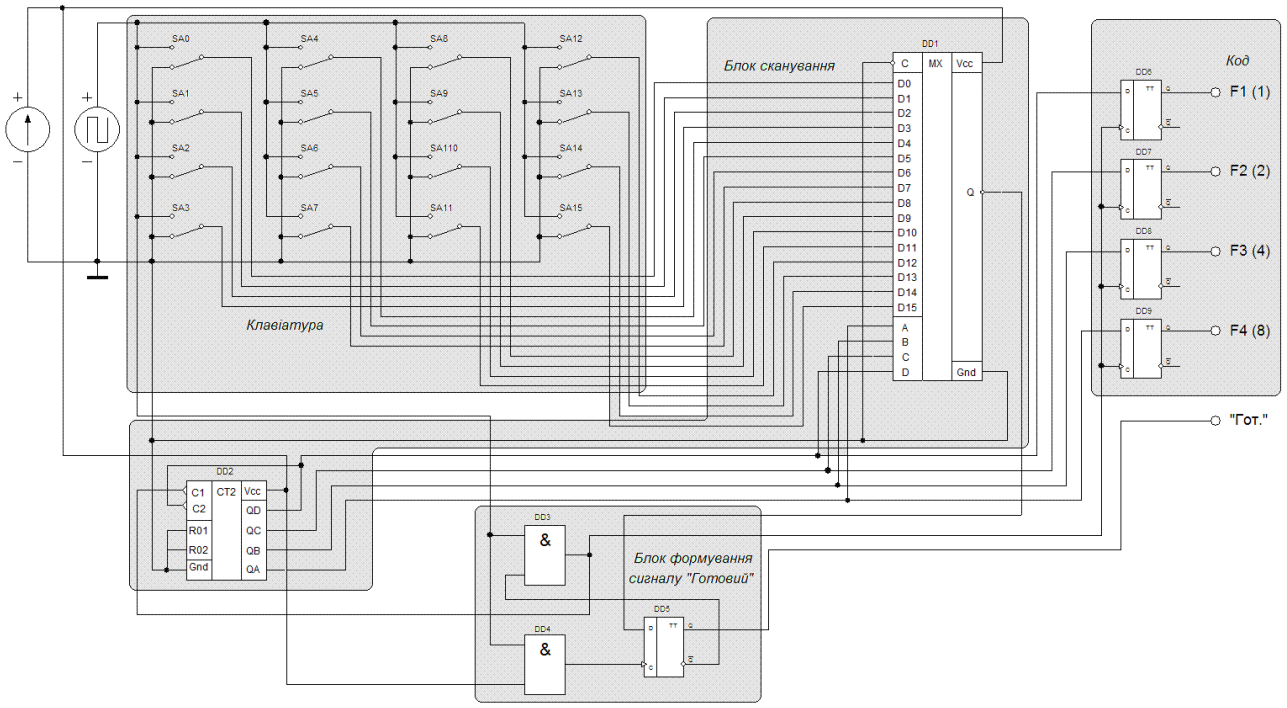


Рисунок 9.6 – Схемна модель клавіатури скануючого типу

3. Особливість кодуючого пристрою на основі сканованої матриці – матричне, наприклад в 4 рядки на 4 стовпця, включення перемикачів в блоці клавіатури і відповідна організація блоку сканування цієї матриці.

Для організації сканування матриці перемикачів необхідно розрахувати дешифратор рядків і мультиплексор стовпців [1].

Розрахуємо дешифратор, який працює по алгоритму, представленому в таблиці 9.3.

Рівняння функціонування дешифратора:

$$F0 = \overline{A}\,\overline{B};\ \ F1 = \overline{A}B;\ \ F2 = A\overline{B};\ \ F3 = AB.$$

Таблиця 9.3 – Таблиця станів дешифратора

Входи		Строки матриці			
A	B	F0	F1	F2	F3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Функціональна схема дешифратора представлена на рисунку (рис. 9.7).

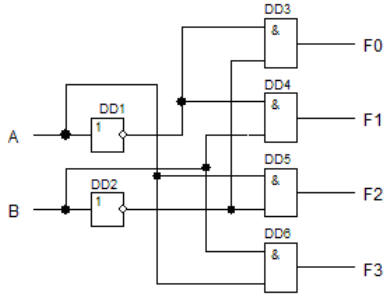


Рисунок 9.7 – Дешифратор рядків

Розрахуємо мультиплексор, який працює по алгоритму, представленому в таблиці 9.4 [1].

Таблиця 9.4 – Таблиця станів мультиплексора

Входи							Вихід
Дес. №	Адреса		Стовпці матриці				
	C	D	X0	X1	X2	X3	Q
0	0	0	1	0	0	0	X0
1	0	1	0	1	0	0	X1
2	1	0	0	0	1	0	X2
3	1	1	0	0	0	1	X3

Рівняння функціонування мультиплексора:

$$Q = X0\overline{C}\,\overline{D} + X1\overline{C}D + X2C\overline{D} + X3CD$$

Функціональна схема мультиплексора представлена на рисунку 9.8.

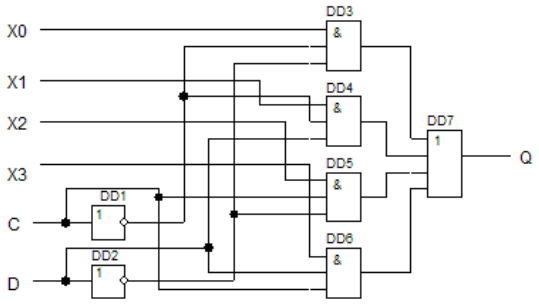


Рисунок 9.8 – Мультиплексор стовпців

Схемна модель клавіатури на основі сканованої матриці представлена на рисунку 9.9.

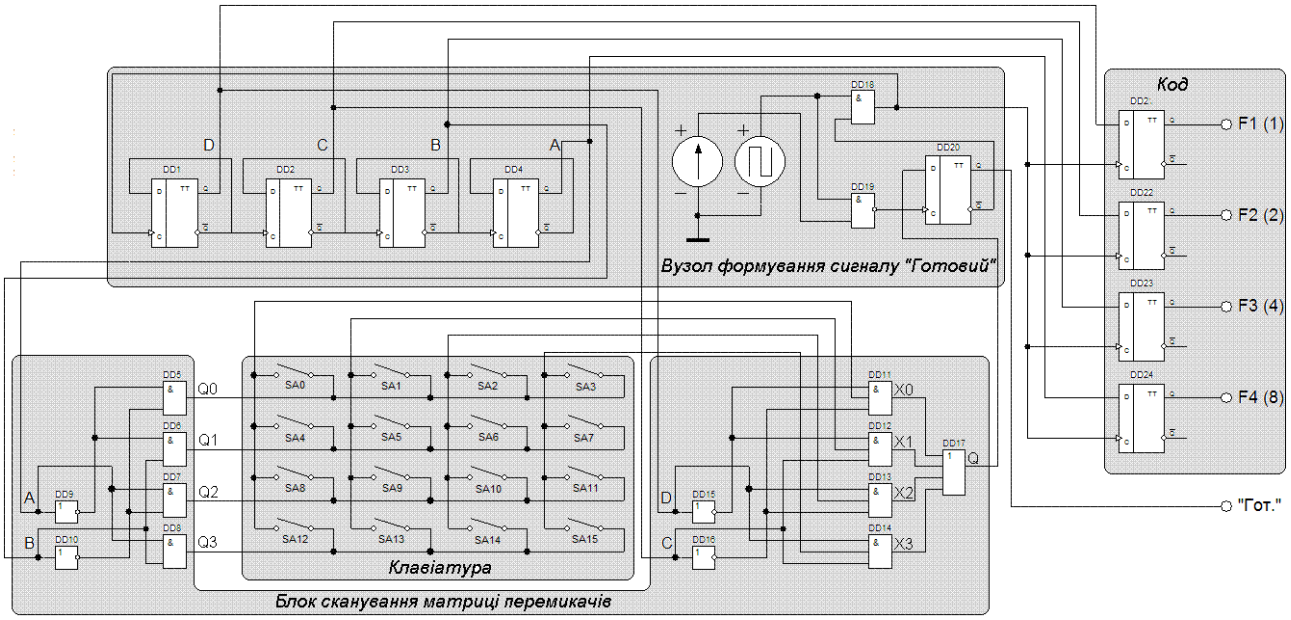


Рисунок 9.9 - Кодуючий пристрій на основі сканованої матриці

Послідовність і порядок проведення роботи.

1. Побудувати і провести дослідження схеми кодування інформації комбінаційного типу на 16-клавішній клавіатурі, в програмному забезпеченні Electronics Workbench. Отримати діаграму функціонування.

2. Побудувати і досліджувати схему кодування інформації із сканованою 16-клавішною клавіатурою, в програмному забезпеченні Electronics Workbench. Отримати діаграму функціонування.

3. Побудувати і провести дослідження кодуючого пристрою на основі сканованої матриці, в програмному забезпеченні Electronics Workbench. Отримати діаграму функціонування.

4. Провести аналіз схем за допомогою отриманих діаграм функціонування.

5. Зробити розгорнутий аналітичний висновок.

Опис віртуального EWB стенду.

1. Аналіз функціонування схеми кодування інформації комбінаційного типу на 16-клавішній клавіатурі у програмному забезпеченні Electronics Workbench, згідно з розробленим алгоритмом (рис. 9.10).

На моделі натиснута клавіша клавіатури, яка фіксується відповідним індикатором. Шифратор перетворює десятковий код натиснутої клавіші $(7)_{10}$ та перетворює його у двійковий код $(0111)_2$, який запам'ятовується буферним регістром. При цьому на індикаторі виробляється сигнал «Готовий».

2. Кодуючий пристрій на основі сканованої клавіатури (рис. 9.11) формує чотирьохрозрядний двійковий код і містить: блок сканування на лічильнику DD1...DD3 і мультиплексорі DD4, формувач сигналу «Готовий» на D-тригері DD7. На клавіатурі натиснута клавіша 5. Схема відображає отриманий код 0101 і сигнал «Готовий», сканування клавіатури зупинено.

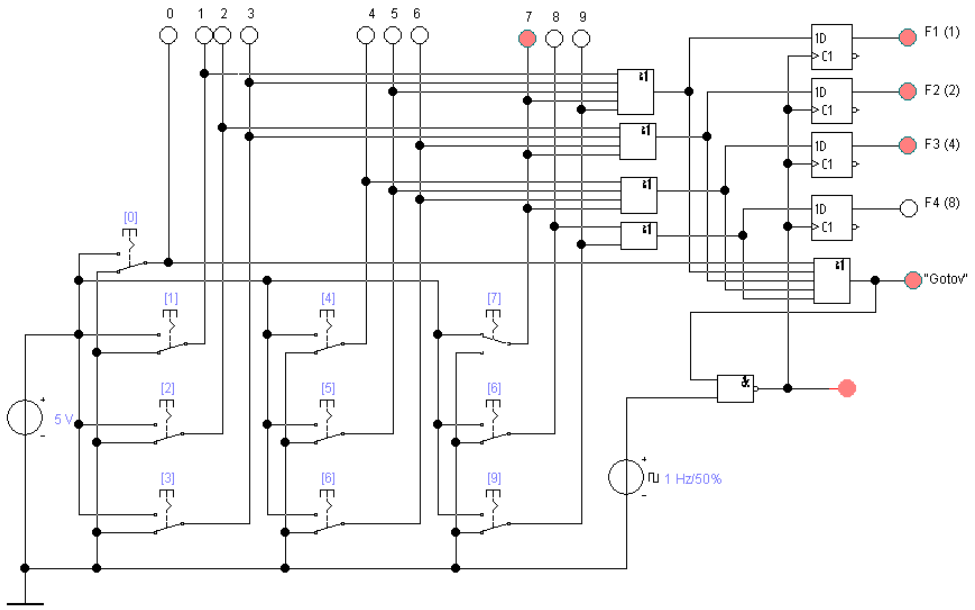


Рисунок 9.10 - Аналіз функціонування схеми кодування інформації комбінаційного типу

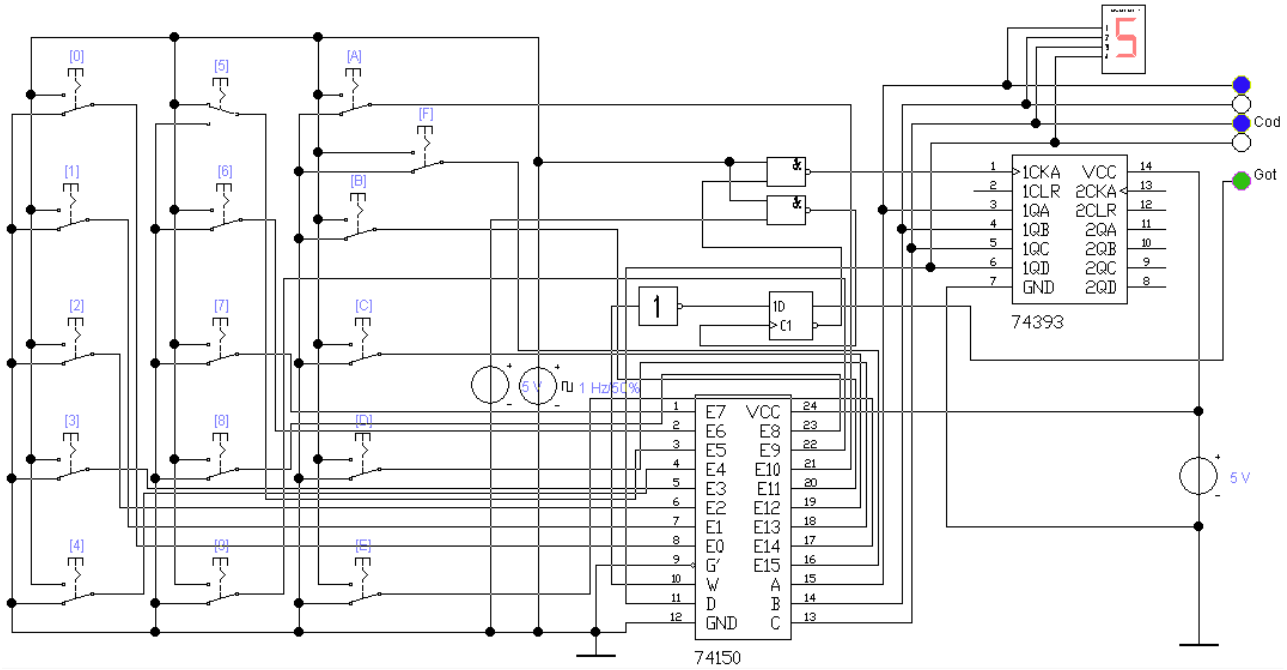


Рисунок 9.11 - Аналіз функціонування схеми на основі сканованої клавіатури

3. У кодуючому пристрої на основі сканованої матриці (рис. 9.12) вихідній код перебирається лічильником до тих пір, поки не буде натиснута необхідна клавіша, при цьому на виході мультиплексора логічна 1, яка записується в тригер DD3, і формує сигнал «Готовій», який відображається індикатором. Відповідно на інверсному виході тригера DD3 – логічний 0. Він поступає на один з входів елементу І (DD2), до іншого входу якого підключений генератор прямокутних імпульсів. Такий стан блокує лічильник, та буферні регістри. Лічильник зупиняє рахунок і на виході схеми фіксується код натиснутої клавіші.

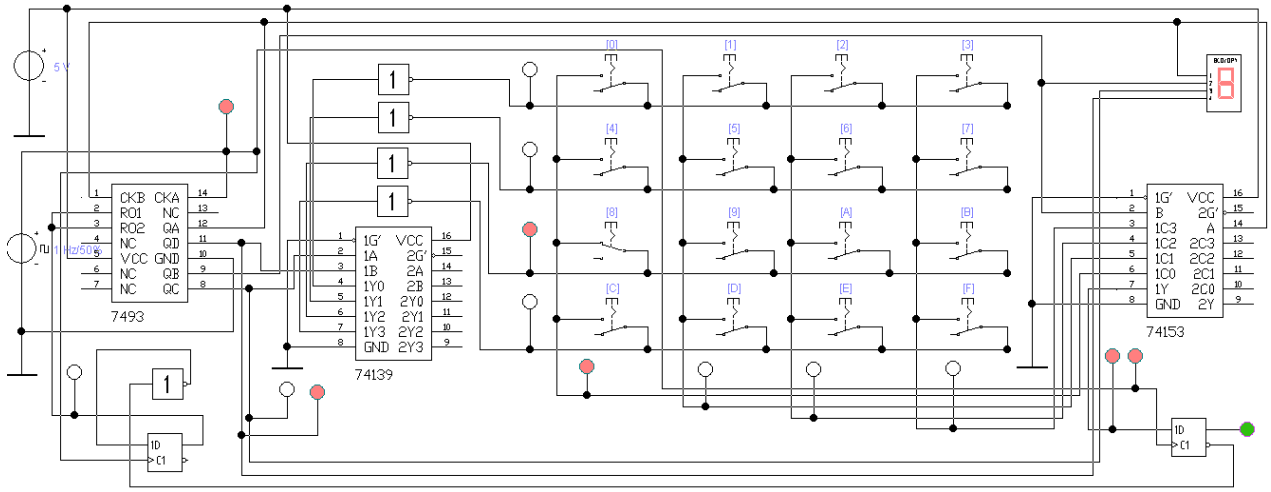


Рисунок 9.12 - Аналіз функціонування схеми на основі сканованої матриці перемикачів

Лабораторна робота №10

Дослідження постійних запам'ятовувальних пристроїв

Метою виконання роботи є ознайомлення з принципами побудови і функціонування постійних запам’ятовувальних пристроїв.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Постійні запам’ятовувальні пристрої.
2. Оперативні запам’ятовувальні пристрої.
3. Організація пам'яті у вигляді окремих регістрів.
4. Запам'ятовувальний пристрій адресного типу.
5. Програмовані постійні запам’ятовувальні пристрої.
6. Репрограмовані ПЗП з електричним стиранням.
7. Репрограмовані ПЗП з ультрафіолетовим стиранням.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Запам’ятовувальні пристрої (ЗП), зберігають багаторозрядні числа (слова), які беруть участь в математичних і логічних операціях, які складають алгоритм перетворення вхідних даних у вихідні в мікропроцесорному перетворювачі. У ЗП зберігаються так само коди команд, які визначають програму дій (алгоритм) мікропроцесорних пристроїв [5].

Постійна пам'ять (ROM – Read Only Memory – пам'ять лише для зчитування) або постійний запам’ятовувальний пристрій (ПЗП – це друга частина основної пам'яті мікропроцесорної системи, призначеної для зберігання рідко змінної інформації, наприклад, кодів команд, тестових програм [6].

Постійний запам’ятовувальний пристрій – це пам'ять мікропроцесорної системи, призначена для зберігання службових програм і даних, які не можуть бути змінені у процесі його роботи.

Накопичувач ПЗП зазвичай виконується у вигляді системи взаємно перпендикулярних шин, в пересіченнях яких або присутній (логічна 1), або відсутній (логічний 0) елемент, який зв'язує між собою відповідні горизонтальну і вертикальну шини (рис. 10.1). Вибірка слів формується так само, як і в ОЗП, за допомогою дешифратора.

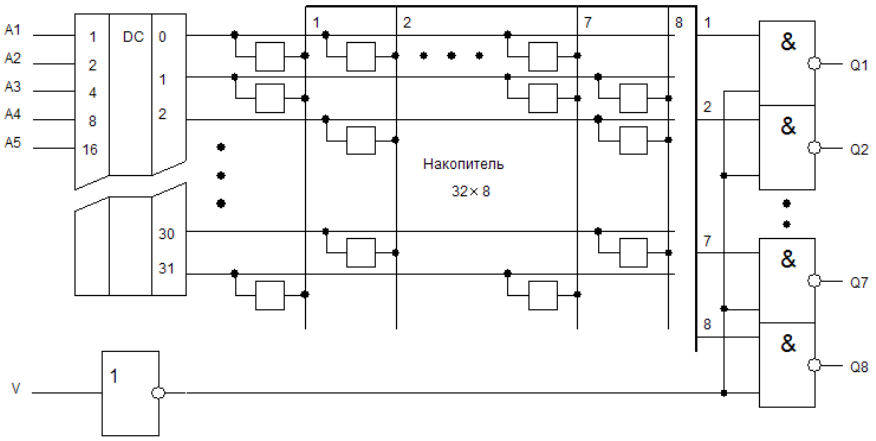


Рисунок 10.1 – Функціональна схема ПЗП

Самі прості з ПЗП - маскові. Головною властивістю маскових ПЗП є те, що інформація до них записується ще на етапі виготовлення кристалу мікросхеми пам’яті. Для цього використовують спеціальні маски (шаблони), які визначають порядок з'єднань між елементами пам'яті на напівпровідниковому кристалі. Таким чином не варто виготовляти декілька сотень мікросхем – мова йде про великі партії. Саме так виготовляють пам'ять для застосування у автоматах з жорсткою логікою [5].

PROM - (Pogrammable read-only memory) пам'ять, яка програмується лише для зчитування, пристрій запам’ятовувальний постійний, з можливістю однократного програмування (ППЗП). По технологічних особливостях розрізняють маскові ПЗП - mask-ROM (МПЗП), інформація в яких заноситься на заводі виробнику і OTPROM (One-Time Programmable ROM) кристали, що однократно програмуються користувачем.

RPROM - (Rapid programmable read-only memory) швидкодіючий постійний запам’ятовувальний пристрій з можливістю багатократного програмування.

EPROM - (Erasable programmable read-only memory) постійна пам'ять, що може стиратися та перепрограмовуватися - СППЗП. У технічній літературі такі ЗП мають назву репрограмуємі постійні запам’ятовувальні пристрої (РППЗП), електрично перепрограмовані постійні запам’ятовувальні пристрої (ЕППЗП) або EEPROM (Electrically Erasable Programmable ROM) - постійні запам’ятовувальні пристрої (ЕСППЗП), що можуть електрично стиратися Flash.

Широке поширення мають також програмовані логічні інтегральні схеми - з великим вибором логічних елементів і пристроїв на одному кристалі.

Послідовність і порядок проведення роботи.

1. Побудувати схему ПЗП з введенням інформації з кнопкових перемикачів.

2. При побудові дешифратора адреси використовувати схему пірамідального дешифратора. Привести його таблицю станів, рівняння функціонування.

2. Записати інформацію в накопичувач відповідно до варіантів, які приведені в десятковому еквіваленті:

1) 4 6 3 5 3 2 4 7
2) 7 4 5 3 2 4 1 3
3) 6 7 5 4 7 2 7 1

3. Привести схему до єдиного елементного базису

4. Перевірити правильність функціонування схеми.

5. Побудувати схему ПЗП з введенням інформації з використанням Word Generator.

6. Побудувати діаграми функціонування схеми в точках вказаних на рис. 8.12.

7. Побудувати схему ПЗП з використанням реальних мікросхем.

8. Зробити розгорнутий висновок про виконану роботу.

Опис віртуального EWB стенду

Вибрати з довідкових даних мікросхему дешифратора та пристрою дозволу вибірки інформації. Зібрати схему ПЗП згідно з рисунком 10.2, використовуючи накопичувач свого варіанту.

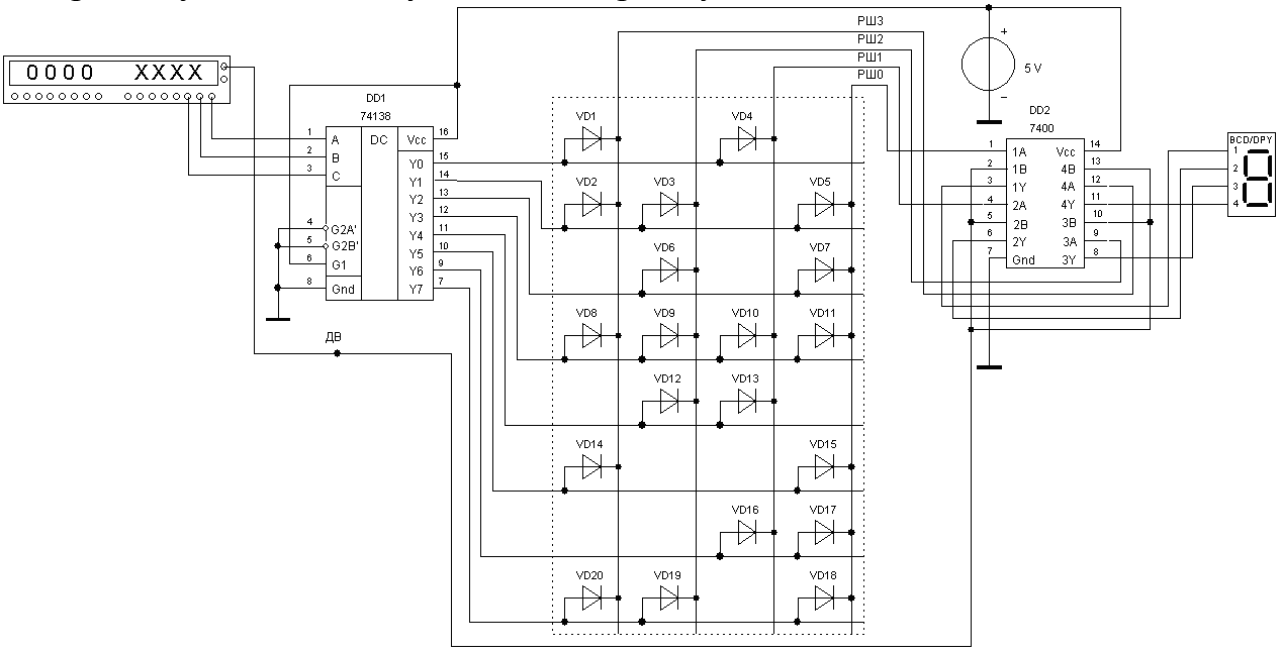


Рисунок 10.2 – Лабораторний стенд для дослідження роботи ПЗП на мікросхемах

За допомогою інструментарію програмного додатку EWB переконатись в правильності функціонування схеми. Зробити висновки про можливість модернізації схеми по входу дозволу вибірки (ДВ).

Лабораторна робота №11

Дослідження послідовністних вузлів для зберігання і перетворення багаторозрядних двійкових чисел

Метою виконання роботи є дослідження основних режимів роботи регістрів при зберіганні інформації і при перетворенні цифрових кодів.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Режими роботи регістра К555ИР16.
2. Регістри збереження цифрової інформації.
3. Перетворення послідовного коду в паралельний за допомогою регістрів.
4. Перетворення паралельного коду в послідовний за допомогою регістрів.

Хід виконання лабораторної роботи
(методика експериментальних досліджень)

Регістр - цифровий послідовністний пристрій, призначений для зберігання і перетворення багаторозрядної двійкової інформації [1].

При простоті схеми регістри володіють широкими функціональними можливостями. Вони використовуються як запам'ятовувальні пристрої, формувачі і перетворювачі кодів, лічильників, дільників частоти, вузли часової затримки, різного роду пристрої управління. Тому, промисловістю випускається великий асортимент регістрів у вигляді самостійних ІМС. Позначення їх в різних серіях однаково - ИР.

Простим однорозрядним регістром є D-тригер, який запам'ятовує один розряд (біт) двійкової інформації. Цифрова техніка оперує з багаторозрядними числами, тому як регістри, залежно від їх призначення, використовуються або набори окремих тригерів (D- або JK-типу), з об'єднаними входами синхронізації, або кола каскадних сполучень. В будь-якому разі кількість тригерів визначається розрядністю чисел, які піддаються обробці. Крім того, зазвичай в схеми регістрів входять комбінаційні логічні елементи, які виконують допоміжну роль при перетворенні інформації [2].

Занесення інформації в регістр називають операцією введення, або запису. Видача інформації до зовнішніх пристроїв характеризує операцію виводу, або зчитування.

Регістр зберігання являється набором синхронних тригерів, кожен з яких запам'ятовує один розряд двійкового числа. Введення (запис) і виведення (зчитування) інформації виконується одночасно (паралельно) у всіх розрядах шляхом подачі тактового імпульсу на входи синхронізації всіх тригерів. З приходом кожного з таких імпульсів відбувається оновлення стану регістра. Сигнали на виходах тригерів визначають вихідну інформацію регістра.

Зчитування може виконуватись і в прямому (з прямих виходів), і в зворотному (з інверсних виходів) коді [5].

Призначення регістрів даного типу - зберігати двійкову інформацію відносно короткого інтервалу часу.

Типовий приклад використання звичайних регістрів зберігання - проміжне запам'ятовування показань лічильника імпульсів на час рахунку і обробки.

Нарощування розрядності регістрів зберігання здійснюється додаванням потрібного числа ІМС, відповідні управляючі входи (С, $\overline{PE}$, $\overline{EO}$, PE) з'єднуються паралельно і підключаються до джерел цих дій.

При зрушенні інформації управо (→) з вступом тактового імпульсу інформація з більш молодшого розряду (з меншим номером n) зрушується в старший (з номером n + 1), а при зрушенні вліво, навпаки, з розряду n в n - 1. У реверсивних регістрів напрям зсуву може змінюватися відповідним управляючим сигналом.

Простим по побудові є регістр зсуву з послідовним введенням інформації. Своїм виглядом його схема нагадує синхронний лічильник, але оскільки використані в даному випадку не рахункові, а інформаційні D-тригери, які забезпечують саме перенесення імпульсів від одного до іншого (а не рахунок).

Таким чином, при послідовному введенні для запису m-розрядного двійкового числа на тактовий вхід регістра необхідно подати таку ж кількість імпульсів $n_{iз} = m$.

Якщо як вихід регістра використовувати одночасно виходи всіх тригерів, то він виявиться з паралельним виведенням інформації.

Якщо ж розглядати вихід останнього тригера, як вихід всього регістра, то це буде регістр з послідовним виведенням двійкової коди. Прийом старшого (m) з розрядів тоді слід починати до приходу першого імпульсу зчитування.

Таким чином, для послідовного виведення заздалегідь записаної в регістрі інформації досить подачі $n_{iз} = m - 1$ тактових імпульсів. При безперервному вступі тактових імпульсів такий регістр забезпечує часову затримку передачі інформації з входу D на вихід Q_m на якийсь час «$t_з = mT_i$, де T_i - період цих імпульсів.

У схемному відношенні регістри зсуву з паралельним введенням інформації складніші, ніж з послідовним. У них застосовуються додаткові логічні елементи, які дозволяють подавати на інформаційні входи тригерів сигнали з входів завантаження паралельного коду, не порушуючи при цьому з'єднань між каскадами, такі ж як в регістрах з послідовним введенням [5].

Регістри зсуву з паралельним введенням як окремий різновид у складі сучасних серій ІМС відсутні, оскільки для забезпечення в такому пристрої режиму послідовного введення потрібний всього один додатковий вивід. Тому більшість регістрів зсуву, які випускаються, в інтегрального виконання відносяться до пристроїв з комбінованим введенням інформації.

Одним з найбільш типових представників даного типа є чотирьохрозрядний регістр К555ИР16. Призначення виводів даної ІМС показані на рисунку 11.1.

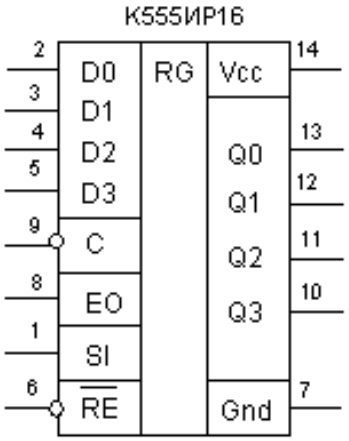


Рисунок 11.1 – Умовне графічне позначення мікросхеми К555ИР16

Призначення виводів: SI - вхід інформаційний (послідовний); D0, D1, D2, D3 - входи інформаційні; PE - вхід вибору режиму; Gnd - загальний; C - вхід синхронізації; EO - вхід дозволу виходів; Q0, Q1, Q2, Q3 - виходи; Vcc - напруга живлення.

Особливістю регістра К555ИР16 є підвищена здатність навантаження вихідних буферних елементів і можливість переводу виходів у високоімпедансний Z-стан, що дозволяє використовувати його для обслуговування шин даних обчислювальних пристроїв, наприклад контролерів систем управління. Виходи Q0 - Q3 переходять в Z-стан, якщо на вхід EO подається напруга низького рівня 0. При EO = 1 на виходи поступає інформація, яка зберігається в даний момент часу в регістрі.

Режими завантаження і зсуву перемикаються за допомогою входу вибору режиму PE. Якщо на вході PE присутня напруга високого рівня, дані завантажуються в регістр від паралельних входів D0 - D3 синхронно з негативним перепадом на тактовому вході C. Напруга низького рівня на вході PE викликає завантаження даних з послідовного входу SI. Цифрове слово зрушується вправо від Q0 до Q1, далі до Q2 і Q3 синхронно з кожним негативним перепадом на тактовому вході C. Стани регістра К555ИР16 відображені в таблиці 11.1,

q0, q1, q2 - вихідний стан виходів Q0, Q1, Q2, Q3 відповідно; × - рівень сигналу на вході не має значення.

Таблиця 11.1 - Стани регістра К555ИР16

Режим роботи	C	PE	Вхід		Вихід			
			послідовний SI	паралельний Di	Q0	Q1	Q2	Q3
Зрушення вправо	⎍	0	0	×	0	q0	q1	q2
			1	×	1	q0	q1	q2
Паралельне завантаження	⎍	1	×	0	0	0	0	0
			×	1	1	1	1	1

Дуже зручні універсальні регістри, які дозволяють виконувати як послідовний, так і паралельний запис і зчитування. Такі регістри можна використовувати як перетворювачі паралельного коду в послідовний і навпаки. Наприклад, мікросхема К555ИР1 – чотирьохрозрядний універсальний регістр зсуву (рис. 11.2).

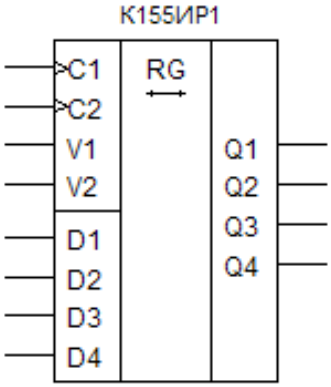


Рисунок 11.2 – Чотирьохрозрядний універсальний регістр зсуву

Регістр працює в режимі зсуву по тактових імпульсах, які поступають на вхід С1, якщо на вході V2 є напруга низького рівня. Вхід V1 служить для введення інформації в перший розряд регістра в цьому режимі. Якщо на вході V2 напруга високого рівня, то регістр виконує паралельний запис інформації з входів D1 ... D4, по імпульсах синхронізації, що поступають на вхід С2.

Послідовність і порядок проведення роботи.

1. Схема регістра зсуву на логічних елементах І-НЕ DD1 (7400) і регістрах DD2, DD3 (7474) (рис. 11.3).

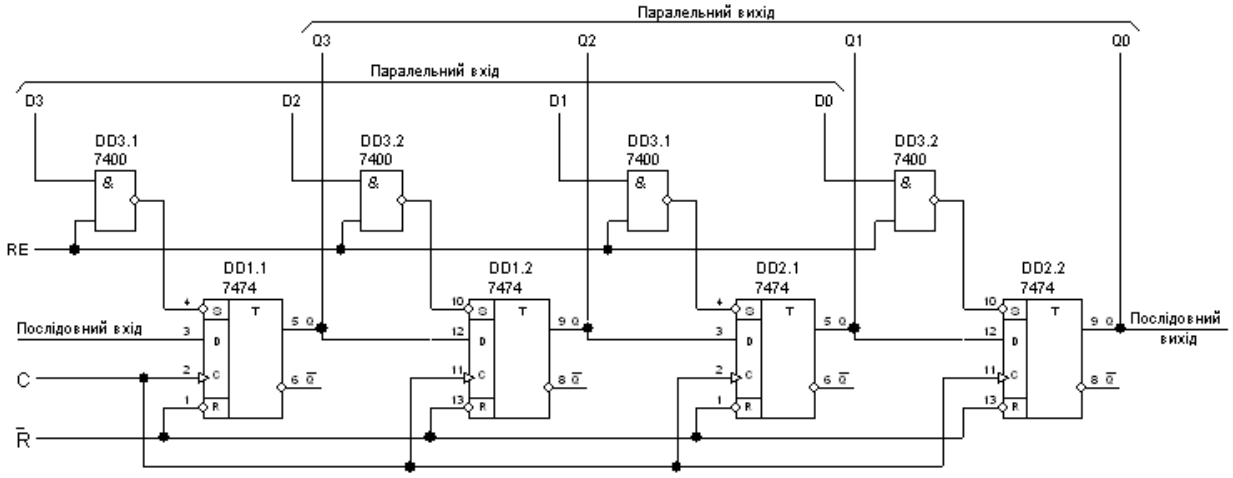


Рисунок 11.3 – Схема регістра зсуву

2. Послідовний вхід, послідовний/паралельний вихід. Дослідити роботу регістра, подаючи на нього чотирьохрозрядне слово 1011. Для любого іншого слова робота регістра буде аналогічна. На вхід РЕ подати низький рівень напруги, потім обнулити регістр. Для цього на вхід $\overline{R}$ подати низький рівень напруги, а потім встановити $\overline{R}$ =1.

2.1 Подаючи імпульси синхронізації, дослідити, як данні послідовного входу будуть зрушуватись в регістрі. Отримати часові діаграми в EWB.

2.2 Спостерігаючи за станом виходів регістра, переконатися що данні відповідають часовим діаграмам (рис. 11.3).

3. Паралельний вхід, послідовний паралельний вихід. Обнулити регістр і встановити $\overline{R} = 1$.

3.1 Встановити входи D3 = 1, D2 = 0, D1 = 1, D0 = 1, а потім на вхід PE подати високий рівень і данні з входів D3, D2, D1, D0 запишуться в регістр.

3.2 Данні доступні в паралельному коді на виходах тригерів регістра. Подаючи на вхід C регістра імпульси синхронізації на виході Q0 отримати вихідні данні в послідовному коді. Отримати часові діаграми в EWB.

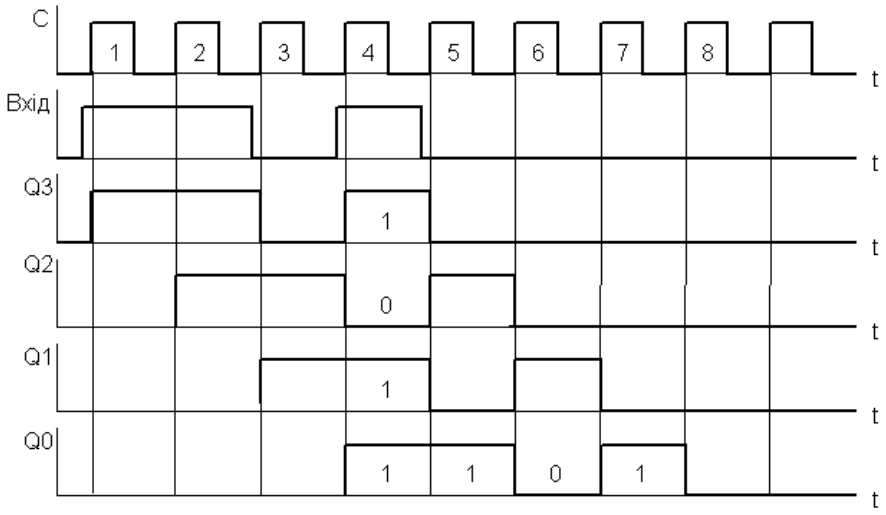


Рисунок 11.3 – Часові діаграми роботи регістра, який працює в режимі послідовний вхід, послідовний/паралельний вихід

4. Повторити пункти 2, 3 для вхідного коду 1101. Отримати часові діаграми в EWB.

4.1 Спостерігаючи за станом виходів регістра, переконатися що данні відповідають часовим діаграмам (рис. 11.4).

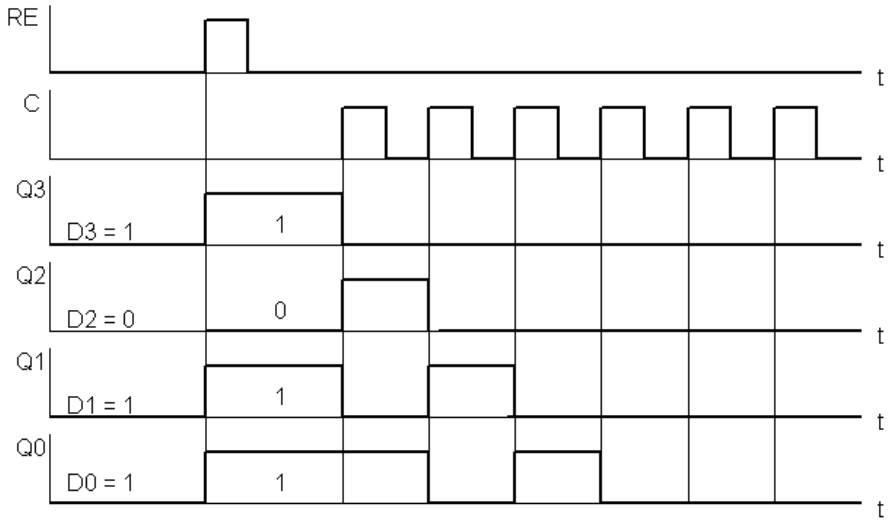


Рисунок 11.4 – Часові діаграми регістра, який працює в режимі паралельний вхід, послідовний/паралельний вихід

Опис віртуального EWB стенду.

Зібрати схему регістра зсуву на мікросхемах К1533ТМ2 (7474)і К1533ЛА3 (7400) в програмному забезпеченні Electronics Workbench (рис. 11.5).

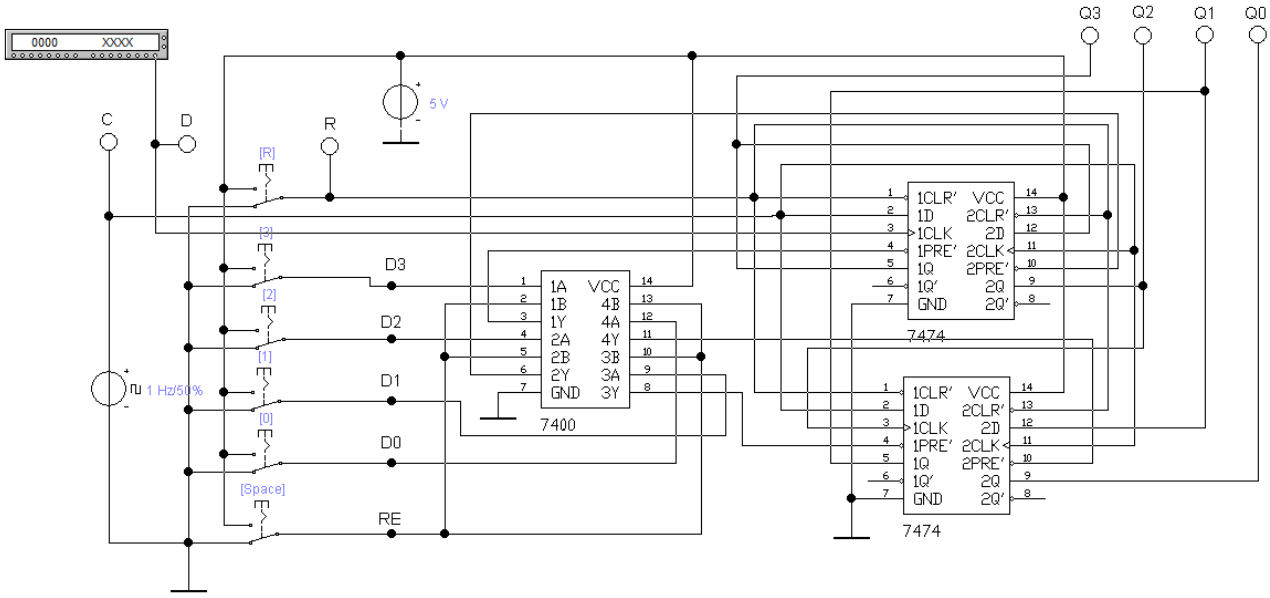


Рисунок 11.5 – Лабораторний стенд для дослідження схеми регістра зсуву

Лабораторна робота №12

Дослідження універсального регістра К555ИР11

Метою виконання роботи є вивчення та практичне дослідження інтегральної мікросхеми К555ИР11(74LS194N), контролювання її роботи за допомогою програмного забезпечення Electronics Workbench.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Особливості використання 4-розрядного реверсивного регістру зсуву К555ИР11.
2. Призначення входів A, B, C, D регістра К555ИР11.
3. Призначення входів SR, SL регістра К555ИР11.
4. Призначення входів S0 і S1 регістра К555ИР11.
5. Призначення входів CLR і CLK регістра К555ИР11.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Регістри - це послідовністні пристрої, призначені для прийому, збереження, простих перетворень та передачі двійкових кодів. Під простими перетвореннями розуміють зсув кодів на задану кількість розрядів, а також перетворення послідовного двійкового коду в паралельний і паралельного в послідовний. Базовими елементами регістрів є тригери, які доповнюються

комбінаційними логічними елементами для реалізації певних зв'язків між розрядами регістра і для керування прийомом та передачею операндів. Одне з функціональних призначень регістрів - оперативна пам'ять для багаторозрядних двійкових кодів [5].

В паралельних регістрах, або регістрах пам'яті, ввід-вивід усіх розрядів коду відбувається одночасно за один такт. Для побудови n-розрядного регістра пам'яті потрібно n тригерів. Крім того, деякі регістри цього типу забезпечують режими відключення виходів (встановлення у високоімпедансний стан) від загальної інформаційної шини.

В послідовних регістрах ввід-вивід інформації здійснюється через один інформаційний вхід і один вихід порозрядно із зсувом коду. Тому, послідовні регістри називають регістрами зсуву. За один такт інформація, що вводиться або виводиться зсувається на один розряд вправо або вліво. Регістри зсуву, що реалізують по команді керування зсуви інформації вправо або вліво, називають реверсивними.

Послідовно-паралельні регістри мають один інформаційний вхід для послідовного вводу числа в режимі зсуву і вихідні вентилі для видачі n-розрядного числа паралельним кодом. Такі регістри виконують перетворення послідовного коду в паралельний.

В паралельно-послідовні регістри інформація вводиться паралельним кодом за один такт через тактовані вхідні вентилі, а виводиться з них послідовно по одному розряду в кожному тактовому інтервалі. Таким чином реалізується операція перетворення паралельного коду в послідовний.

Універсальні регістри поєднують в собі можливості вище перерахованих типів регістрів. В лабораторній роботі досліджується мікросхема регістра К555ИР11.

К555ИР11 (74194) - універсальний чотирьохрозрядний реверсивний регістр зсуву, який дозволяє як паралельний запис інформації, так і її зсув вправо і вліво (рис 12.1).

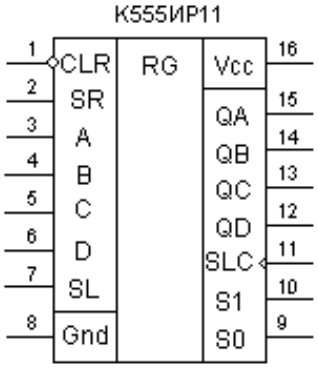


Рисунок 12.1 – Умовне графічне позначення мікросхеми К555ИР11

Якщо на вхід скидання CLR поступає напруга низького рівня, то на всіх виходах QA, QB, QC, QD встановлюється напруга низького рівня незалежно від логічного стану всіх останніх входів.

Якщо на вхід скидання CLR подається напруга високого рівня, то режим роботи визначається станами входів S0 і S1. Зрушення даних вліво

відбувається, якщо така напруга подається на входи S0 і S1. При цьому дані послідовно поступають на вхід SL.

Зрушення даних вправо відбувається, коли на вхід S0 подається напруга високого, а на вхід S1 - низького рівня, при цьому дані послідовно поступають на вхід SR.

Якщо на обидва входи S0 і S1 подається напруга високого рівня, то можливе послідовне завантаження даних з входів D0, D1, D2,D3. Під час паралельного введення даних послідовні входи замкнуті.

Послідовно і паралельно введені дані поступають в регістр зрушення синхронно з перепадом напруги тактового імпульсу на вході CLC (вхід тактових імпульсів) з низького рівня на високий (позитивний фронт). При цьому, дані повинні знаходитися на інформаційних входах до початку формування позитивного фронту тактового імпульсу.

Напруга низького рівня на входах S0 і S1 замикає вхід тактових імпульсів (режим збереження інформації). Логічне перебування на обох цих входах змінюється лише тоді, коли на вхід тактових імпульсів поступає напруга високого рівня.

В таблиці 12.1 приведені режими роботи регістра К555ИР11.

Таблиця 12.1 - Режими роботи регістра К555ИР11

Режим роботи	Входи							Виходи			
	CLC	CLR	S1	S0	SR	SL	Dn	QA	QB	QC	QD
Скидання	×	0	×	×	×	×	×	0	0	0	0
Збереження	×	1	0	0	×	×	×	qA	qB	qC	qD
Зсув вправо	↑	1	0	1	V	×	×	V	qA	qB	qC
Зсув вліво	↑	1	1	0	×	V	×	qB	qC	qD	V
Паралельний запис		1	1	1	×	×	dn	qA	qB	qC	qD

Використовуючи режим зсуву регістра К555ИР11 і створюючи відповідні зворотні зв’язки, можна організовувати на його базі подільники частоти з коефіцієнтами перерахунку від 2 до 8. При цьому, на вхід S1 регістра подається логічний 0, на S0 і SLR подається логічна 1, а імпульси вхідної частоти надходять на тактовий вхід С. До входу SR підключається схема зворотного зв’язку, а стани входів SL і D0, D1, D2,D3 в цьому режимі неактивні, оскільки не впливають на роботу.

При створенні подільника частоти на 2, 4, 6, або 8 на вхід SR через інвертор підключається відповідний вихідний розряд регістра QA, QB, QC, QD. При створенні подільника частоти на 3, 5 і 7 в коло зворотного зв’язку замість інвертора включається логічний елемент 3І-НЕ, на входи якого сигнали надходять з виходів розрядів QA і QB (при діленні на 3), QB і QC (при діленні на 5) і QC і QD (при діленні на 7). Сигнали, які отримуються на виходах регістра QA, QB, QC, QD однакові за формою і відрізняються лише фазою [5].

На рисунку 12.2 наведено приклад монтажної схеми включення регістра К555ИР11 при створенні подільника частоти на 7 та часові діаграми вхідних та вихідних сигналів цієї схеми. В схемі використані дві мікросхеми: мікросхема DD1 К155ЛА4, один логічний елемент якої використовується в колі зворотного зв'язку, і регістр типу К555ИР11 на мікросхемі DD2. Часові діаграми приведені на рисунку 12.3.

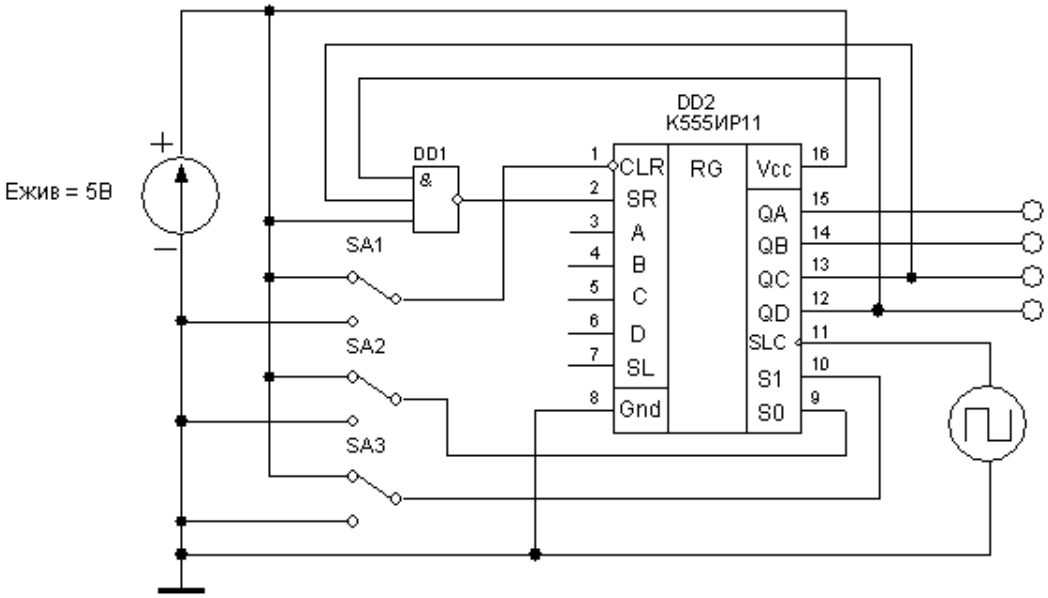


Рисунок 12.2 - Схема включення регістра типу К555ИР11 на лабораторному стенді в режимі подільника частоти на 7

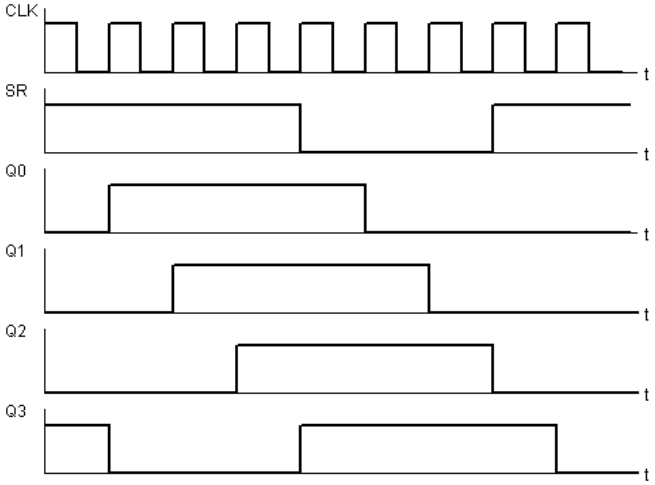


Рисунок 12.3 - Часові діаграми вхідних та вихідних сигналів

Послідовність і порядок проведення роботи.

1. Побудувати в EWB монтажну схему включення регістра 74194 (К555ИР11) в статичному режимі та перевірити режими його роботи згідно таблиці 12.1.

2. Побудувати часові діаграми вхідних та вихідних сигналів.

3. Побудувати в EWB монтажну схему включення регістра 74194 (К555ИР11) в режимі подільника на 7.

4. Побудувати часові діаграми вхідних та вихідних сигналів.

Опис віртуального EWB стенду.

В лабораторних стендах (рис. 12.4, рис12.5) запрограмувати Word Generator для отримання паралельного чотирьохрозрядного коду.

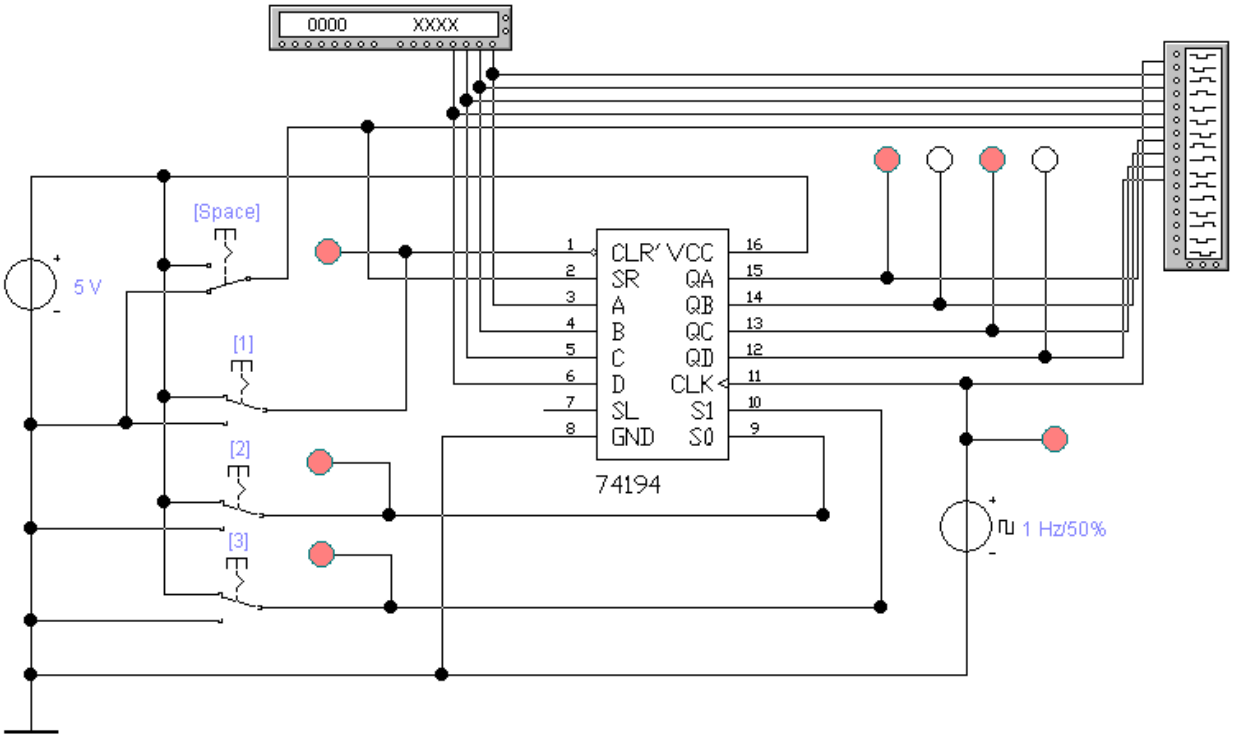


Рисунок 12.4 – Лабораторний стенд включення регістра 74194 (К555ИР11) в статичному режимі

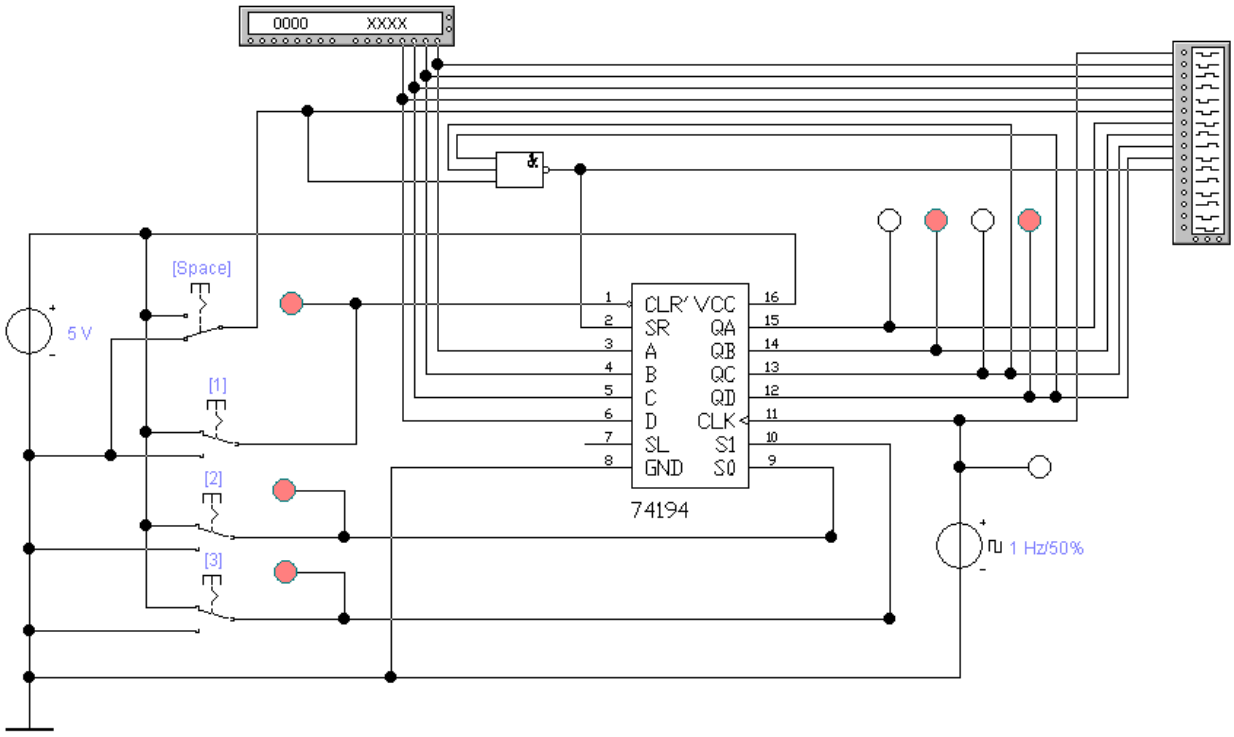


Рисунок 12.5 – Схема включення регістра 74194 на лабораторному стенді в режимі подільника на 7

Лабораторна робота №13

Дослідження послідовністних вузлів для розподілення та підрахунку числа вхідних сигналів

Метою виконання роботи є вивчення та практичне дослідження інтегральної мікросхеми К555ИР11(74LS194N), контролювання її роботи за допомогою програмного забезпечення Electronics Workbench.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Режими роботи десяткового лічильника К555ИЕ6.
2. Принципи побудови підсумовуючого лічильника.
3. Принципи побудови віднімаючого лічильника.
4. Застосування лічильника як програмованого дільника.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

Лічильники імпульсів - це пристрої, які виконують операцію підраховування числа імпульсів, що надійшли до їхніх входів.

У загальному випадку, лічильником є пристрій, який може переходити з одного стану в інші під дією вхідних імпульсів, які належить лічити. З надходженням вхідних імпульсів лічильник перебирає свої стани у визначеному для даної схеми порядку [1].

Число станів є основним параметром лічильника і носить назву коефіцієнта перерахунку $К_п$ або модуля рахунку М.

Найпростішим лічильником є тригер з рахунковим входом, який виконує підрахунок імпульсів за модулем М = 2, тобто він має два стани 0 та 1, які змінюються почергово під дією вхідних імпульсів.

У загальному вигляді модуль підрахунку двійкового лічильника визначається формулою

$$M = 2^m,$$

де m - число двійкових розрядів лічильника.

Отже, модуль підрахунку визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем підрахунку лічильник характеризується його місткістю

$$К = М - 1,$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

Послідовні лічильники будуються, як правило, на базі декількох тригерів, кожен з яких працює як лічильник за модулем 2. При цьому послідовне з’єднання тригерів виконується таким чином, що вихід тригера і-го розряду підключається безпосередньо до лічильного входу наступного тригера і + 1 [2].

Послідовні лічильники відносяться до класу асинхронних, бо стани розрядів в таких пристроях установлюються послідовно після приходу чергового фронту чи зрізу синхроімпульсу С. Послідовні лічильники будуються на базі D- або JK-тригерів [5].

На рисунку 13.1 показана схема послідовного підсумовуючого лічильника, розрядні тригери якого виконані на базі синхронних D-тригерів, працюючих у рахунковому режимі.

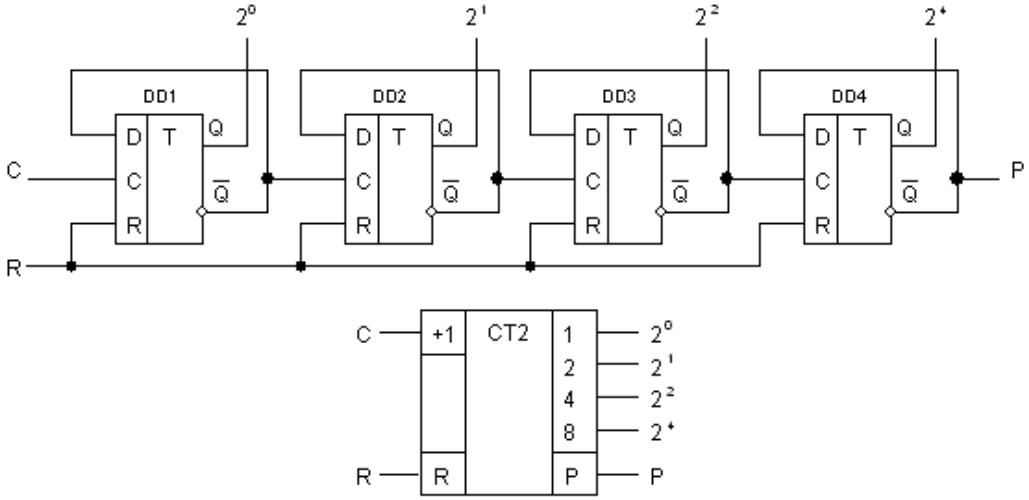


Рисунок 13.1 - Послідовний підсумовуючий лічильник на D-тригерах

На схемі позначені: CT2 (англ. counter) - двійковий лічильник; C - лічильний вхід; R - вхід скидання лічильника; P - вихід переповнення лічильника.

Рахунковий режим роботи тригерів забезпечується з'єднанням інформаційного D входу з інверсним виходом власного тригера.

Діаграма функціонування підсумовуючого лічильника представлена на рисунку 13.2.

За напрямом підрахунку лічильники бувають як підсумовуючими, так і віднімаючими. Зміна напряму рахунку на протилежний називається реверсом рахунку.

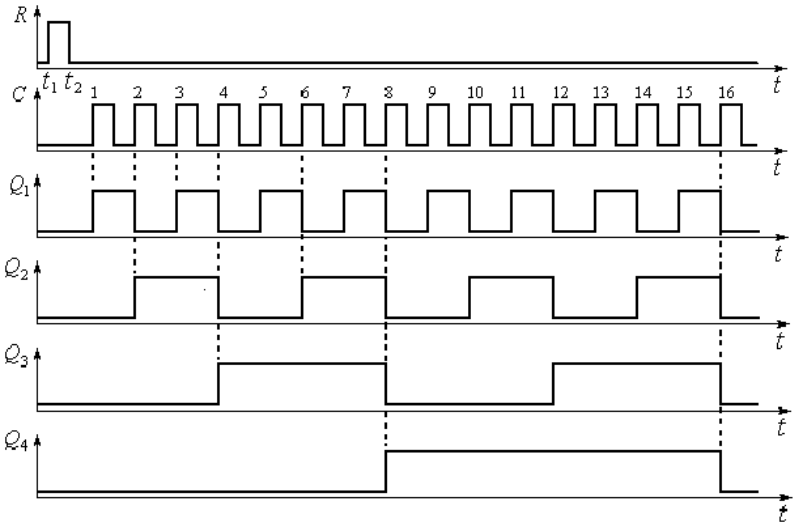


Рисунок 13.2 - Діаграма функціонування підсумовуючого лічильника

Десятковий лічильник з модулем М = 10 має чотири двійкові розряди і при появі на його виходах числа $1010_2 = 10_{10}$ він скидається в нуль. Такий лічильник має невикористані надлишкові стани.

Послідовність і порядок проведення роботи.

Принципова схема для дослідження функціонування підсумовуючого лічильника приведена на рисунку 13.3. Вона включає лічильник DD1, дешифратор DD2, допоміжні схеми DD3, DD4.

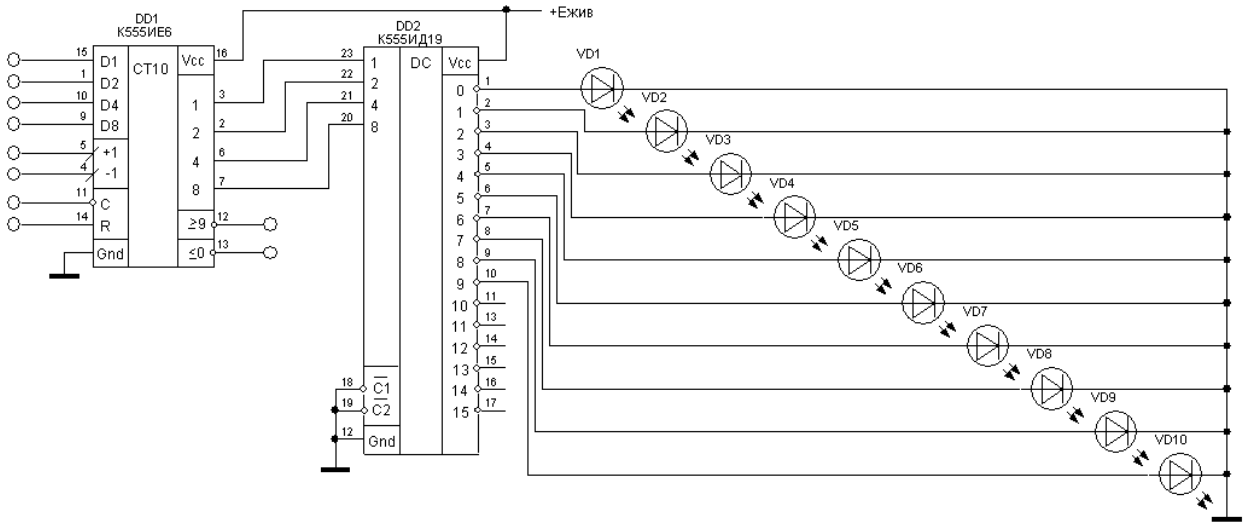


Рисунок 13.3 = Принципова схема для дослідження функціонування підсумовуючого лічильника

Лічильник DD1 (К555ИЕ6 або 74192) – синхронний реверсивний чотирьохрозрядний двійково-десятковий лічильник. Лічильник працює в коді 8-4-2-1, умовне графічне зображення приведене на рисунку 13.4.

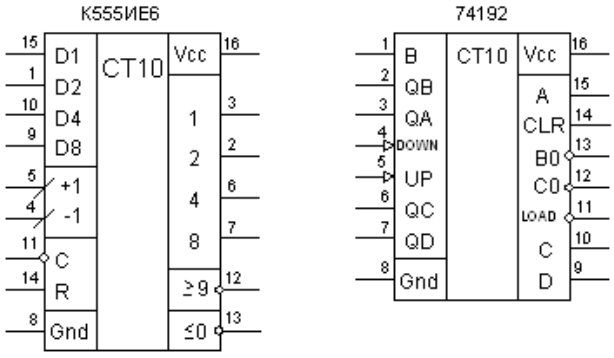


Рисунок 13.4 – Умовне графічне позначення мікросхем аналогів К555ИЕ6 та 74192

До вихідного нульового стану лічильник наводиться при подачі на асинхронний вхід R рівня логічної 1, при цьому одночасно забороняється рахунок імпульсів:

Входи «+1», «–1» – рахункові входи для виконання операцій підсумовування або віднімання відповідно.

В нормальному режимі роботи на вхід $\overline{\text{Load}}$ (завантаження даних) подається напруга високого рівня, а на вхід Clear напруга низького рівня (рис. 13.5).

Прямий рахунок Up	Зворотний рахунок Down	Скидання Clear	Завантаження $\overline{\text{Load}}$	Функція
⎍	1	0	1	Прямий рахунок
1	⎍	0	1	Зворотний рахунок
×	×	1	×	Скидання
×	×	0	0	Завантаження

Рисунок 13.5 – Таблиця функціонування лічильника 74192

За відсутності якого-небудь з управляючих сигналів, на вхід має бути поданий високий рівень напруги. При подачі на вхід «+1» тактових імпульсів на виходах лічильника Q1, Q2, Q3, Q4 утворюється двійковий код 8-4-2-1. За 10 тактових імпульсів лічильник приходить в стан від 0 (0000) до 9 (1001). Коли всі тригери знаходяться в одиничному стані, то черговий десятий тактовий імпульс (низький рівень сигналу) проходить на вихід перенесення (≥9).

Якщо лічильник працює на віднімання (вхід «–1»), то при переході із стану 0000 в стан 1001 виникає позика із старшого розряду. Це відображується появою сигналу низького рівня на виході (≤0) .

Входи D1, D2, D4, D8 призначені для запису в лічильник паралельного чотирьохрозрядного управляючого коду. Запис коду здійснюється під час вступу на вхід синхронізації С сигналу низького рівня. У лічильнику реалізується мікрооперація привласнення: D8D4D2D1 = Q8Q4Q2Q1.

При виконанні мікрооперації установки, на входах «+1», «–1» мають бути встановлені високі рівні сигналів

Дешифратор DD3 (К555ИД19 або 74154) – це комбінаційна схема для перетворення чотирьохрозрядного двійкового коду (подається на входи 8-4-2-1) в шістнадцятиричний унітарний двійковий код (знімається з входів 0 – 15) (рис. 13.6).

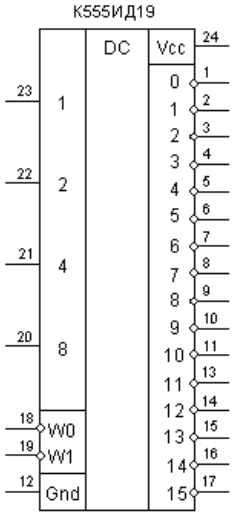


Рисунок 13.6 – Умовне графічне позначення мікросхеми К555ИД19

Для включення дешифратора в роботу необхідно, аби на управляючих входах W0,W1 були встановлені сигнали низького рівня. Кожній кодовій комбінації на входах 8-4-2-1 відповідає свій активний вихід Y_i, причому збуджений вихід набуває низького значення рівня сигналу.

Лічильник DD1, окрім рахунку, виконує ще одну функцію – дільника вхідної частоти, коли як вихідний використовується сигнал перенесення (позики) або вихідний сигнал четвертого тригера. По відношенню до вхідної частоти $F_{вх}$ (на входах «+1» або «–1») частота на виході Q1 має значення $F_{вх}$ /2, на виході Q2 має значення $F_{вх}$ /4 і так далі. Лічильник може бути використаний для побудови дільників частоти з коефіцієнтами ділення, відмінними від вище перелічених.

Будувати дільники частоти можна різними способами.

1) Якщо вихідним сигналом «≥9» записати в лічильник яке-небудь двійкове число N < 9 (по входах D1, D2, D3, D4) і подати тактові імпульси з генератора на вхід «+1», то до переповнювання лічильника необхідно подати «9 - N» імпульсів. Якщо при виробленні кожного імпульсу переповнювання (вихід «≥9») у лічильник знов записувати це число, то лічильник завжди вестиме рахунок від N до 9. Таким чином, коефіцієнт ділення лічильника виявиться рівним «9 - N».

Якщо лічильник завантажувати по паралельних входах сигналом позики «≤0» (при роботі лічильника в режимі віднімання), то коефіцієнт ділення буде рівний N.

2) Необхідний коефіцієнт ділення лічильника можна отримати, якщо при досягненні лічильником заданого числа N його скидати в нульовий стан. Коефіцієнт ділення виявиться рівним N. Виділення двійкової комбінації N виконується за допомогою допоміжної схеми «І-НЕ».

3) Третій спосіб зміни коефіцієнта ділення заснований на використанні дешифратора, вихідний сигнал якого необхідно подати на вхід R лічильника через додатковий інвертор.

1. Зібрати схему підсумовуючого лічильника. Зняти діаграми напруги на управляючих входах лічильника, на всіх його виходах і на будь-яких трьох сусідніх виводах дешифратора від 0 до 9.

2. Повторити попередній пункт для віднімаючого лічильника.

3. Зібрати схему програмованого дільника на базі підсумовуючого лічильника, з використанням дешифратора і додаткових ЛЕ. Коефіцієнт ділення на входах D_i задавати відповідно варіанту. Зняти діаграми напруги на виводах пристрою.

4. Зібрати схему програмованого дільника на базі віднімаючого лічильника. Завантаження лічильника здійснювати вихідним сигналом лічильника «≤0». Коефіцієнт ділення задавати відповідно варіанту.

5. Зробити аналітичні висновки по результатах досліджень.

Опис віртуального EWB стенду.

Послідовно збирати стенди в програмному забезпеченні EWB для проведення аналітичних досліджень схем підключення лічильника (рис. 13.7).

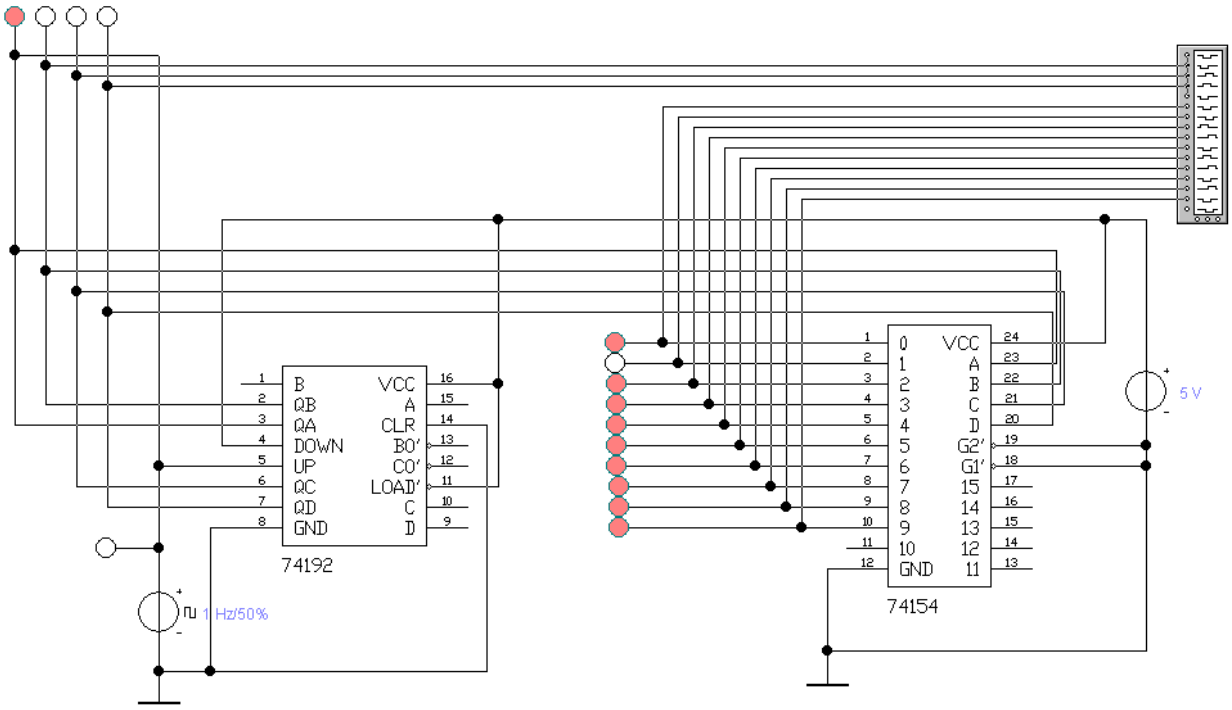


Рисунок 13.7 – Лабораторний стенд для дослідження підсумовуючого лічильника

Лабораторна робота №14

Дослідження послідовністних вузлів на синхронних лічильниках

Метою виконання роботи є ознайомлення з методом синтезу синхронних лічильників відповідно до заданого коду.

Необхідне обладнання та матеріали: віртуальне стендове обладнання у програмному забезпеченні Electronics Workbench, редактор схем SPLAN 5.0.

Питання для актуалізації знань і перевірки готовності студентів до виконання лабораторної роботи.

1. Методи підвищення швидкодії лічильників.
2. Наведіть основні параметри і ознаки класифікації лічильників.
3. Поясніть принципи роботи реверсивного лічильника.
4. Здійснення попереднього встановлення лічильників.

Хід виконання лабораторної роботи (методика експериментальних досліджень)

До синхронних, або паралельних, відносяться лічильники, в яких перемикання розрядів відбувається одночасно незалежно від віддаленості розряду від лічильного входу. Це досягається подачею на всі тригери синхронізуючих імпульсів, які викликають перемикання тригерів відповідно до логіки роботи лічильника. Завдяки такій синхронізації досягається мінімальний час установки лічильника $t_{уст.}$, яке не перевищує час установки одного тригера. Тим самим забезпечується максимальна частота зміни станів лічильника [2].

$$f = \frac{1}{t_{уст}}$$

Схема синхронного лічильника додавання показана на рисунку 14.1. Тут потенціал перенесення P_i формується послідовно у міру поширення «логічної 1». Накопичення затримки за рахунок вентилів кола переносу обумовлює взаємне зміщення рахункових імпульсів Т та імпульсів перенесення P_i. До тих пір, поки збіг імпульсів Т та P_i внаслідок такого зсуву не порушується, лічильник працює без збоїв з максимально можливою частотою рахунку.

Перенесення з попереднього розряду визначається режимом роботи лічильника А, а також кон'юнкція Qi:

$$P_i = AQ1Q2...Q_i$$

де А = 0 – режим зберігання; А = 1 – режим лічильника.

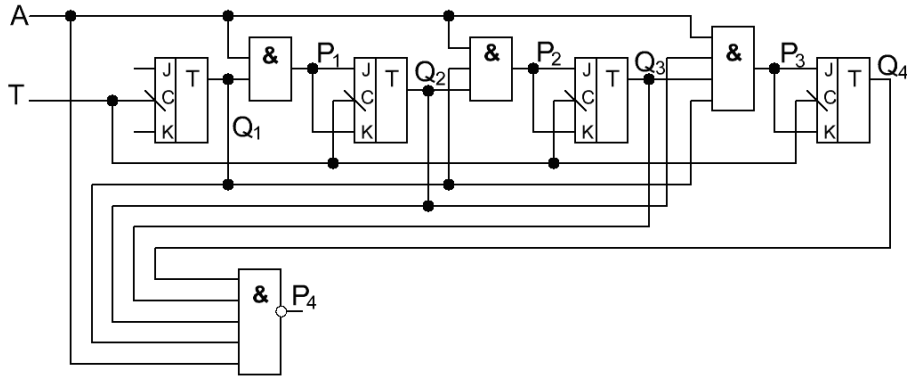


Рисунок 14.1 - Схема синхронного лічильника додавання

Потенціали з виходів тригерів надходять одночасно на всі вентилі переносу старших розрядів, і перемикання станів тригерів відбувається синхронно. З ростом номера розряду зростає кількість входів логічних елементів кола перенесення, тому з ростом кількості розрядів N відповідно ускладняється схема лічильника:

$$P_i = A \cdot Q_i$$

Якщо синхронний лічильник будується на основі секцій (наприклад, чотирьхрозрядних), між ними так само реалізуються кола паралельного перенесення (рис. 14.2) [5].

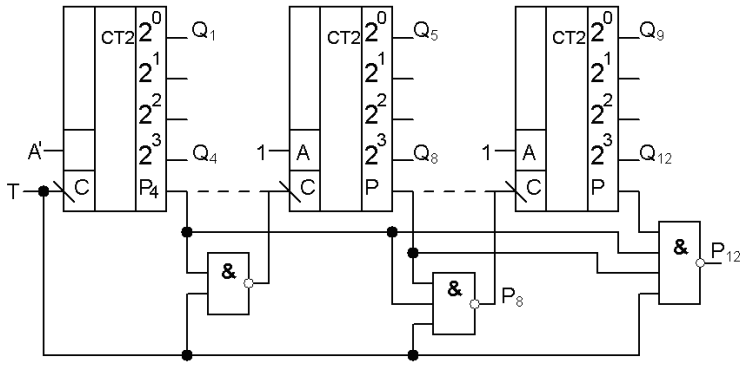


Рисунок 14.2 - Кола паралельного перенесення

Послідовність і порядок проведення роботи.

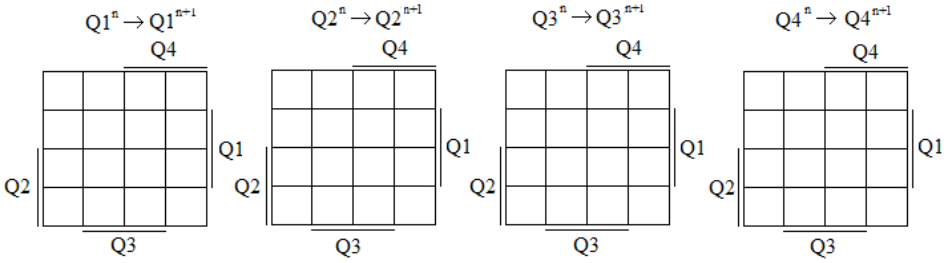
Синтезувати синхронний лічильник, який працює в коді Айкена (2-4-2-1).

1. Відповідно до заданого коду, для чисел від 0 до 9, таблиця переходів лічильника представлена на рисунку 14.3.

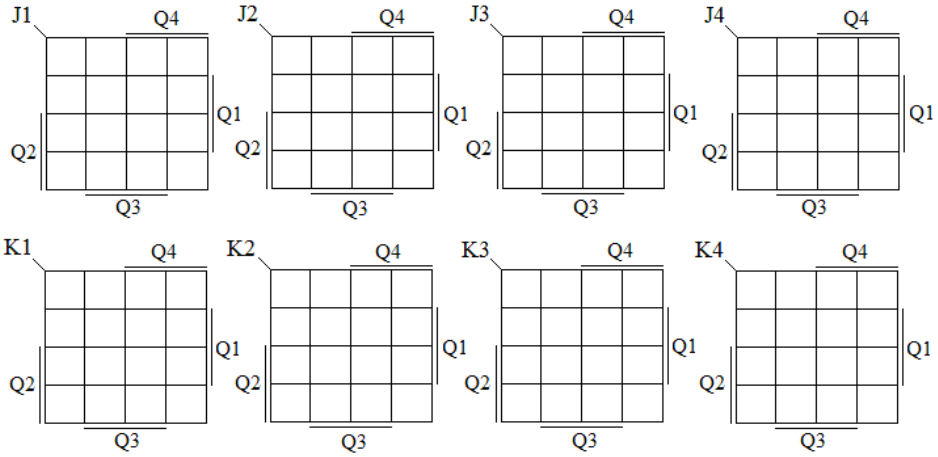
N	$Q4^n$	$Q3^n$	$Q2^n$	$Q1^n$	$Q4^{n+1}$	$Q3^{n+1}$	$Q2^{n+1}$	$Q1^{n+1}$
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	1	0	1	1
5	1	0	1	1	1	1	0	0
6	1	1	0	0	1	1	0	1
7	1	1	0	1	1	1	1	0
8	1	1	1	0	1	1	1	1
9	1	1	1	1	0	0	0	0

Рисунок 14.3 – Таблиця станів лічильника

2. Скласти карти функцій переходів тригерів лічильника



3. Для побудови лічильника обрати JK-тригер. Використовуючи словник переходів JK-тригера, для кожного входу тригера складемо карти Карно.



4. У результаті мінімізації отримати функції входів тригерів лічильника

5. Побудувати структурну схему лічильника (рис. 14.4).

6. Провести перевірку функціонування лічильника в програмному забезпеченні Electronics Workbench.

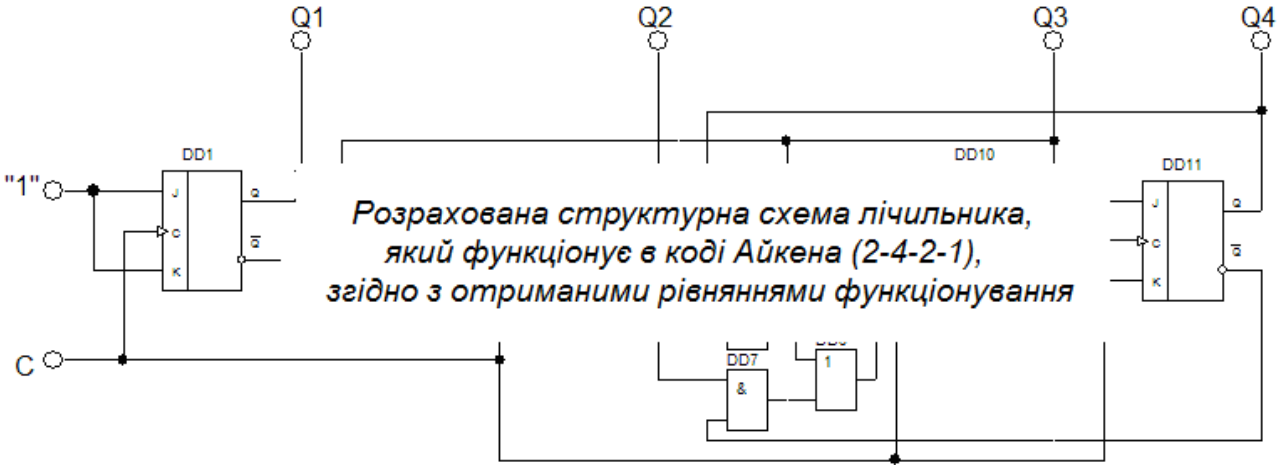


Рисунок 14.4 - Структурна схема лічильника

7. Отримати діаграму функціонування лічильника відповідно до заданого коду 2-4-2-1.

8. Провести аналіз функціонування схеми лічильника.

Опис віртуального EWB стенду.

Лабораторний стенд побудувати згідно з розрахунками за пунктом 4 та структурною схемою лічильника, який працює в коді Айкена (2-4-2-1) (рис. 14.5).

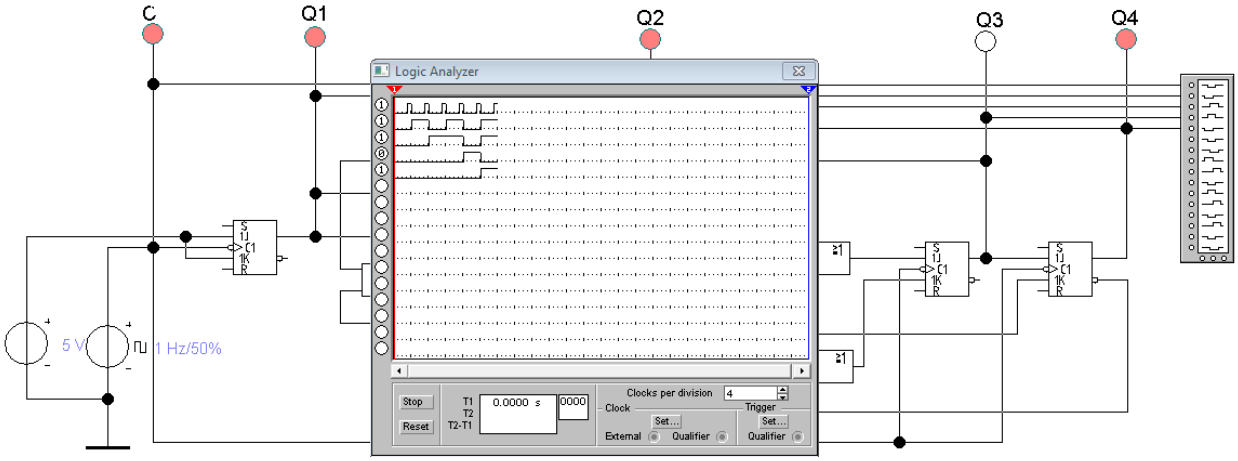


Рисунок 14.5 – Аналіз функціонування схеми двійкового чотирьохрозрядного синхронного лічильника, який працює в коді Айкена (2-4-2-1) на JK-тригерах

Вимоги до змісту та оформлення звіту за результатами виконаної роботи

Згідно до вимог освітньо-професійної програми «Мікро- та наносистемна техніка», силабусу дисципліни «Функціональні вузли мікропроцесорних систем», спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка», після вивчення дисципліни студенти повинні отримати навички проведення вимірів параметрів електричних сигналів за допомогою стандартних засобів вимірювань, розрахунків параметрів електронних схем, вміти провести аналіз отриманих результатів.

З цією метою, студентам пропонуються лабораторні роботи, розташовані на спеціальних стендах із стандартними вимірювальними приладами. Стенди розташовані в аудиторіях кафедри ЕІСПЗ.

Студенти виконують завдання лабораторного практикуму за варіантами, номер яких визначається номером студента в академічному журналі обліку успішності і відвідування занять.

Студент допускається до виконання чергової роботи практикуму після підтвердження наявності необхідних знань теоретичного матеріалу та послідовності виконання роботи. Підтвердження наявності необхідних знань проводиться у вигляді комп'ютерного тестування.

Для заліку виконаної лабораторної роботи студент повинен надати викладачу і захистити індивідуальний звіт з виконаної роботи. У звіті повинні міститися обґрунтування отриманих результати та побудовані необхідні залежності.

Згідно з модульно-рейтинговою системою організації навчального процесу, в силабусі дисципліни приведено розподіл максимальних балів рейтингу по всім видам учбової роботи. Лектор конкретизує (в залежності від запланованої кількості лабораторних робіт, індивідуальних завдань та ін.) поділ рейтингових балів поточного семестру, про що студентів інформують на початку семестру.

Лабораторна робота оформлюється у паперовому вигляді (формується загальний журнал для лабораторних робіт з дисципліни) при очній формі навчання, і окремо, з відповідним титульним листом у форматі pdf, при дистанційній формі навчання. При комп'ютерному наборі використовується формат А4 (розмір сторінки 21х29,7 см). При цьому враховуються такі параметри: шрифт набору –Times New Roman; кегель – 14 пт; міжрядковий інтервал – одинарний; орієнтація «книжкова»; поля: верхнє – 2 см, нижнє – 2 см, праве – 3 см, ліве – 1,5 см.

Звіт, підготовлений до захисту лабораторної роботи, повинен містити назву і мету роботи, короткі теоретичні відомості, таблиці функціонування, розрахункові рівняння, функціональні схеми, схему віртуального стенду в EWB, часові діаграми, які дозволяють виконати аналіз функціонування схеми, порівняння отриманих результатів з теоретичними. У кінці роботи робиться розгорнутий аналітичний висновок.

Література, інформаційні джерела

Перелік використаної літератури

1. Цифрова схемотехніка : підручник / Л. Л. Верьовкін, М. В. Світанько, Є. М. Кісельов та ін. Запоріжжя : ЗДІА, 2016. 214 с.

2. Рябенький В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка : навч. посіб. Львів : Новий Світ-2000, 2019. 736 с.

3. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. / О. В. Задерейко, Н. І. Логінова, О. Г. Трофименко та ін. Одеса : Фенікс, 2021. 163 с. URL: https://hdl.handle.net/11300/14473 (дата звернення: 01.04.2026).

4. Мірошник М. А., Клименко Л. А., Корольова Я. Ю. Технології та автоматизація проєктування цифрових пристроїв складних комп'ютерних систем на ПЛІС : навч. посіб. Харків : УкрДУЗТ, 2021. 220 с.

5. Схемотехніка: пристрої цифрової електроніки : підручник. Т. 1. / В. М. Рябенький, В. Я. Жуйков, Ю. С. Ямненко та ін. Київ : НТУУ КПІ, 2016. 399 с. URL : https://eds.kpi.ua/wp content/uploads/2015/05/CT_ tom_1_електронне _видання.pdf (дата звернення: 01.04.2026).

6. Цирульник С. М., Лисенко Г. Л. Проектування мікропроцесорних систем : навч. посіб. Вінниця : ВНТУ, 2010. 201 с.

7. Михайлов С. Р. Мікропроцесорна техніка. Однокристальні мікроконтролери : навч. посіб. Київ : НТУУ КПІ, 2014. 123 с.

Перелік рекомендованої літератури

1. Бондаренко М. Ф., Білоус Н. В., Руткас А. Г. Комп'ютерна дискретна математика : підручник. Харків : Компанія СМІТ, 2004. 480 с.

2. Гавриленко С. Ю., Клименко А. М., Носков В. І. Логіка дискретних автоматів : навч.-метод. посіб. Харків : НТУ ХПІ, 2014. 129 с.

3. Гавриленко С. Ю., Клименко А. М., Любченко Н. Ю. Теорія цифрових автоматів та формальних мов : навч. посіб. Харків : НТУ ХПІ, 2010. 176 с.

4. Гавриленко С. Ю., Клименко А. М., Гоготов В. В. Основи комп'ютерної техніки. Харків : НТУ ХПІ, 2008. 272 с.

5. Матвієнко М. П. Комп'ютерна логіка. Київ : Ліра-К, 2012. 288 с.

6. Самофалов К. Г. Прикладна теорія цифрових автоматів. Київ : Вища школа, 1987. 344 с.

7. Czerwinski R., Kania D. Finite State Machine Logic Synthesis for Complex Programmable Logic Devices. Berlin : Springer, 2013. 172 p.

8. Roger Tokheim, Patrick Hoppe. Digital Electronics : Principles and Applications. 9th edition. New York, USA : McGraw Hill LCC, 2022. 576 p.

Перелік інформаційних джерел

1. Наукова бібліотека Запорізького національного університету. URL: http:// https://library.znu.edu.ua (дата звернення: 01.04.2026).

2. Система електронного забезпечення навчання ЗНУ. URL: https://moodle.znu.edu.ua/course/view.php?id=8576 (дата звернення: 01.04.2026).

3. Електронний архів наукових та освітніх матеріалів КПІ ім. Ігоря Сікорського. Факультет електроніки. URL: https://ela.kpi.ua/handle/123456789/66 (дата звернення: 01.04.2026).

4. Електронний архів наукових та освітніх матеріалів КПІ ім. Ігоря Сікорського. Радіотехнічний факультет. URL: https://ela.kpi.ua/handle/123456789/61(дата звернення: 01.04.2026).

5. Інституційний репозитарій Тернопільського національного технічного університету ім. Івана Пулюя URL: http://ehttps://elartu.tntu.edu.ua (дата звернення: 01.04.2026).

Навчально-методичне видання
(українською мовою)

Верьовкін Леонід Леонідович,
Світанько Микола Вікторович

ФУНКЦІОНАЛЬНІ ВУЗЛИ МІКРОПРОЦЕСОРНИХ СИСТЕМ

Методичні рекомендації до лабораторних занять
для здобувачів ступеня вищої освіти бакалавра спеціальності
G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка»
освітньо-професійної програми
«Мікро- та наносистемна техніка»

Рецензент *В. Л. Коваленко*
Відповідальний за випуск *Т. В. Критська*
Коректор *Я. О. Коваленко*